



AK4414

High Performance 120dB 32-Bit 4ch DAC

概 要

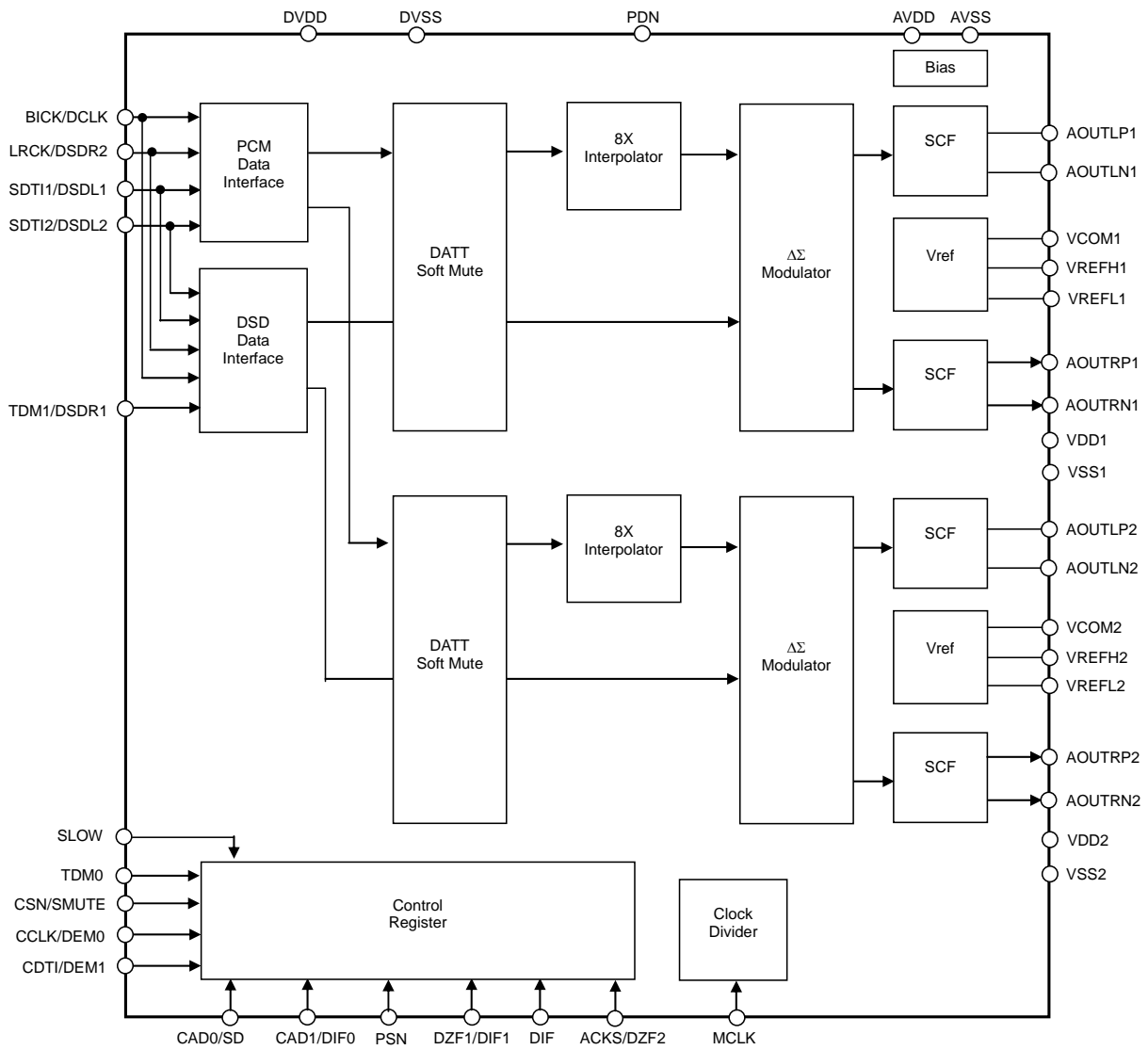
AK4414は、Blu-ray Disc system に対応した32-bit DACです。内部回路は新開発の音質を考慮した32-bit Digital Filterを採用、従来のアドバンスドマルチビット方式の優れた低歪特性に加えて、さらに広いダイナミックレンジを実現しています。内蔵のポストフィルタにはスイッチトキャパシタフィルタ(SCF)を採用し、外付けのDCカットキャパシタを不要とし、クロックジッタによる精度の劣化を改善します。デジタル入力は216kHzのPCM入力とDSD入力の両方に対応しており、DVD-Audio, SACD等のシステムに最適です。

特 長

- 128倍オーバーサンプリング
- サンプリングレート: 30kHz ~ 216kHz
- 32ビット8倍デジタルフィルタ
 - Ripple: ± 0.005 dB, Attenuation: 80dB
 - 高音質ショートディレイ オプション, $GD=7/fs$ と $GD=5.5/fs$ の2種 内蔵
 - シャープロールオフフィルタ
 - スローロールオフフィルタ
- 強ジッタ耐力
- 低歪差動出力
- DSD入力対応
- 32, 44.1, 48kHz対応デジタルディエンファシス内蔵
- ソフトミュート
- デジタルATT(255 levels and 0.5dB step)
- Stereo Mode
- THD+N: -107dB
- DR, S/N: 120dB (Stereo mode時 123dB)
- オーディオI/Fフォーマット: 24/32 ビット前詰め, 16/20/24/32 ビット後詰め, I²S, DSD, TDM
- マスタクロック
 - 30kHz ~ 32kHz: 1152fs
 - 30kHz ~ 54kHz: 512fs or 768fs
 - 30kHz ~ 108kHz: 256fs or 384fs
 - 108kHz ~ 216kHz: 128fs or 192fs
- 電源電圧: DVDD=AVDD=2.7 ~ 3.6V, VDD1/2=4.75 ~ 5.25V
- デジタル入力レベル: CMOS
- パッケージ: 44ピンLQFP



■ ブロック図



Block Diagram

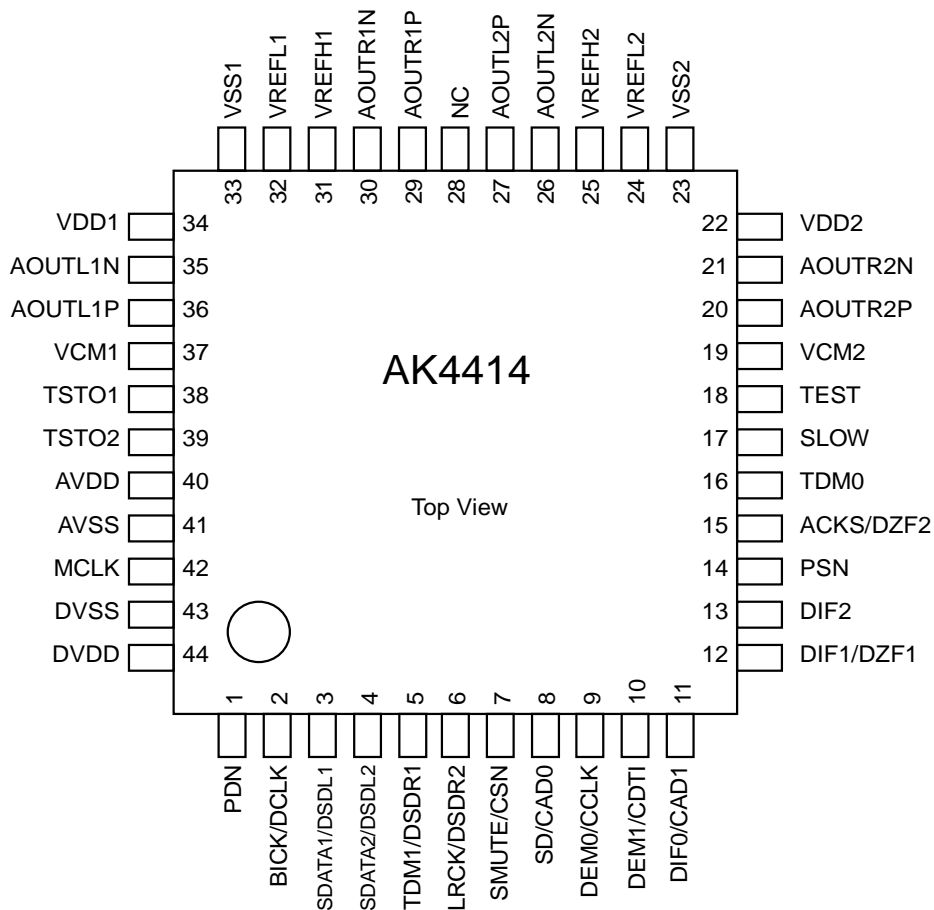
■ オーダリングガイド

AK4414EQ
AKD4414

-10 ~ +70°C
AK4414評価用ボード

44pin LQFP (0.8 mm pitch)

■ ピン配置



ピン／機能

No.	Pin Name	I/O	Function
1	PDN	I	パワーダウンモード PDN pin = "L" で AK4414 はパワーダウンされ、リセット状態になります。 電源立ち上げ時は必ずPDN pin でリセットしてください。
2	BICK DCLK	I	オーディオシリアルデータクロック入力 (PCM Mode) DSD Clock Pin in DSD mode
3	SDATA1 DSDL1	I I	オーディオシリアルデータ入力 (PCM Mode) オーディオシリアルデータ入力 (DSD Mode)
4	SDATA2 DSDL2	I I	オーディオシリアルデータ入力 (PCM Mode) オーディオシリアルデータ入力 (DSD Mode)
5	TDM1 DSDR1	I I	TDM I/F フォーマットモード (PCM Mode) オーディオシリアルデータ入力 (DSD Mode)
6	LRCK DSDR2	I I	L/R クロック入力 (PCM Mode) オーディオシリアルデータ入力 (DSD Mode)
7	SMUTE CSN	I I	ソフトミュート (Parallel Control Mode) SMUTE pin = "H" でソフトミュートサイクルが初期化されます。 "L" に戻ると出力のミュートが解除されます。 チックセレクトピン (Serial Control Mode)
8	SD CAD0	I	デジタルフィルタ設定ピン (Parallel Control Mode) チップアドレス 0 ピン (Serial Control Mode) (Internal pull-down pin)
9	DEM0 CCLK	I I	ディエンファシス イネーブル0 (Parallel Control Mode) コントロールデータクロック入力 (Serial Control Mode)
10	DEM1 CDTI	I I	ディエンファシス イネーブル1 (Parallel Control Mode) コントロールデータ入力 (Serial Control Mode)
11	DIF0 CAD1	I I	デジタル入力フォーマット0 (PCM Mode) チップアドレス1 ピン (Serial Control Mode)
12	DIF1 DZF1	I O	デジタル入力フォーマット1 (PCM Mode) ゼロ入力検出 (Serial Control Mode)
13	DIF2	I	デジタル入力フォーマット2 (PCM Mode)
14	PSN	I	Parallel/Serial 選択 (Internal pull-up pin) "L": Serial Control Mode, "H": Parallel Control Mode
15	ACKS DZF2	I O	オートクロック設定 (Parallel Control Mode) "L": Manual Setting Mode, "H": Auto Setting Mode ゼロ入力検出 (Serial Control Mode)
16	TDM0	I	TDM I/F フォーマットモード (Parallel Control Mode)
17	SLOW	I	デジタルフィルタ設定
18	TEST	-	TEST 内部ボンディングなし。DVSSに接続してください。
19	VCM2	-	コモン電圧2 通常10uFの電解コンデンサを解してVSSに接続します。
20	AOUTR2P	O	Right Channel ポジティブ アナログ出力2
21	AOUTR2N	O	Right Channel ネガティブ アナログ出力2
22	VDD2	-	アナログ電源 (4.75 to 5.25V)
23	VSS2	-	グラウンド (DVSS, AVSS, VSS1 にグラウンドされています)
24	VREFL2	I	低レベル電圧基準 入力2
25	VREFH2	I	高レベル電圧基準 入力2
26	AOUTL2N	O	Left Channel ネガティブ アナログ出力2
27	AOUTL2P	O	Left Channel ポジティブ アナログ出力2

No.	Pin Name	I/O	Function
28	NC	-	NC 内部ボンディングなし。GNDに接続してください。
29	AOUTR1P	O	Right Channel ポジティブ アナログ出力1
30	AOUTR1N	O	Right Channel ネガティブ アナログ出力1
31	VREFH1	I	高レベル電圧基準 入力1
32	VREFL1	I	低レベル電圧基準 入力1
33	VSS1	-	グランド (DVSS, AVSS, VSS2 にグランドされています)
34	VDD1	-	アナログ電源 (4.75 ~ 5.25V)
35	AOUTL1N	O	Left Channel ネガティブ アナログ出力1
36	AOUTL1P	O	Left Channel ポジティブ アナログ出力1
37	VCM1	-	コモン電圧1 通常10uFの電解コンデンサを解してVSSに接続します。
38	TSTO1	I	TEST出力ピン 通常動作では“Hi-Z”を出力します。 AVSSに接続してください。
39	TSTO2	I	TEST出力ピン 通常動作では“Hi-Z”を出力します。 AVSSに接続してください。
40	AVDD	-	アナログ電源 (2.7 to 3.6V)
41	AVSS	-	アナロググランド
42	MCLK	I	マスタクロック入力
43	DVSS	-	デジタルグランド
44	DVDD	-	デジタル電源 (3.0 ~ 3.6V)

Note: 内部プルダウン、プルアップピンを除いた全ての入力ピンはフローティングにしないでください。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理してください。

(1) パラレルモード (PCM Mode only)

区分	ピン名	設定
Analog	AOUTL1P, AOUTL1N	オープン
	AOUTR1P, AOUTR1N	オープン
	AOUTL2P, AOUTL2N	オープン
	AOUTR2P, AOUTR2N	オープン
Analog	TSTO1, TSTO2	AVSSに接続
Digital	TEST	DVSSに接続

(2) シリアルモード

1. PCM Mode

区分	ピン名	設定
Analog	AOUTL1P, AOUTL1N	オープン
	AOUTR1P, AOUTR1N	オープン
	AOUTL2P, AOUTL2N	オープン
	AOUTR2P, AOUTR2N	オープン
Analog	TSTO1, TSTO2	AVSSに接続
Digital	DIF2, PSN, TDM0, SLOW, TEST	DVSSに接続
	DZF1, DZF2	オープン

2. DSD Mode

区分	ピン名	設定
Analog	AOUTL1P, AOUTL1N	オープン
	AOUTR1P, AOUTR1N	オープン
	AOUTL2P, AOUTL2N	オープン
	AOUTR2P, AOUTR2N	オープン
Analog	TSTO1, TSTO2	AVSSに接続
Digital	DIF2, PSN, TDM0, SLOW, TEST	DVSSに接続
	DZF1, DZF2	オープン

絶対最大定格

(VSS1-2=AVSS=DVSS=0V; Note 1)

Parameter	Symbol	min	max	Unit	
Power Supplies:	Analog	AVDD	-0.3	4.6	V
	Analog	VDD1/2	-0.3	6.0	V
	Digital	DVDD	-0.3	4.6	V
	AVSS – DVSS	ΔGND	-	0.3	V
Input Current, Any Pin Except Supplies	IIN	-	±10	mA	
Digital Input Voltage	VIND	-0.3	DVDD+0.3	V	
Ambient Temperature (Power applied)	Ta	-10	70	°C	
Storage Temperature	Tstg	-65	150	°C	

Note 1. 電圧は全てグランドピンに対する値です。

Note 2. AVSS, VSS1/2, DVSS は同じアナロググランドに接続してください。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(VSS1-2=AVSS=DVSS=0V; Note 1)

Parameter	Symbol	min	typ	max	Unit	
Power Supplies (Note 3)	Analog	AVDD	2.7	3.0	3.6	V
	Analog	VDD1/2	4.75	5.0	5.25	V
	Digital	DVDD	2.7	3.0	3.6	V
Voltage Reference (Note 4)	“H” voltage reference	VREFH1	VDD1-0.5	-	VDD1	V
	“H” voltage reference	VREFH2	VDD2-0.5	-	VDD2	V
	“L” voltage reference	VREFL1	-	AVSS	-	V
	“L” voltage reference	VREFL2	-	AVSS	-	V

Note 1. 電圧は全てグランドピンに対する値です。

Note 3. AVDD, VDD1/2, DVDDの電源立ち上げシーケンスを考慮する必要はありません。

Note 4. アナログ出力電圧は(VREFH1/2 – VREFL1/2)の電圧に比例します。

VREFH1/2 pin には20Ω 以下の抵抗と100uF 以上のコンデンサを接続してください。(Figure 24)

 $AOUT (typ.@0dB) = (AOUT+) - (AOUT-) = \pm 2.8V_{pp} \times (VREFH/R - VREFL/R)/5.$

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので
十分ご注意ください。

アナログ特性

(Ta=25°C; AVDD=DVDD=3.0V, VDD1/2=5.0V; AVSS=VSS1/2=DVSS=0V; VREFH1/2=VDD1/2, VREFL1/2=AVSS; Input data = 24bit; $R_L \geq 1k\Omega$; BICK=64fs; Signal Frequency = 1kHz; Sampling Frequency = 44.1kHz; Measurement bandwidth = 20Hz ~ 20kHz; External Circuit: Figure 27; unless otherwise specified.)

Parameter		min	typ	max	Unit	
Resolution		-	-	24	Bits	
Dynamic Characteristics (Note 5)						
THD+N	fs=44.1kHz	0dBFS	-	-107	-98	dB
	BW=20kHz	-60dBFS	-	-57	-	dB
	fs=96kHz	0dBFS	-	-104	-	dB
	BW=40kHz	-60dBFS	-	-54	-	dB
	fs=192kHz	0dBFS	-	-104	-	dB
	BW=40kHz	-60dBFS	-	-54	-	dB
	BW=80kHz	-60dBFS	-	-51	-	dB
Dynamic Range (-60dBFS with A-weighted)	(Note 6)	113	120		dB	
S/N (A-weighted)	(Note 7)	113	120		dB	
Interchannel Isolation (1kHz)		100	110		dB	
DC Accuracy						
Interchannel Gain Mismatch		-	0.15	0.3	dB	
Gain Drift	(Note 8)	-	20	-	ppm/°C	
Output Voltage	(Note 9)	±2.65	±2.8	±2.95	Vpp	
Load Capacitance		-	-	10	pF	
Load Resistance	(Note 10)	1	-	-	kΩ	
Power Supplies						
Power Supply Current						
Normal operation (PDN pin = "H")	VDD1+VDD2	-	41	60	mA	
	AVDD	-	1	1.5	mA	
	DVDD (fs ≤ 44.1kHz)	-	7	11	mA	
	DVDD (fs=96kHz)	-	12	18	mA	
	DVDD (fs = 192kHz)	-	18	27	mA	
	Power down (PDN pin = "L")	(Note 11)	-	1	100	μA
	AVDD+VDD1/2+DVDD	-	1	100	μA	

Note 5. Audio Precision System Two使用。平均値測定。測定結果は評価ボードマニュアルを参照下さい。

Note 6. Figure 27 (回路例2)使用時。100dB at 16bit data.

Note 7. Figure 27 (回路例2)使用時。S/N比は入力ビット長に依存しません。

Note 8. (VREFH - VREFL)の電圧は+5V一定。

Note 9. フルスケール電圧(0dB)。出力電圧は(VREFH1/2 - VREFL1/2)の電圧に比例します。

$$AOUT(\text{typ.}@0\text{dB}) = (AOUT+) - (AOUT-) = \pm 2.8V_{pp} \times (VREFH1/2 - VREFL1/2)/5.$$

Note 10. Load Resistanceについては、AC負荷(DCカット用コンデンサあり)に対して1kΩ (min)です。Figure 27を参照してください。DC負荷(DCカット用コンデンサなし)に対して1.5kΩ (min)です。Figure 26を参照してください。

Load Resistanceはグラウンドに対する値です。アナログ特性は出力ピンに接続される容量性負荷に敏感なため、容量性負荷が極力小さくなるようにしてください。

Note 11. パワーダウン時、PSN pin = DVDD、それ以外の外部クロック(MCLK, BICK, LRCK)を含む全てのデジタル入力をDVSSに固定した場合の値です。

シャープローオフ・フィルタ特性(fs = 44.1kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Normal Speed Mode; DEM=OFF; SLOW bit = "0", SD bit="0")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 12)	±0.01dB -6.0dB	PB	0	22.05	20.0
			-		-
Stopband (Note 12)		SB	24.1		kHz
Passband Ripple		PR	-0.0032		0.0032
Stopband Attenuation		SA	80		dB
Group Delay (Note 13)		GD	-	29	-
Digital Filter + SCF					
Frequency Response: 0 ~ 20.0kHz			-0.2	-	0.2

シャープローオフ・フィルタ特性(fs = 96kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Double Speed Mode; DEM=OFF; SLOW bit = "0", SD bit="0")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 12)	±0.01dB -6.0dB	PB	0	48.0	43.5
			-		-
Stopband (Note 12)		SB	52.5		kHz
Passband Ripple		PR	-0.0032		0.0032
Stopband Attenuation		SA	80		dB
Group Delay (Note 13)		GD	-	29	-
Digital Filter + SCF					
Frequency Response: 0 ~ 40.0kHz			-0.3	-	0.3

シャープローオフ・フィルタ特性(fs = 192kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Quad Speed Mode; DEM=OFF; SLOW bit = "0". SD bit="0")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 12)	±0.01dB -6.0dB	PB	0	96.0	87.0
			-		-
Stopband (Note 12)		SB	105		kHz
Passband Ripple		PR	-0.0032		0.0032
Stopband Attenuation		SA	80		dB
Group Delay (Note 13)		GD	-	29	-
Digital Filter + SCF					
Frequency Response: 0 ~ 80.0kHz			-1	-	0.1

Note 12. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、PB = $0.4535 \times fs$ (@±0.01dB)、SB = $0.546 \times fs$ です。

Note 13. デジタルフィルタによる演算遅延で、16/20/24/32ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

スローロールオフ・フィルタ特性(fs = 44.1kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Normal Speed Mode; DEM=OFF; SLOW bit="1", SD bit = "0")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 14)	±0.04dB -3.0dB	PB	0		kHz
			-	18.2	kHz
Stopband (Note 14)		SB	39.2		kHz
Passband Ripple		PR	-0.043	0.043	dB
Stopband Attenuation		SA	73		dB
Group Delay (Note 13)		GD	-	6	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 20.0kHz			-5	-	0.1 dB

スローロールオフ・フィルタ特性(fs = 96kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Double Speed Mode DEM=OFF; SLOW bit="1", SD bit = "0")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 14)	±0.04dB -3.0dB	PB	0		kHz
			-	39.6	kHz
Stopband (Note 14)		SB	85.3		kHz
Passband Ripple		PR	-0.043	0.043	dB
Stopband Attenuation		SA	73		dB
Group Delay (Note 13)		GD	-	6	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 40.0kHz			-4	-	0.1 dB

スローロールオフ・フィルタ特性(fs = 192kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Quad Speed Mode; DEM=OFF; SLOW bit="1", SD bit = "0")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 14)	±0.04dB -3.0dB	PB	0		kHz
			-	79.1	kHz
Stopband (Note 14)		SB	171		kHz
Passband Ripple		PR	-0.043	0.043	dB
Stopband Attenuation		SA	73		dB
Group Delay (Note 13)		GD	-	6	1/fs
Digital Filter + SCF					
Frequency Response: 0 ~ 80.0kHz			-5	-	0.1 dB

Note 14. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、PB = 0.185 × fs、SB = 0.888 × fsです。

ショートディレイ シャープロールオフ フィルタ特性 (fs = 44.1kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Normal Speed Mode; DEM=OFF; SLOW bit = "0", SD bit="1")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 12)	±0.01dB -6.0dB	PB	0	20.0	kHz
			-	22.05	kHz
Stopband (Note 12)		SB	24.1		kHz
Passband Ripple		PR	-0.0031	0.0031	dB
Stopband Attenuation		SA	80		dB
Group Delay (Note 13)		GD	-	7	1/fs
Digital Filter + SCF					
Frequency Response : 0 ~ 20.0kHz			-0.2	0.2	dB

ショートディレイ シャープロールオフ フィルタ特性 (fs = 96kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Double Speed Mode; DEM=OFF; SLOW bit = "0", SD bit="1")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 12)	±0.01dB -6.0dB	PB	0	43.5	kHz
			-	48.0	kHz
Stopband (Note 12)		SB	52.5		kHz
Passband Ripple		PR	-0.0031	0.0031	dB
Stopband Attenuation		SA	80		dB
Group Delay (Note 13)		GD	-	7	1/fs
Digital Filter + SCF					
Frequency Response : 0 ~ 40.0kHz			-0.3	0.3	dB

ショートディレイ シャープロールオフ フィルタ特性 (fs = 192kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Quad Speed Mode; DEM=OFF; SLOW bit = "0", SD bit="1")

Parameter	Symbol	min	typ	max	Unit
Digital Filter					
Passband (Note 12)	±0.01dB -6.0dB	PB	0	87.0	kHz
			-	96.0	kHz
Stopband (Note 12)		SB	105		kHz
Passband Ripple		PR	-0.0031	0.0031	dB
Stopband Attenuation		SA	80		dB
Group Delay (Note 13)		GD	-	7	1/fs
Digital Filter + SCF					
Frequency Response : 0 ~ 80.0kHz			-1	0.1	dB

ショートディレイ スローロールオフ フィルタ特性 (fs = 44.1kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Normal Speed Mode; DEM=OFF; SLOW bit = "1", SD bit="1")

Parameter	Symbol	min	typ	max	Unit	
Digital Filter						
Passband (Note 12)		±0.01dB	PB	0	11.1	kHz
		-6.0dB		-	22.3	kHz
Stopband (Note 12)	SB	38.1			kHz	
Passband Ripple	PR	-0.05		0.05	dB	
Stopband Attenuation	SA	82			dB	
Group Delay (Note 13)	GD	-	5.5	-	1/fs	
Digital Filter + SCF						
Frequency Response : 0 ~ 20.0kHz		-5		0.1	dB	

ショートディレイ スローロールオフ フィルタ特性 (fs = 96kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Double Speed Mode; DEM=OFF; SLOW bit = "1", SD bit="1")

Parameter	Symbol	min	typ	max	Unit	
Digital Filter						
Passband (Note 12)		±0.01dB	PB	0	24.2	kHz
		-6.0dB		-	44.6	kHz
Stopband (Note 12)	SB	83.0			kHz	
Passband Ripple	PR	-0.05		0.05	dB	
Stopband Attenuation	SA	82			dB	
Group Delay (Note 13)	GD	-	5.5	-	1/fs	
Digital Filter + SCF						
Frequency Response : 0 ~ 40.0kHz		-5	-	0.1	dB	

ショートディレイ スローロールオフ フィルタ特性 (fs = 192kHz)

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V; Quad Speed Mode; DEM=OFF; SLOW bit = "1", SD bit="1")

Parameter	Symbol	min	typ	max	Unit	
Digital Filter						
Passband (Note 12)		±0.01dB	PB	0	48.4	kHz
		-6.0dB		-	89.2	kHz
Stopband (Note 12)	SB	165.9			kHz	
Passband Ripple	PR	-0.05		0.05	dB	
Stopband Attenuation	SA	82			dB	
Group Delay (Note 13)	GD	-	5.5	-	1/fs	
Digital Filter + SCF						
Frequency Response : 0 ~ 80.0kHz		-5	-	0.1	dB	

DC特性

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V)

Parameter	Symbol	min	typ	max	Unit
High-Level Input Voltage	VIH	70%DVDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30%DVDD	V
High-Level Output Voltage (Iout=-100μA)	VOH	DVDD-0.5	-	-	V
Low-Level Output Voltage (Iout=100μA)	VOL	-	-	0.5	V
Input Leakage Current (Note 15)	Iin	-	-	±10	μA

Note 15. TST1/CAD0 pinは内部でプルダウン、P/S pinは内部でプルアップされています (typ. 100kΩ)。このため、TST1/CAD0 pin, P/S pinはこの仕様から除きます。

スイッチング特性

(Ta=25°C; VDD1/2=4.75 ~ 5.25V, AVDD=DVDD=2.7 ~ 3.6V)

Parameter	Symbol	min	typ	max	Unit
Master Clock Timing					
Frequency	fCLK	2.048		41.472	MHz
Duty Cycle	dCLK	40		60	%
LRCK Frequency (Note 16)					
Normal Mode (TDM0=“L”, TDM1=“L”)					
1152fs, 512fs or 768fs	fsn	8		54	kHz
256fs or 384fs	fsd	54		108	kHz
128fs or 192fs	fsq	108		216	kHz
Duty Cycle	Duty	45		55	%
TDM256 mode (TDM0=“H”, TDM1=“L”)					
Normal Speed Mode High time	fsn	8		54	kHz
Low time	tLRH	1/256fs			ns
	tLRL	1/256fs			ns
TDM128 mode (TDM0=“H”, TDM1=“H”)					
Normal Speed Mode	fsn	8		54	kHz
Double Speed Mode	fsd	54		108	kHz
Quad Speed Mode	fsq	108		216	kHz
High time	tLRH	1/128fs			ns
Low time	tLRL	1/128fs			ns
PCM Audio Interface Timing					
Normal Mode (TDM0=“L”, TDM1=“L”)					
BICK Period					
1152fs, 512fs or 768fs	tBCK	1/128fsn			ns
256fs or 384fs	tBCK	1/64fsd			ns
128fs or 192fs	tBCK	1/64fsq			ns
BICK Pulse Width Low	tBCKL	14			ns
BICK Pulse Width High	tBCKH	14			ns
BICK “↑” to LRCK Edge (Note 17)	tBLR	14			ns
LRCK Edge to BICK “↑” (Note 17)	tLRB	14			ns
SDATA Hold Time	tSDH	5			ns
SDATA Setup Time	tSDS	5			ns
TDM256 mode (TDM0=“H”, TDM1=“L”)					
BICK Period					
Normal Speed Mode	tBCK	1/256fsn			ns
BICK Pulse Width Low	tBCKL	14			ns
BICK Pulse Width High	tBCKH	14			ns
BICK “↑” to LRCK Edge (Note 17)	tBLR	14			ns
LRCK Edge to BICK “↑” (Note 17)	tLRB	14			ns
SDATA1/2 Hold Time	tSDH	5			ns
SDATA1/2 Setup Time	tSDS	5			ns

TDM128 mode (TDM0= “H”, TDM1= “H”)						
BICK Period						
Normal Speed Mode	tBCK	1/128fsn				ns
Double Speed Mode	tBCK	1/128fsd				ns
Quad Speed Mode	tBCK	1/128fsq				ns
BICK Pulse Width Low	tBCKL	14				ns
BICK Pulse Width High	tBCKH	14				ns
BICK “↑” to LRCK Edge (Note 17)	tBLR	14				ns
LRCK Edge to BICK “↑” (Note 17)	tLRB	14				ns
SDATA1/2 Hold Time	tSDH	5				ns
SDATA1/2 Setup Time	tSDS	5				ns
DSD Audio Interface Timing						
DCLK Period	tDCK	-	1/64fs	-		ns
DCLK Pulse Width Low	tDCKL	160				ns
DCLK Pulse Width High	tDCKH	160				ns
DCLK Edge to DSDL1/R1/L2/R2 (Note 18)	tDDD	-20		20		ns
Control Interface Timing						
CCLK Period	tCCK	200				ns
CCLK Pulse Width Low	tCCKL	80				ns
Pulse Width High	tCCKH	80				ns
CDTI Setup Time	tCDS	50				ns
CDTI Hold Time	tCDH	50				ns
CSN High Time	tCSW	150				ns
CSN “↓” to CCLK “↑”	tCSS	50				ns
CCLK “↑” to CSN “↑”	tCSH	50				ns
Reset Timing						
PDN Pulse Width (Note 19)	tPD	150				ns

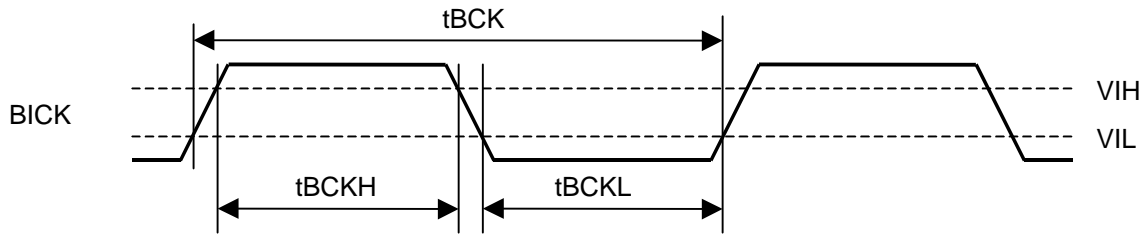
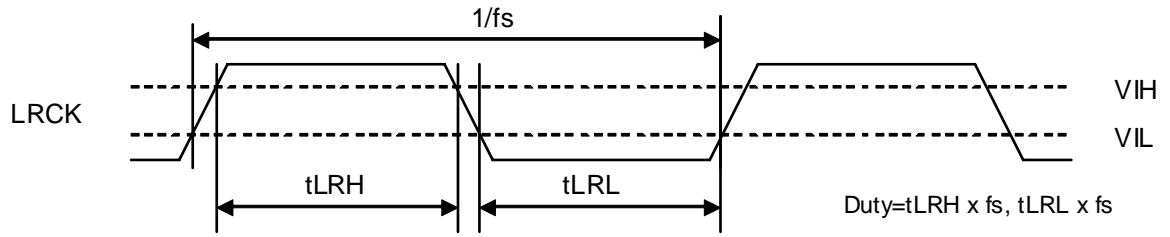
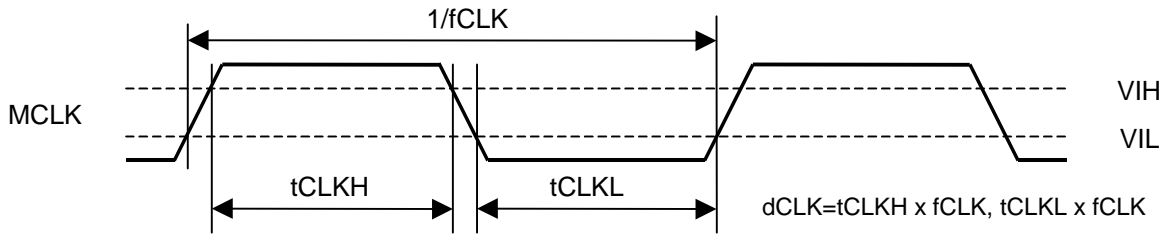
Note 16. 1152fs, 512fs or 768fs /256fs or 384fs /128fs or 192fs を切り替えた場合はPDN pinまたはRSTN bitでリセットして下さい。

Note 17. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

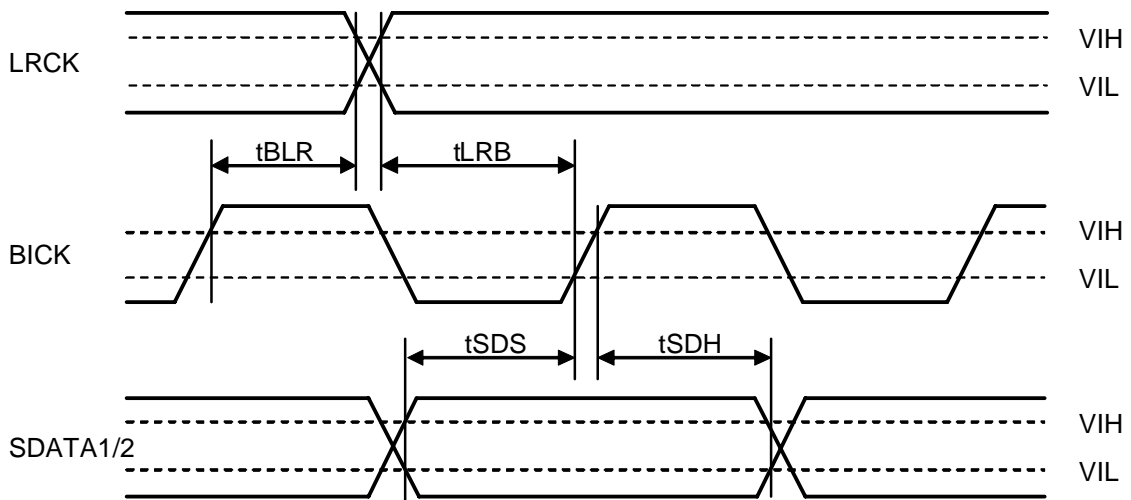
Note 18. データ送信側に要求される値です。

Note 19. 電源投入時はPDN pinを“L”から“H”にすることでリセットがかかります。

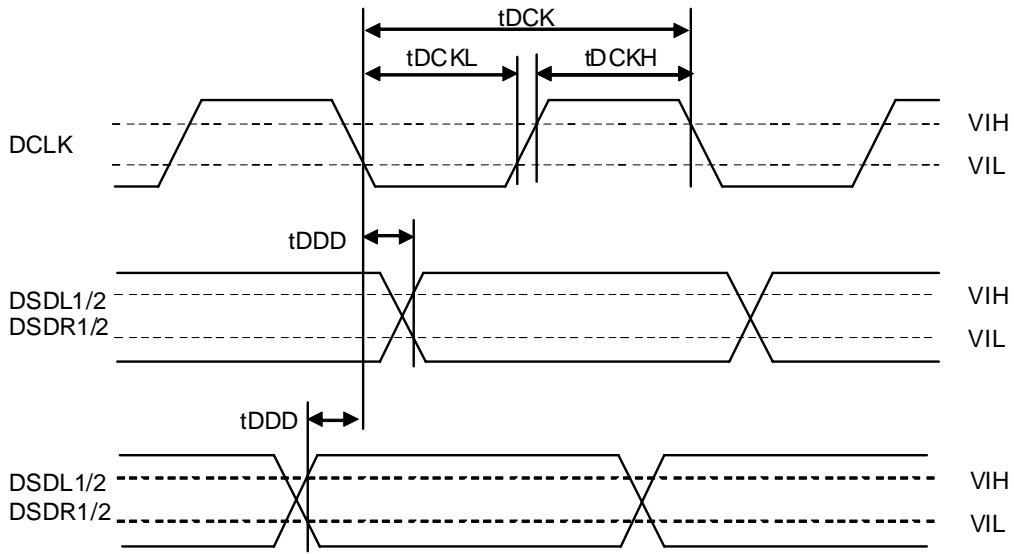
■ タイミング波形



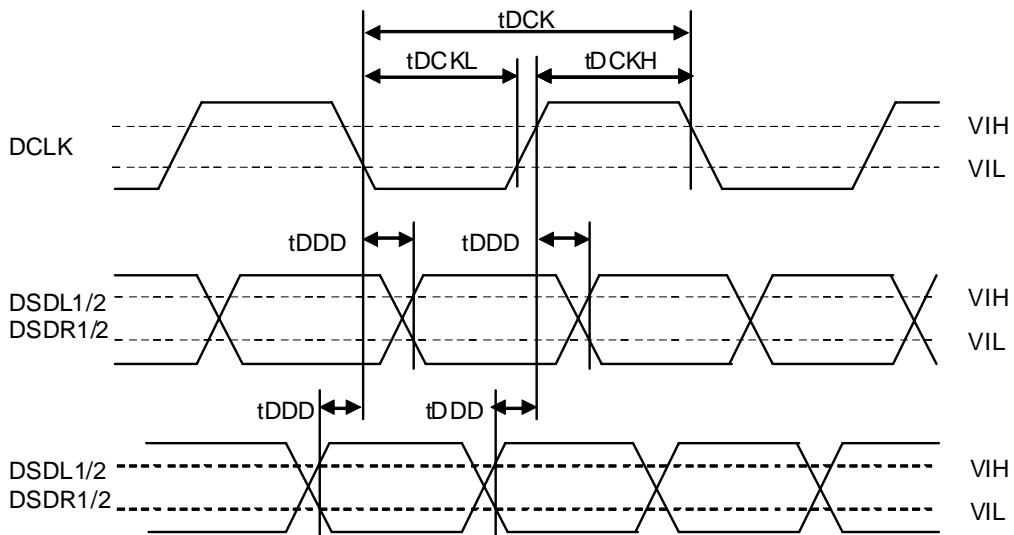
Clock Timing



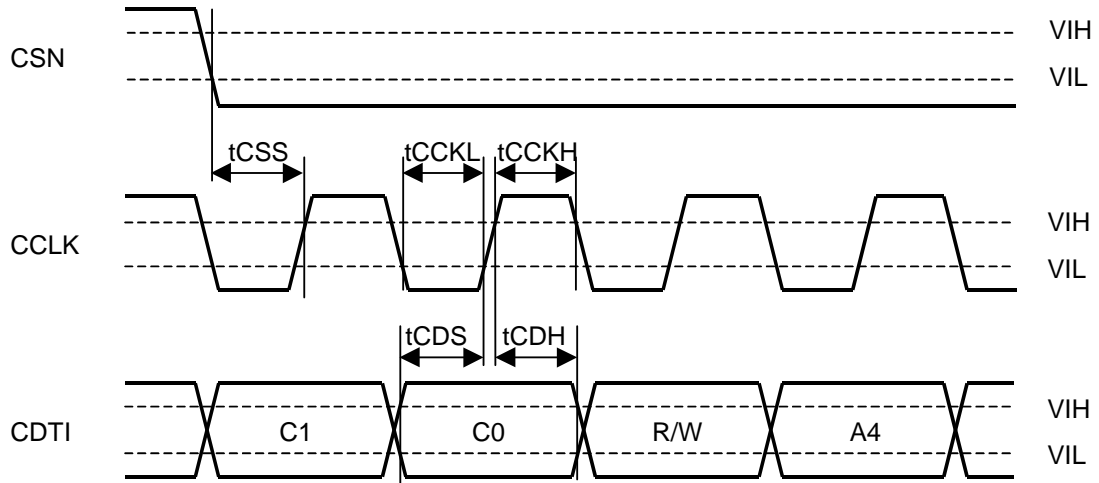
Audio Interface Timing (PCM Mode)



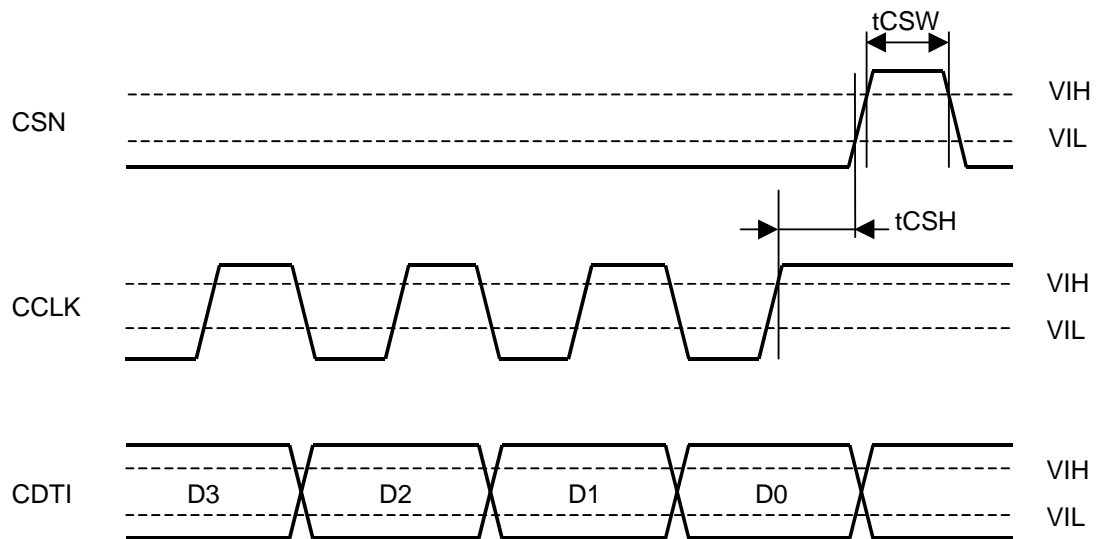
Audio Serial Interface Timing (DSD Normal Mode, DCKB bit = "0")



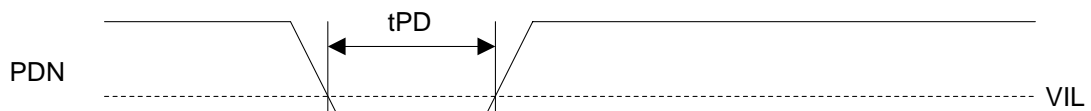
Audio Serial Interface Timing (DSD Phase Modulation Mode, DCKB bit = "0")



WRITE Command Input Timing



WRITE Data Input Timing



Power Down & Reset Timing

動作説明

■ D/A変換モード

AK4414はシリアルモード時、PCMデータとDSDデータの両方をD/A変換することが可能です。DSD mode時は、DCLK, DSDL, DSDRの各ピンからDSDデータを入力できます。PCM modeではBICK, LRCK, SDATAの各ピンからPCMデータを入力します。モード切り替えはDP bitで行います。DP bitでPCM/DSD modeを切り替えた場合はRSTN bitでリセットして下さい。切り替えには2~3/fs程度かかります。パラレルモード時はPCMデータのみに対応します。

DP bit	Interface
0	PCM
1	DSD

Table 1. PCM/DSD Mode Control

■ システムクロック

[1] PCM mode

AK4414に必要なクロックは、MCLK, BICK, LRCKです。MCLKとLRCKは同期する必要はありますが位相を合わせる必要はありません。MCLKはインターポレーションフィルタと $\Delta\Sigma$ 変調器に使用されます。

動作中にMCLKまたはLRCKが止まった場合は、AK4414は自動的にリセット状態になり、アナログ出力はAVDD/2電圧(typ)を出力します。MCLKとLRCKを再入力後、リセット状態が解除され動作を再開します。電源ON時などのシステムリセット解除(PDN pin = "L" → "H")後はMCLKとLRCKが入力されるまでパワーダウン状態です。

(1) パラレルモード (PSN pin = "H")

1. Manual Setting Mode (ACKS pin = "L")

Manual Setting Modeでは、サンプリングスピードはNormal Speed Modeのみに対応します (Table 2)。MCLK周波数はTable 3で示される周波数を外部から供給して下さい。AK4414は自動的に対応周波数に合わせて動作します。

Sampling Rate (fs)	
Normal Speed Mode	8kHz ~ 54kHz

Table 2. Sampling Speed (Manual Setting Mode @Parallel Mode)

LRCK fs	MCLK (MHz)						BICK 64fs	
	128fs	192fs	256fs	384fs	512fs	768fs		1152fs
32.0kHz	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	2.0480MHz
44.1kHz	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	2.8224MHz
48.0kHz	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	3.0720MHz

Table 3. System Clock Example (Manual Setting Mode @Parallel Mode), (N/A: Not available)

2. Auto Setting Mode (ACKS pin = "H")

MCLK周波数とサンプリングスピードは自動検出されます(Table 4)。各スピードでのMCLK周波数はTable 5で示される周波数を外部から供給して下さい。

MCLK		Sampling Speed
1152fs		Normal (fs≤32kHz)
512fs	768fs	Normal
256fs	384fs	Double
128fs	192fs	Quad

Table 4. Sampling Speed (Auto Setting Mode @Parallel Mode)

LRCK fs	MCLK (MHz)							Sampling Speed
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	N/A	(8.1920*)	(12.2880*)	16.3840	24.5760	36.8640	Normal/ (Double*)
44.1kHz	N/A	N/A	(11.2896*)	(16.9344*)	22.5792	33.8688	N/A	
48.0kHz	N/A	N/A	(12.2880*)	(18.4320*)	24.5760	36.8640	N/A	
88.2kHz	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	
176.4kHz	22.5792	33.8688	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	24.5760	36.8640	N/A	N/A	N/A	N/A	N/A	

Table 5. System Clock Example (Auto Setting Mode @Parallel Mode) (N/A: Not available)

MCLK= 256fs/384fsのとき、Auto Setting Modeは32kHz~96kHzのサンプリングレートまで対応します(Table 6)。但し、32kHz~48kHzのサンプリングレートでは、MCLK= 256fs/384fsでのDR, S/Nは、MCLK= 512fs/768fsの時に比べて3dB程度劣化します。

ACKS pin	MCLK	DR,S/N
L	256fs/384fs/512fs/768fs	120dB
H	256fs/384fs	117dB
H	512fs/768fs	120dB

Table 6. MCLK周波数とDR, S/Nの関係(fs = 44.1kHz)

3. Digital Filter Setting

SD pin	SLOW pin	Mode
0	0	Sharp roll-off filter
0	1	Slow roll-off filter
1	0	Short delay sharp roll-off
1	1	Short delay slow roll-off

Table 7. デジタルフィルタ設定 (Parallel Mode)

(2) シリアルモード (PSN pin = “L”)

1. Manual Setting Mode (ACKS bit = “0”)

MCLK周波数は自動設定されますが、DFS1-0 bitでサンプリングスピードを設定します(Table 8)。各スピードでのMCLK周波数はTable 9で示される周波数を外部から供給して下さい。パワーダウン解除時(PDN pin = “L” → “H”)はManual Setting Modeに設定されます。DFS1-0 bitを切り替えた場合はRSTN bitでリセットして下さい。

DFS1 bit	DFS0 bit	Sampling Rate (fs)	
0	0	Normal Speed Mode	30kHz ~ 54kHz
0	1	Double Speed Mode	54kHz ~ 108kHz
1	0	Quad Speed Mode	120kHz ~ 216kHz

(default)

Table 8. Sampling Speed (Manual Setting Mode @Serial Mode)

LRCK fs	MCLK (MHz)							BICK 64fs
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	2.0480MHz
44.1kHz	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	2.8224MHz
48.0kHz	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	3.0720MHz
88.2kHz	11.2896	16.9344	22.5792	33.8688	N/A	N/A	N/A	5.6448MHz
96.0kHz	12.2880	18.4320	24.5760	36.8640	N/A	N/A	N/A	6.1440MHz
176.4kHz	22.5792	33.8688	N/A	N/A	N/A	N/A	N/A	11.2896MHz
192.0kHz	24.5760	36.8640	N/A	N/A	N/A	N/A	N/A	12.2880MHz

Table 9. System Clock Example (Manual Setting Mode @Serial Mode)

2. Auto Setting Mode (ACKS bit = “1”)

MCLK周波数とサンプリングスピードは自動検出(Table 10)されるため、DFS1-0 bitの設定は不要です。各スピードでのMCLK周波数はTable 11で示される周波数を外部から供給して下さい。

MCLK		Sampling Speed
1152fs		Normal (fs≤32kHz)
512fs	768fs	Normal
256fs	384fs	Double
128fs	192fs	Quad

Table 10. Sampling Speed (Auto Setting Mode @Serial Mode)

LRCK fs	MCLK (MHz)							Sampling Speed
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	N/A	(8.1920*)	(12.2880*)	16.3840	24.5760	36.8640	Normal/ (Double*)
44.1kHz	N/A	N/A	(11.2896*)	(16.9344*)	22.5792	33.8688	N/A	
48.0kHz	N/A	N/A	(12.2880*)	(18.4320*)	24.5760	36.8640	N/A	
88.2kHz	N/A	N/A	22.5792	33.8688	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	24.5760	36.8640	N/A	N/A	N/A	
176.4kHz	22.5792	33.8688	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	24.5760	36.8640	N/A	N/A	N/A	N/A	N/A	

Table 11. System Clock Example (Auto Setting Mode @Serial Mode)

MCLK=256fs/384fsのとき、Auto Setting Modeは32kHz~96kHzのサンプリングレートまで対応します(Table 12)。但し、32kHz~48kHzのサンプリングレートでは、MCLK=256fs/384fsでのDR, S/Nは、MCLK=512fs/768fsの時に比べて3dB程度劣化します。

ACKS pin	MCLK	DR,S/N
L	256fs/384fs/512fs/768fs	120dB
H	256fs/384fs	117dB
H	512fs/768fs	120dB

Table 12. MCLK周波数とDR, S/Nの関係(fs = 44.1kHz)

3. Digital Filter Setting

SD bit	SLOW bit	Mode
0	0	Sharp roll-off filter
0	1	Slow roll-off filter
1	0	Short delay sharp roll-off (default)
1	1	Short delay slow roll-off

Table 13. デジタルフィルタ設定 (Serial Mode)

[2] DSD mode

必要なクロックは、MCLK, DCLKです。MCLKとDCLKは同期する必要はありますが位相を合わせる必要はありません。MCLK周波数はDCKS bitで設定します。

動作中(PDN pin = "H")に、MCLKが止まった場合は、AK4414は自動的にリセット状態になり、アナログ出力はAVDD/2電圧(typ)を出力します。

DCKS bit	MCLK Frequency	DCLK Frequency
0	512fs	64fs
1	768fs	64fs

Table 14. System Clock (DSD Mode)

■ オーディオインタフェースフォーマット

[1] PCM mode

(1) Parallel Control Mode (PSN pin = “H”)

パラレルコントロールモードでは20種類のフォーマット (Table 15) が DIF2-0pin と TDM1-0 pinで選択できます。パラレルコントロールモード時のレジスタ設定は無効です。全モードとも MSB ファースト、2’s Complementのデータフォーマットで BICK の立ち上がりでラッチされます。Mode 2 を 16/20ビットで使った場合はデータの無いLSB には “0” を入力して下さい。

パラレルコントロールモード時、TDM1 pinを“L”, TDM0 pin を“H”に設定すると、オーディオI/FはTDM256モード (Table 15)になり、SDTI1 pinに全8chのDACデータを入力します。SDTI2への入力データは無視されます。BICKは256fs固定、LRCKの “H”幅、 “L”幅は1/256fs(min)です。データフォーマットはMSBファースト、2’s complementで、SDTI1はBICKの立ち上がりでラッチされます。DACデータは最初の4チャンネルのみ選択され、アナログ出力に変換されます。

TDM1-0 pins = “HH” に設定すると、オーディオI/FはTDM128モードになり (Table 15)、SDTI1 pinに4chのDACデータ(L1, R1, L2, R2) を入力します (Table 17)。

Mode	TDM1	TDM0	DIF2	DIF1	DIF0	SDTI Format	LRCK	BICK
Normal	-	L	L	L	L	16-bit LSB justified	H/L	≥32fs
			L	L	H	20-bit LSB justified	H/L	≥40fs
			L	H	L	24-bit MSB justified	H/L	≥48fs
			L	H	H	24-bit I ² S compatible	L/H	≥48fs
			H	L	L	24-bit LSB justified	H/L	≥48fs
			H	L	H	32-bit LSB justified	H/L	≥64fs
			H	H	L	32-bit MSB justified	H/L	≥64fs
			H	H	H	32-bit I ² S compatible	L/H	≥64fs
TDM256	L	H	L	L	L	N/A		
			L	L	H	N/A		
			L	H	L	24-bit MSB justified	↑	256fs
			L	H	H	24-bit I ² S compatible	↓	256fs
			H	L	L	24-bit LSB justified	↑	256fs
			H	L	H	32-bit LSB justified	↑	256fs
			H	H	L	32-bit MSB justified	↑	256fs
			H	H	H	32-bit I ² S compatible	↓	256fs
TDM128	H	H	L	L	L	N/A		
			L	L	H	N/A		
			L	H	L	24-bit MSB justified	↑	128fs
			L	H	H	24-bit I ² S compatible	↓	128fs
			H	L	L	24-bit LSB justified	↑	128fs
			H	L	H	32-bit LSB justified	↑	128fs
			H	H	L	32-bit MSB justified	↑	128fs
			H	H	H	32-bit I ² S compatible	↓	128fs

Table 15. Audio Interface Format (Parallel Mode)

(2) Serial Control Mode (PSN pin = “L”)

シリアルコントロールモードでは20種類のフォーマット (Table 16) が DIF2-0 bit と TDM1-0 bit で選択できます。DIF2-0 bitの初期値は“010”です。シリアルコントロールモード時はDIF1 pinの設定は無効です。

シリアルコントロールモード時、TDM0 bitを“1”に、TDM1 bitを“0”設定すると、オーディオI/FはTDM256モード (Table 16) になり、SDTI1 pinに全8chのDACデータを入力します (Figure 15)。SDTI2への入力データは無視されます。BICKは256fs固定、LRCKの“H”幅、“L”幅は1/256fs(min)です。データフォーマットはMSBファースト、2’s complementで、SDTI1 pin への入力データはBICKの立ち上がりでラッチされます。8chのDACデータは2つのAK4414にマッピング可能です。(Table 17)

TDM128モード (TDM0 bit = “1”, TDM1 bit = “1”) では、SDTI1 pinにDAC (L1, R1, L2, R2)、SDTI2 pinにDAC (L3, R3, L4, R4) の各4chのデータを入力します。BICKは128fs固定です。データフォーマットはMSBファースト、2’s complementで、SDTI1-2 pin への入力データはBICKの立ち上がりでラッチされます。8chのDACデータは2つのAK4414にマッピング可能です。(Table 17)

Mode	TDM1	TDM0	DIF2	DIF1	DIF0	SDTI Format	LRCK	BICK
Normal	-	0	0	0	0	16-bit LSB justified	H/L	≥32fs
			1	0	1	20-bit LSB justified	H/L	≥40fs
			2	0	0	24-bit MSB justified	H/L	≥48fs
			3	0	1	24-bit I ² S compatible	L/H	≥48fs
			4	1	0	24-bit LSB justified	H/L	≥48fs
			5	1	0	32-bit LSB justified	H/L	≥64fs
			6	1	1	32-bit MSB justified	H/L	≥64fs
			7	1	1	32-bit I ² S compatible	L/H	≥64fs
TDM256	0	1	0	0	0	N/A		
			0	0	1	N/A		
			8	0	0	24-bit MSB justified	↑	256fs
			9	0	1	24-bit I ² S compatible	↓	256fs
			10	1	0	24-bit LSB justified	↑	256fs
			11	1	0	32-bit LSB justified	↑	256fs
			12	1	1	32-bit MSB justified	↑	256fs
			13	1	1	32-bit I ² S compatible	↓	256fs
TDM128	1	1	0	0	0	N/A		
			0	0	1	N/A		
			14	0	0	24-bit MSB justified	↑	128fs
			15	0	1	24-bit I ² S compatible	↓	128fs
			16	1	0	24-bit LSB justified	↑	128fs
			17	1	0	32-bit LSB justified	↑	128fs
			18	1	1	32-bit MSB justified	↑	128fs
			19	1	1	32-bit I ² S compatible	↓	128fs

Table 16. オーディオI/Fフォーマット (Serial Mode)

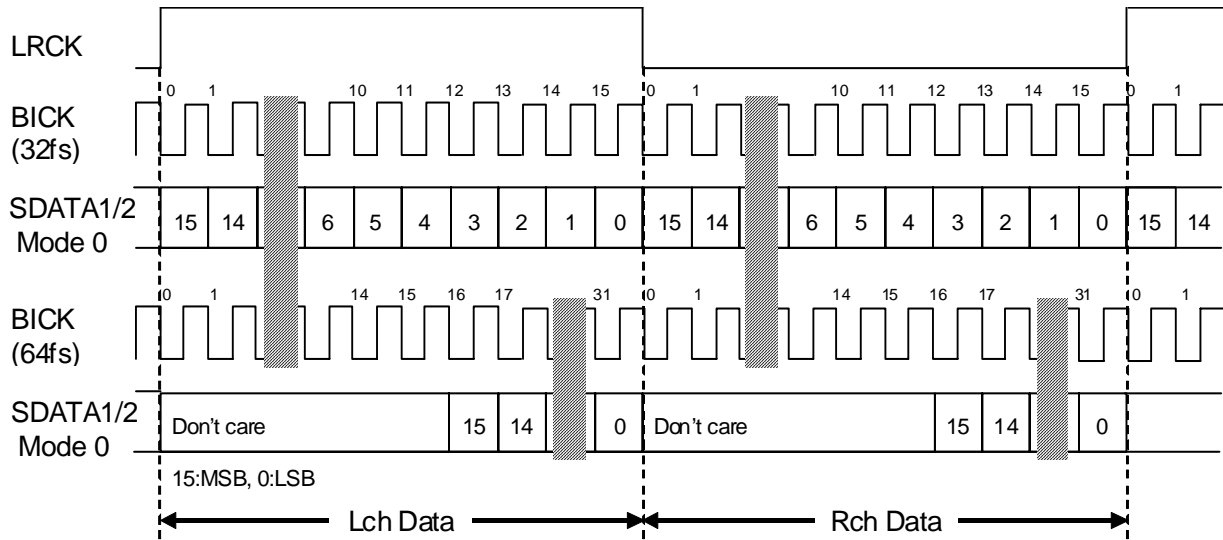


Figure 1. Mode 0 Timing

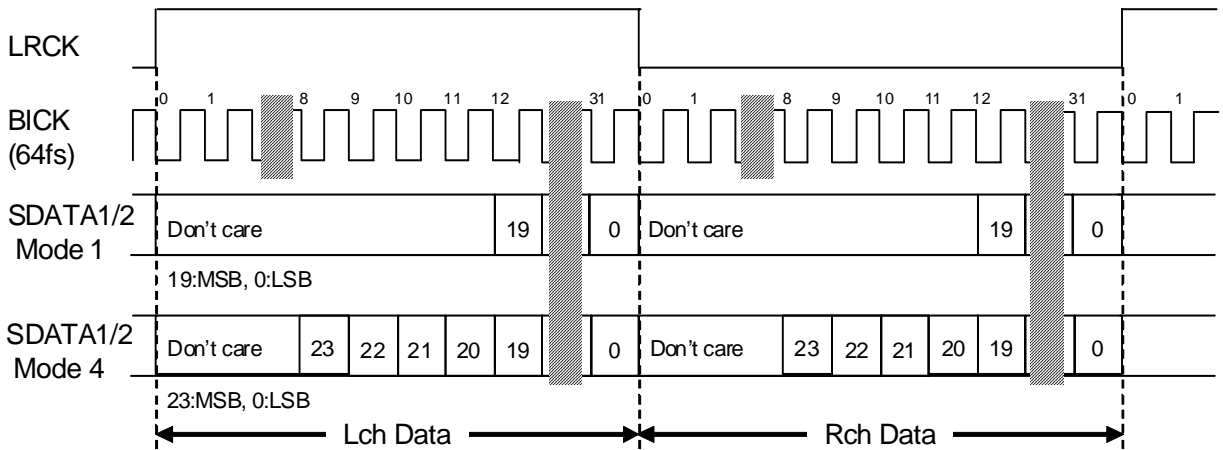


Figure 2. Mode 1/4 Timing

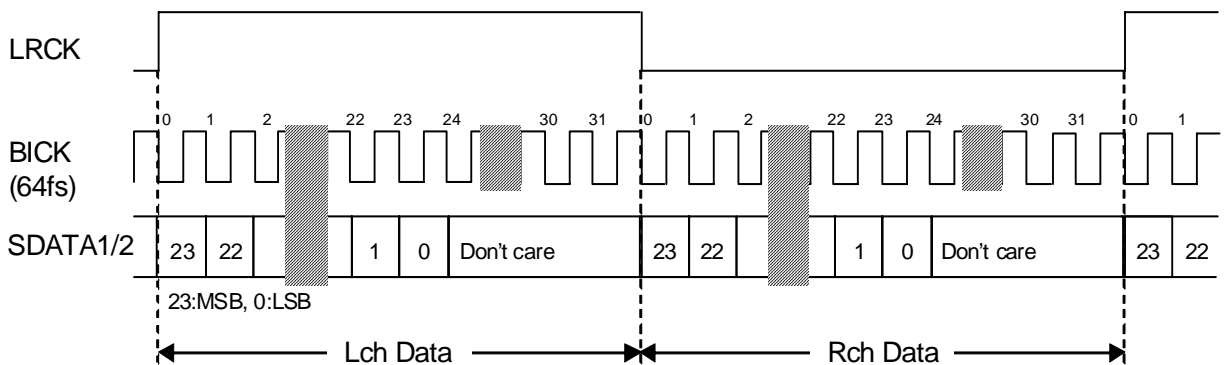


Figure 3. Mode 2 Timing

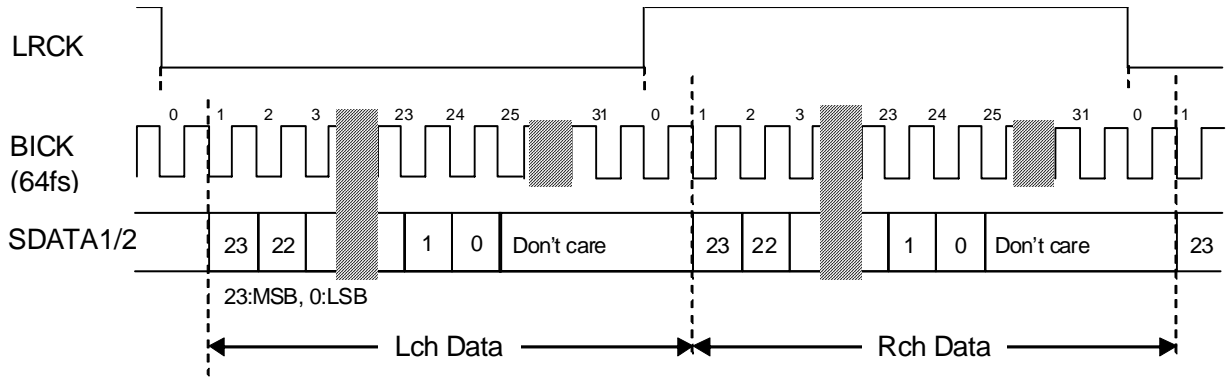


Figure 4. Mode 3 Timing

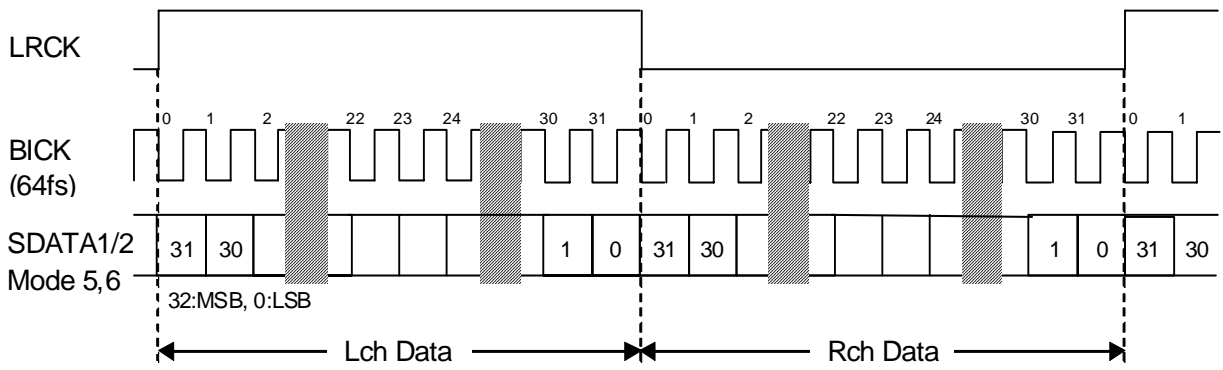


Figure 5. Mode 5/6 Timing

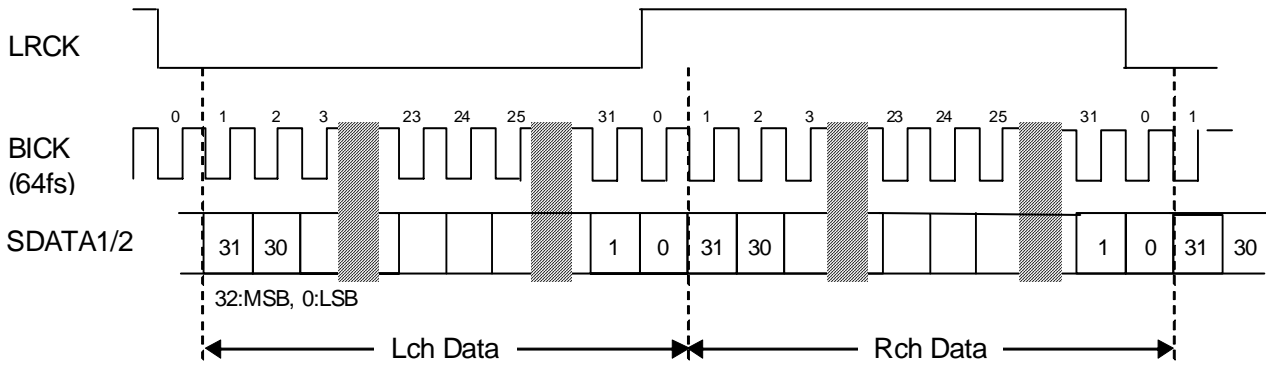


Figure 6. Mode 7 Timing

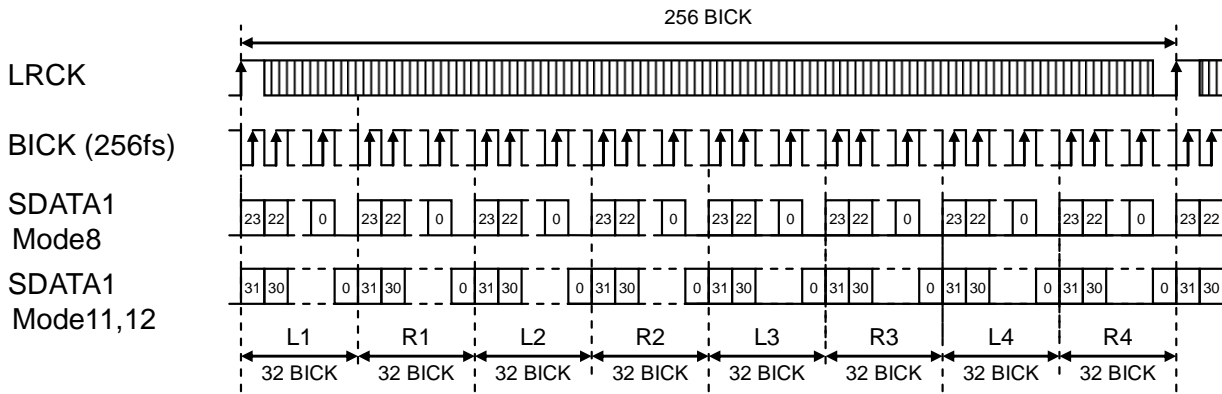


Figure 7. Mode 8/11/12 Timing

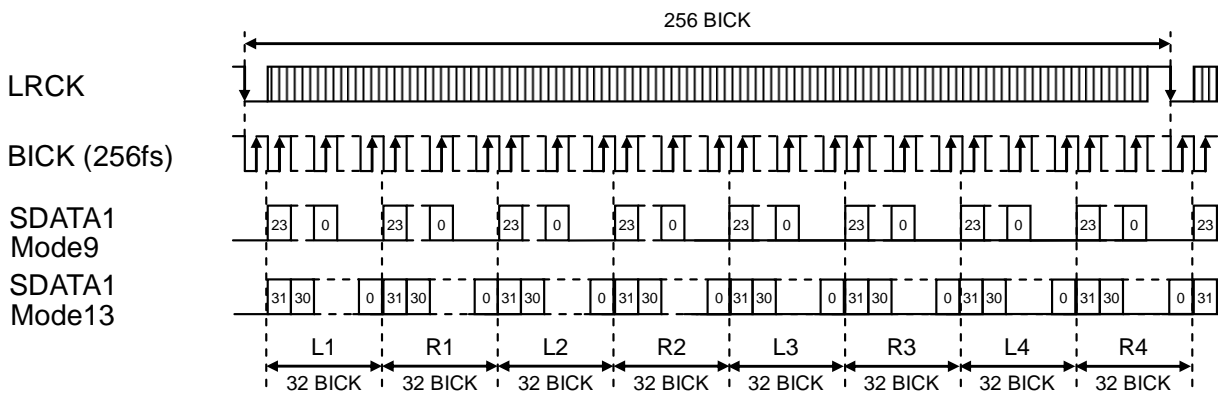


Figure 8. Mode 9/13 Timing

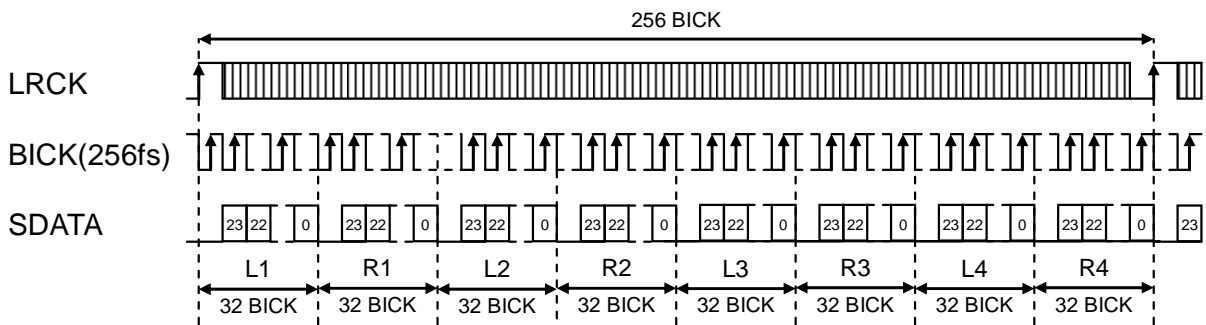


Figure 9. Mode 10 Timing

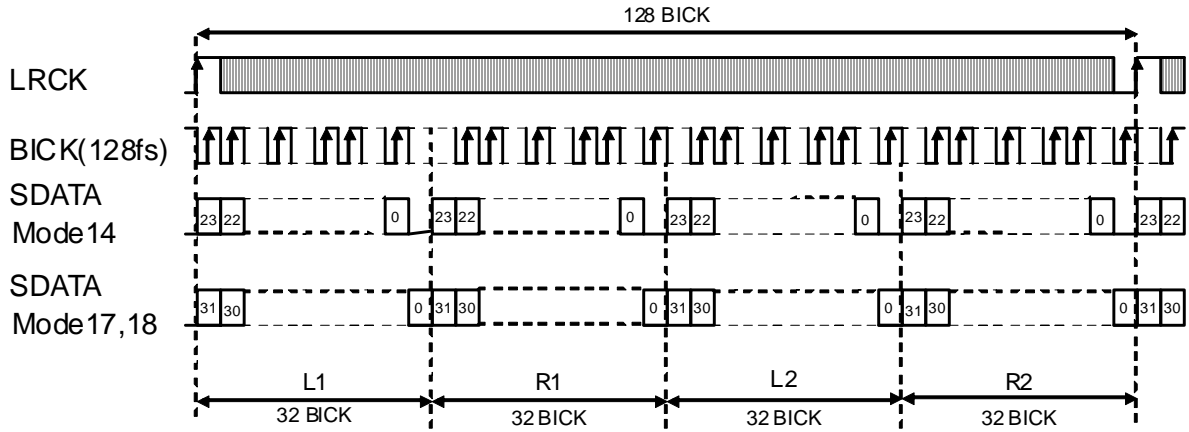


Figure 10. Mode 14/17/18 Timing

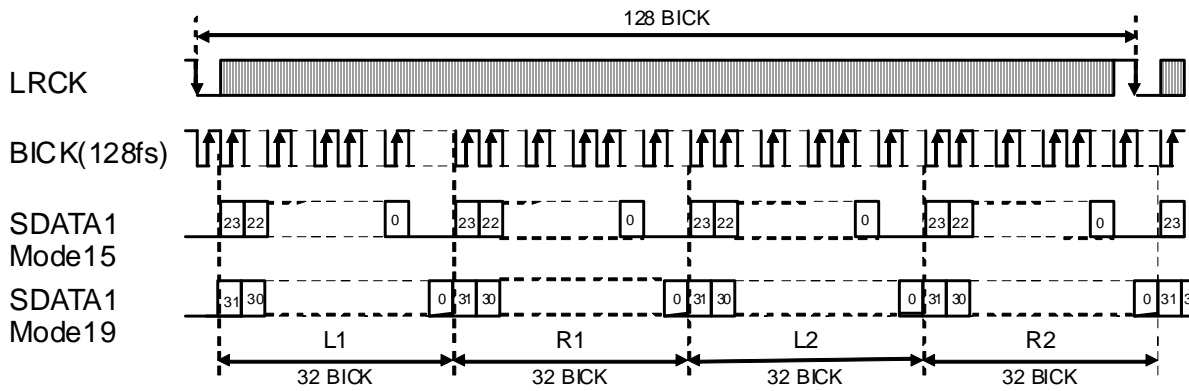


Figure 11. Mode 15/19 Timing

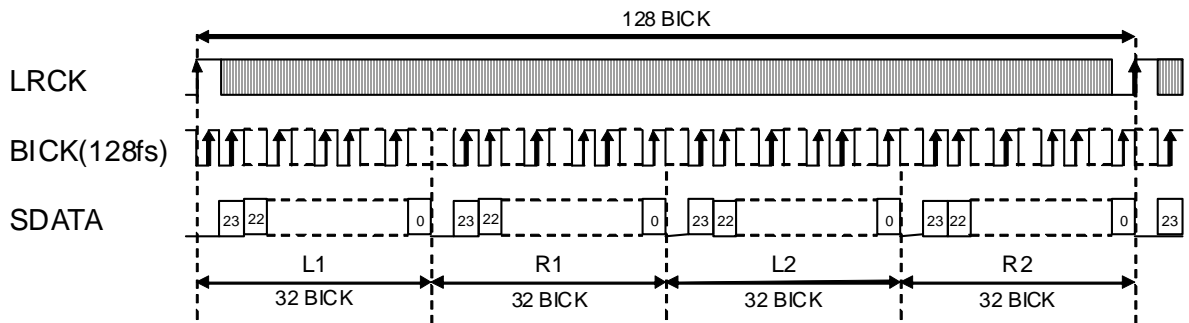


Figure 12. Mode 16 Timing

各オーディオデータフォーマットのオーディオデータ(SDATA1, SDATA2)の1周期分を下記のように定義します。AK4414はSDS2-1 bitで各DACの再生するデータを選択できます。

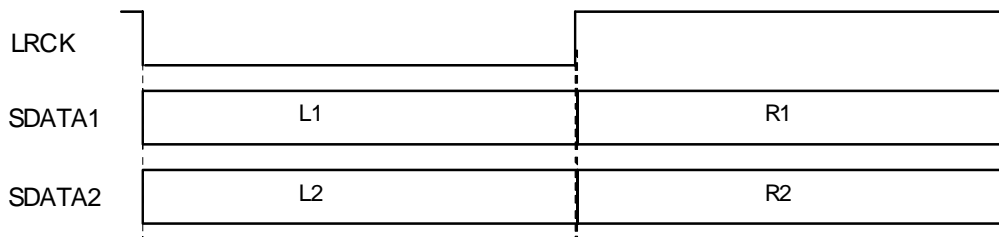


Figure 13. Normal Mode時のデータスロット

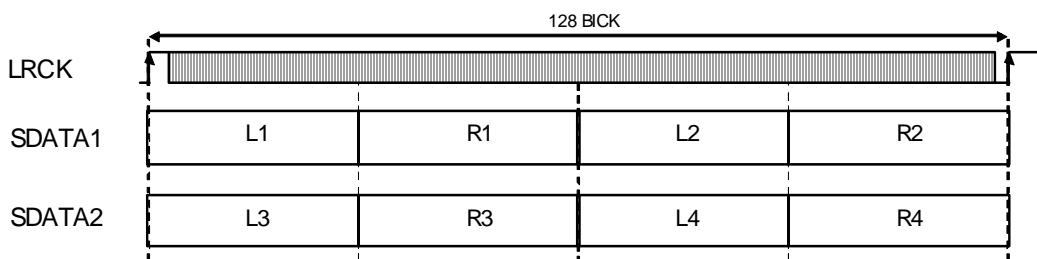


Figure 14. TDM128 Mode時のデータスロット

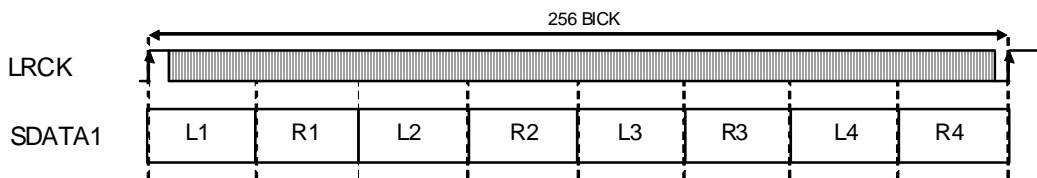


Figure 15. TDM256 Mode時のデータスロット

AK4414 Data Select

	SDS1	SDS2	DAC1		DAC2	
			Lch	Rch	Lch	Rch
Normal	0	0	L1	R1	L2	R2
	0	1	L1	R1	L1	R1
	1	0	L2	R2	L2	R2
	1	1	L2	R2	L1	R1
TDM128	0	0	L1	R1	L2	R2
	0	1	L1	R1	L4	R4
	1	0	L3	R3	L2	R2
	1	1	L3	R3	L4	R4
TDM256	0	0	L1	R1	L2	R2
	0	1	L1	R1	L4	R4
	1	0	L3	R3	L2	R2
	1	1	L3	R3	L4	R4

Table 17. データ選択例

[2] DSD mode

DSDデータ入力の場合は、DIF2-0 pin及びDIF2-0 bitは無効です。DCLK周波数は64fsに固定です。DCLKの極性はDCKB bitで反転することが可能です。

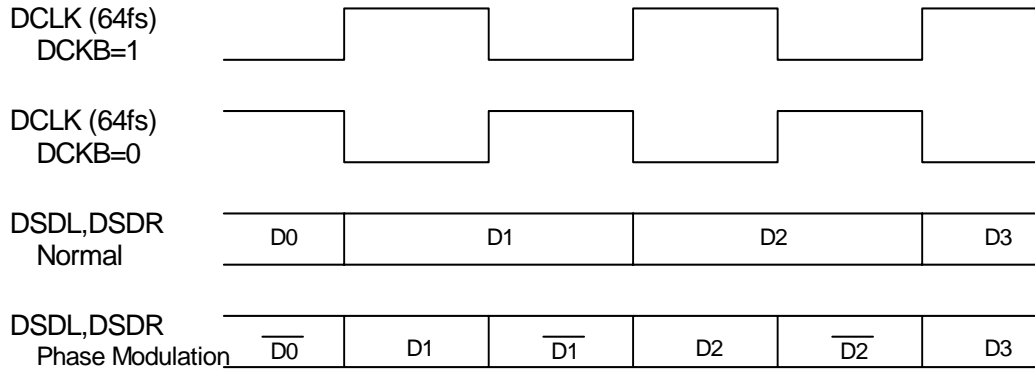


Figure 16. DSD Mode Timing

■ D/A変換モード切り替えタイミング

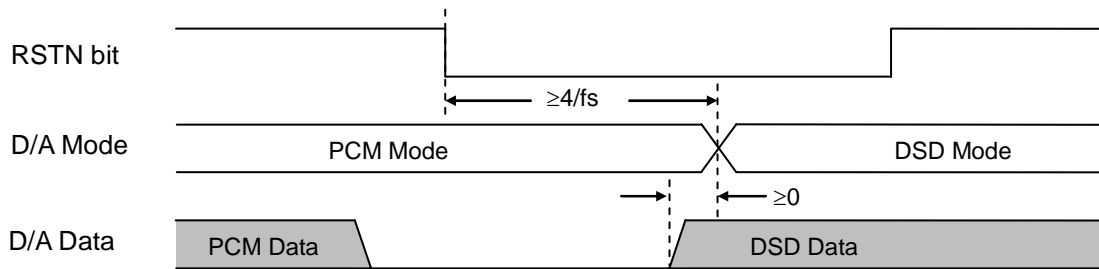


Figure 17. D/A Mode Switching Timing (PCM to DSD)

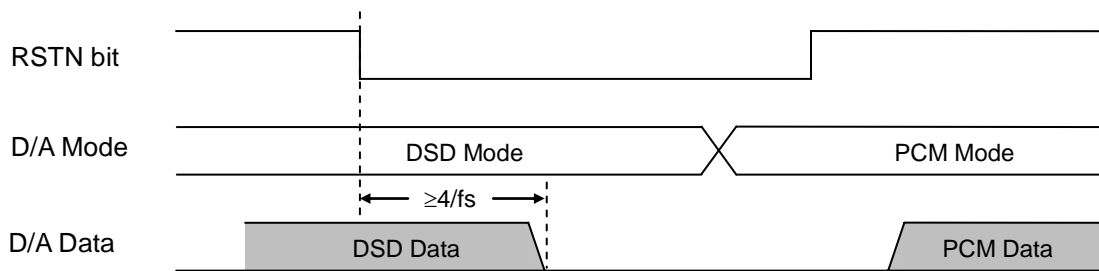


Figure 18. D/A Mode Switching Timing (DSD to PCM)

Note. DSD mode時は25%から75%のデューティ比を信号レンジとします。SACDフォーマットブック(Scarlet Book)では、DSD信号のピークレベルがこのデューティを越えることは推奨されていません。

■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 μ s特性)を内蔵しており、DEM1-0 pins またはDEM1-0 bits でコントロールされます。256fs/384fs と128fs/192fs の時にはディエンファシスフィルタはOFFです。DSD mode ではDEM1-0 bits は無効です。ディエンファシスフィルタの設定値はPCM modeとDSD mode を切り替えても保持されます。

[1] Parallel Mode

Parallel ModeではDAC1とDAC2のディエンファシスフィルタのモードをDEM1 pin とDEM2 pinで制御します。ディエンファシスフィルタの設定はDAC1とDAC2で共通で別々には設定できません。

DEM1	DEM0	Mode
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

(default)

Table 18. De-emphasis Control (Parallel Mode)

[2] Serial Mode

DEM1-0 bits と DEM3-2 bits でDAC1とDAC2のディエンファシスフィルタのモードをそれぞれ制御します。DSD mode ではDEM3-0 bits は無効です。ディエンファシスフィルタの設定値はPCM modeとDSD mode を切り替えても保持されます。

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

(default)

Table 19. DAC1 ディエンファシスフィルタ制御 (Serial Mode)

DEM3	DEM2	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

(default)

Table 20. DAC2 ディエンファシスフィルタ制御 (Serial Mode)

■ 出力ボリューム

AK4414はMUTEを含む0.5dBステップ、255レベルのチャンネル独立デジタル出力ボリューム(ATT)を内蔵しています。このボリュームはDACの前段にあり、入力データを0dBから-127dBまでアテネーション、またはミュートします。設定値間の遷移はソフト遷移です。従って、遷移中にスイッチングノイズは発生しませんFFH (0dB)から00H (Mute)までの遷移時間は7424/fsになります。PDN pinを“L”にすると、アテネーションレベルはFFH (0dB)に初期化されます。RSTN bitを“0”にするとアテネーションレベルは一旦FFHになり、RSTN bitを“1”に戻すと設定値に戻っていきます。

Sampling Speed	Transition Time
	0dB to MUTE
fs=44.1kHz	168.3ms
fs=96kHz	77.3ms
fs=192kHz	38.6ms

Table 21. ATT遷移時間

■ ゼロ検出機能 (PCM mode, DSD mode)

AK4414はチャンネル独立のゼロ検出機能を持ちます。各チャンネルの入力データが8192回連続して“0”の場合、各チャンネルのDZF pinが独立に“H”になります。その後、各チャンネルの入力データが“0”でなくなると対応するチャンネルのDZF pinが“L”になります。RSTN bitが“0”の場合、両チャンネルのDZF pinが“H”になります。RSTN bitが“1”になった後、各チャンネルの入力データが“0”でなくなると対応するチャンネルのDZF pinが4～5LRCK後に“L”になります。DZF pinの極性はDZFB bitで反転することが可能です。パラレルモード時にゼロ検出機能は使用できません。

Pin	Comment
DZF1	Zero Detection flag output of the channels set by register 08H.
DZF2	Zero Detection flag output of the channels set by register 09H.

Table 22. DZF pin 機能

■ モノラル出力機能

AK4414はMONO bitとSELLR bitで入力と出力の組み合わせをそれぞれで変更できます。MONO bit = “1” でモノラル出力が有効になります。DAC出力の位相はINVL bit とINVR bit によって制御します。この機能はすべてのオーディオフォーマットで使用できます。

(L1/L2 はAOUTL1N/2N pins, AOUTL1P/2P pins の出力信号、R1/R2はAOUTR1N/2N pins, AOUTR1P/2P pins の出力信号です。)

MONO bit	SELLR1 bit	INVL1 bit	INVR1 bit	L1 (AOUTL1N, AOUTL1P pins)	R1 (AOUTR1N, AOUTR1P pins)
0	0	0	0	L1	R1
		1	0	L1 Invert	R1
		0	1	L1	R1 Invert
		1	1	L1 Invert	R1 Invert
0	1	0	0	R1	L1
		1	0	R1 Invert	L1
		0	1	R1	L1 Invert
		1	1	R1 Invert	L1 Invert
1	0	0	0	L1	L1
		1	0	L1 Invert	L1
		0	1	L1	L1ch In Invert
		1	1	L1 Invert	L1 Invert
1	1	0	0	R1	R1
		1	0	R1 Invert	R1
		0	1	R1	R1 Invert
		1	1	R1 Invert	R1 Invert

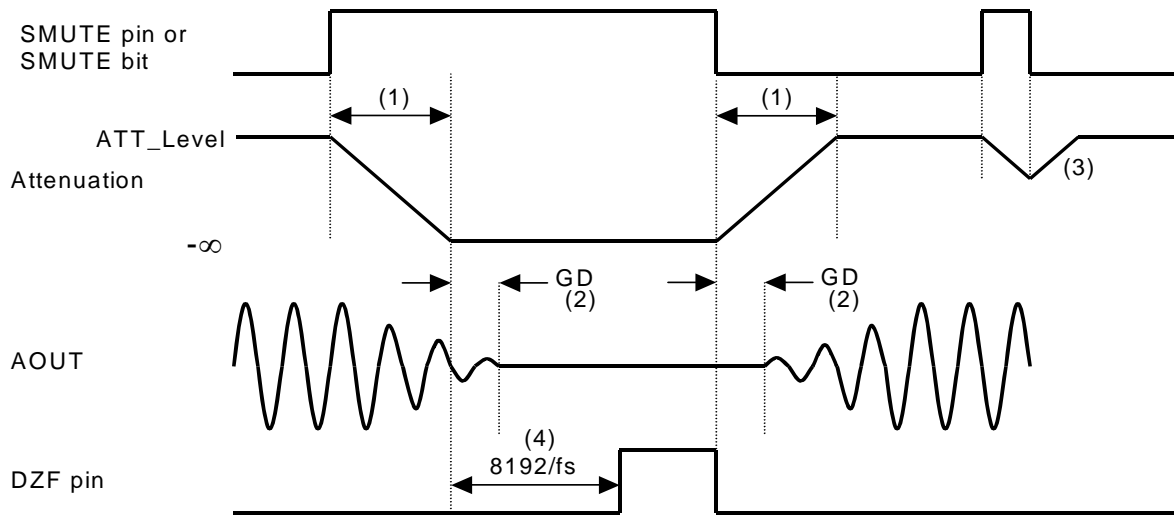
Table 23. DAC1 出力選択

MONO bit	SELLR2 bit	INVL2 bit	INVR2 bit	L2 (AOU2L2N, AOU2L2P pins)	R2 (AOU2R2N, AOU2R2P pins)
0	0	0	0	L2	R2
		1	0	L2 Invert	R2
		0	1	L2	R2 Invert
		1	1	L2 Invert	R2 Invert
0	1	0	0	R2	L2
		1	0	R2 Invert	L2
		0	1	R2	L2 Invert
		1	1	R2 Invert	L2 Invert
1	0	0	0	L2	L2
		1	0	L2 Invert	L2
		0	1	L2	L2 Invert
		1	1	L2 Invert	L2 Invert
1	1	0	0	R2	R2
		1	0	R2 Invert	R2
		0	1	R2	R2 Invert
		1	1	R2 Invert	R2 Invert

Table 24. DAC2 出力選択

■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTE pinを“H”またはSMUTE bitを“1”にするとその時点のATT設定値からATT設定値×ATT遷移時間で入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE pinを“L”またはSMUTE bitを“0”にすると $-\infty$ 状態が解除され、 $-\infty$ からATT設定値×ATT遷移時間でATT設定値まで復帰します。ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



注：

- (1) ATT設定値×ATT遷移時間。例えば、Normal Speed Mode時、ATT設定値が“255”の場合は1020LRCKサイクルです。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (4) 各チャンネルの入力データが8192回連続して“0”の場合、各チャンネルのDZF pinは“H”になります。その後、各チャンネルの入力データが“0”でなくなると、対応するチャンネルのDZF pinが“L”になります。

Figure 19. ソフトミュート機能

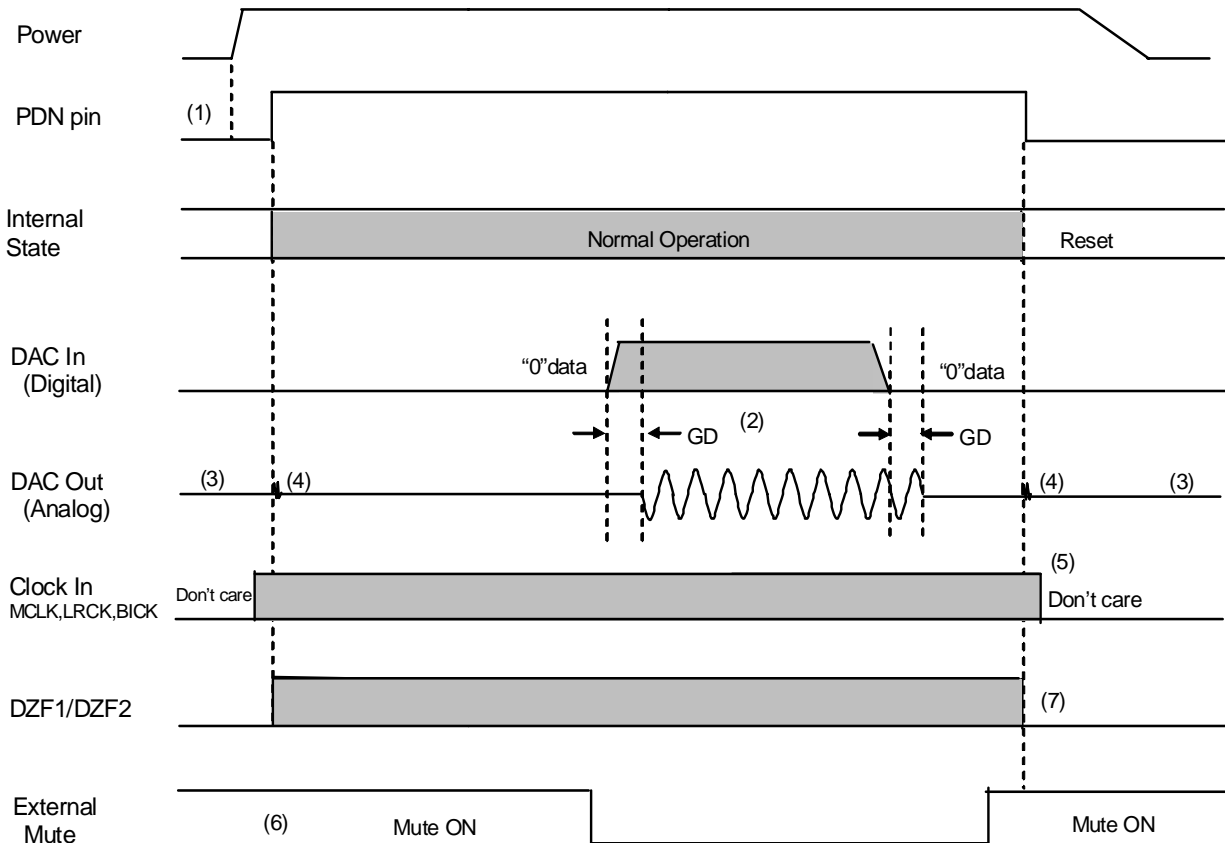
■ システムリセット

電源ON時には、PDN pinに一度“L”を入力してリセットして下さい。このリセットによりレジスタ設定が初期化されます。PDN pin = “H” 後のMCLK入力によりAK4414のシステムリセットが解除され、アナログ部がパワーアップします。デジタル部は内部カウンタがMCLKを4/fsカウントした後、パワーダウン状態が解除されます。

■ パワーON/OFF タイミング

AK4414はPDN pinを“L”にすることでレジスタがリセットされパワーダウンモードに入ります。アナログ出力はフローティング(Hi-Z)です。PDNのエッジでクリックノイズが起きます。クリックノイズがシステムに影響する場合は、アナログ出力を外部でミュートしてください。

RSTN bit “0”でDAC部分をリセットすることが出来ます。この場合レジスタは初期化されず、アナログ出力はVCM1/2になります。RSTNのエッジで起こるクリックノイズが、システムに影響する場合は、アナログ出力を外部でミュートしてください。



Notes:

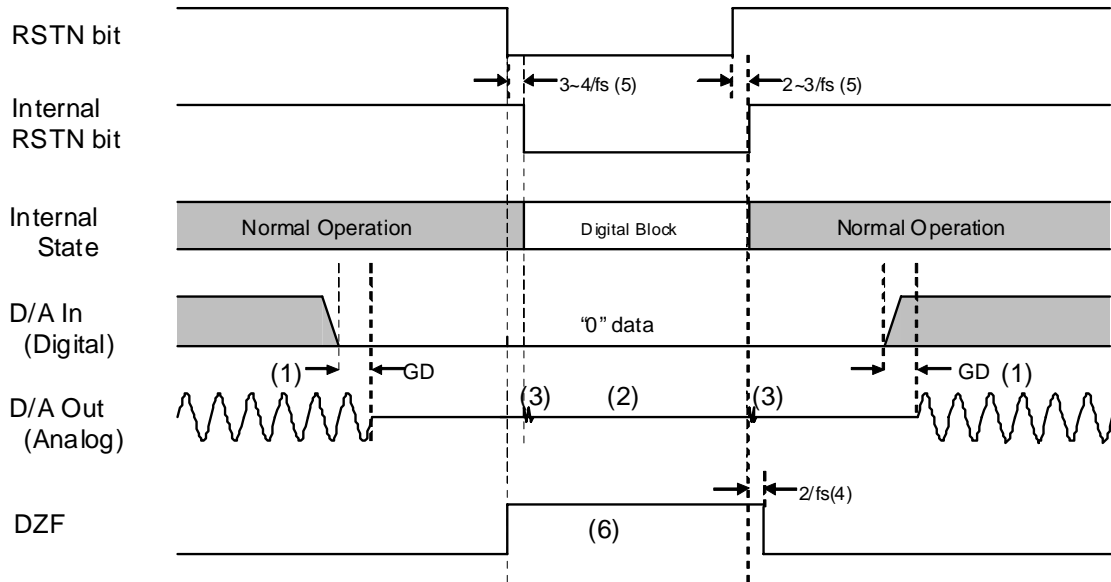
- (1) 電源投入後PDN pinを“L”からスタートし150ns以上の間、PDN pinを“L”にして下さい。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
- (3) パワーダウン時、アナログ出力はHi-Zです。
- (4) PDN信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (5) パワーダウン状態(PDN pin = “L”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (6) クリックノイズ(3)が問題になる場合はアナログ出力を外部でミュートして下さい。タイミング例を示します。
- (7) パワーダウン状態(PDN pin = “L”)では、DZF1/2 pinは“L”になります。

Figure 20. Power-down/up Sequence Example

■ リセット機能

(1) RSRN bitによるリセット

RSTN bitを“0”にするとDACはリセットされますが、内部レジスタは初期化されません。この時、アナログ出力はVCM1/2電圧になり、DZF1/DZF2 pinは“H”になります。Figure 21にRSTN bitによるリセットシーケンスを示します。



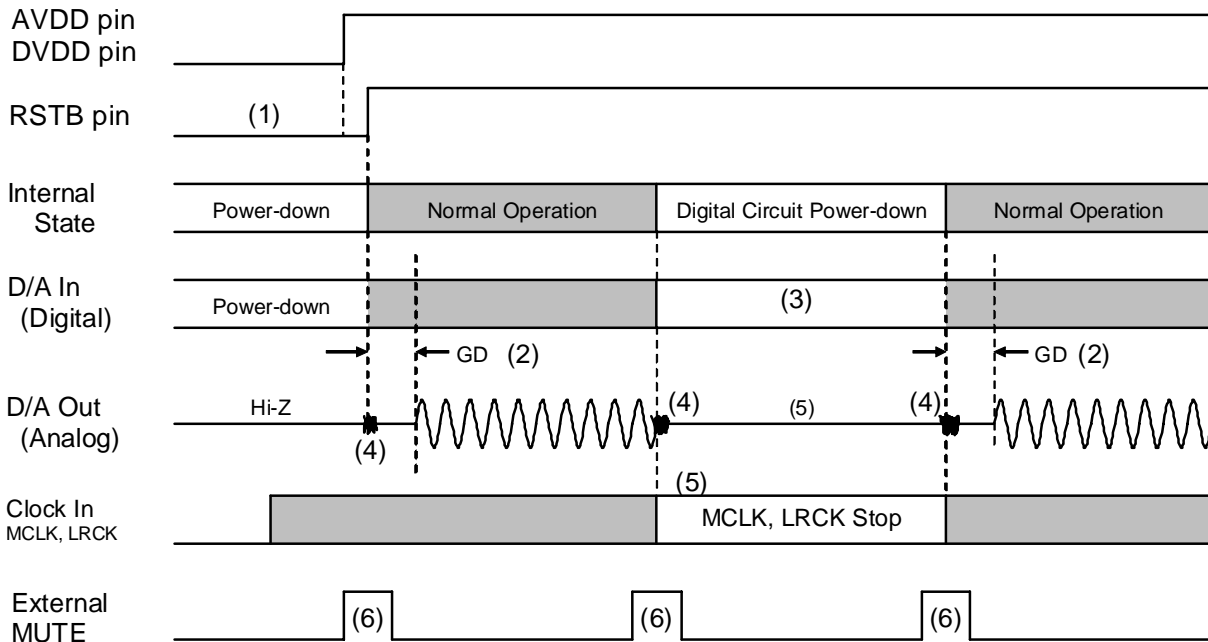
注:

- (1) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (2) RSTN bit = “0”時アナログ出力はVCOM電圧です。
- (3) 内部RSTN信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) DZF pinはRSTN bitの立ち下がりエッジで“H”になり、LSI内部のRSTN bitの立ち上がりエッジの2/fs後“L”になります。
- (5) RSTN bitを書き込んでからLSI内部のRSTN bitが変化するまでの立ち下がり時に3~4/fs かかります。また、立ち上がり時に2~3/fsかかります。
- (6) クリックノイズ(3)又はHi-Z出力(2)が問題になる場合はアナログ出力を外部でミュートしてください。

Figure 21. リセットタイミング例 1

(2) MCLK停止またはLRCK/WCK停止によるリセット

PCM modeで動作中 (RSTN pin = “H”) にMCLK またはLRCKが止まった場合は、AK4414は自動的にリセット状態になり、アナログ出力はフローティング状態(Hi-Z)になります。MCLKとLRCKを再入力後、リセット状態が解除され動作を再開します。MCLK またはLRCKを止めているときは、ゼロ検出機能は動作しません。DSD modeで動作中はMCLKが止まった場合、リセット状態になります。



Notes:

- (1) 電源投入後PDN pinを“L”からスタートし150ns以上の間、PDN pinを“L”にして下さい。
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) デジタルデータの入力を止めることができます。この区間に“0”データを入力しておくことで、MCLK, LRCK再入力後のクリックノイズを軽減できます。
- (4) PDN pinの立ち上がり(“↑”)及びMCLKの入力から、3~4LRCK以内にクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (5) リセット状態(MCLKまたはLRCK停止)では、各クロック入力(MCLK, BICK, LRCK)をとめることができます。
- (6) クリックノイズ(4)が問題になる場合はアナログ出力を外部でミュートしてください。タイミング例をFigure 22に記します

Figure 22. リセットタイミング例

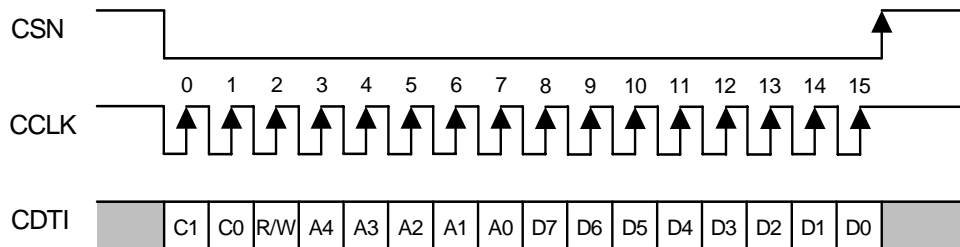
■ レジスタコントロールインタフェース

AK4414のいくつかの機能はピン(パラレルモード)とレジスタ(シリアルモード)のどちらでも設定できますが、パラレルモード時にはレジスタ設定は無効、シリアルモード時にはピンを再定義しない場合、ピン設定とのORをとります。PSN pinの設定を変更した場合は、PDN pinでAK4414をリセットして下さい。シリアルモードではPSN pinを“L”にすることによってイネーブルされます。このモードではピンは全て“L”に設定してください。3線式シリアルI/F CSN, CCLK, CDTI pin を通して内部レジスタの書き込みを行います。I/F上のデータはChip address (2bit, C1/0), Read/Write (1bit, “1”固定), Register address (MSB first, 5-bits)とControl data (MSB first, 8-bits)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。

Function	Parallel mode	Serial mode
Auto Setting Mode	Y	Y
Manual Setting Mode	Y	Y
Audio Format	Y	Y
De-emphasis	Y	Y
SMUTE	Y	Y
TDM Mode	Y (4-ch only)	Y
Digital Filter Option	Y	Y
DSD Mode	-	Y
Zero Detection	-	Y
Digital Attenuator	-	Y

Table 25. ファンクションリスト1 (Y: Available, -: Not available)

PDN pinを“L”にすると内部レジスタ値が初期化されます。また、シリアルモードではRSTN bitに“0”を書き込むと内部タイミング回路がリセットされます。但し、このときレジスタの内容は初期化されません。



C1-C0: Chip Address (C1 bit =CAD1 pin, C0 bit =CAD0 pin)
 R/W: READ/WRITE (Fixed to “1”, Write only)
 A4-A0: Register Address
 D7-D0: Control Data

Figure 23. Control I/F Timing

*AK4414はデータ読み出しをサポートしません。

*PDN pin = “L” 時、及びマスタクロックが供給されていない時は、コントロールレジスタへの書き込みはできません。

*CSNが“L”期間中にCCLKの“↑”が15回以下または17回以上の場合にはデータは書き込まれません。

ファンクションリスト

Function	Default	Address	Bit	PCM	DSD
Attenuation Level	0dB	03H 04H 06H 07H	ATT7-0	Y	Y
Audio Data Interface Modes	24bit MSB Justified	00H	DIF2-0	Y	-
Data Zero Detect Enable	Disable	08H 09H	L1/R1/L2/R2	Y	Y
Minimum delay Filter Enable	Sharp roll-off filter	01H	SD	Y	-
Slow Rolloff Filter Enable		02H	SLOW	Y	-
Short delay Filter Enable				Y	-
De-emphasis Response	OFF	01H 0AH	DEM3-0	Y	-
Soft Mute Enable	Normal Operation	01H	SMUTE	Y	Y
DSD/PCM Mode Select	PCM mode	02H	D/P	Y	Y
Master Clock Frequency Select at DSD mode	512fs	02H	DCKS	-	Y
MONO mode Stereo mode select	Stereo	02H	MONO	Y	Y
Inverting Enable of DZF	“H” active	02H	DZFB	Y	Y
The data selection of L channel and R channel	R channel	02H 05H	SELLR1/2	Y	Y
The data selection of DAC1 and DAC2	Normal	0AH	SDS1/2	Y	-
Data Invert Mode	OFF	05H	INVL1/L2/R1/R2	Y	Y

Table 26. ファンクションリスト2 (Y: Available, -: Not available)

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	0	0	0	DIF2	DIF1	DIF0	RSTN
01H	Control 2	0	0	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR1	SLOW
03H	L1ch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	R1ch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	Control 4	INVL1	INVR1	INVL2	INVR2	SELLR2	0	0	0
06H	L2ch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
07H	R2ch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
08H	DZF1 Control	L1	R1	L2	R2	0	0	0	0
09H	DZF2 Control	L1	R1	L2	R2	0	0	0	0
0AH	Control 5	TDM1	TDM0	SDS1	SDS2	PW2	PW1	DEM3	DEM2

Note:

アドレス0BH～1FHへの書き込みは禁止です。

PDN pinを“L”にするとレジスタの内容が初期化されます。

RSTN bitに“0”を書き込むと内部タイミング回路がリセットされますが、レジスタの内容は初期化されません。

PSN pinの設定を変更した場合は、PDN pinでAK4414をリセットして下さい。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	0	0	0	DIF2	DIF1	DIF0	RSTN
	Default	0	0	0	0	0	1	0	1

RSTN: 内部タイミングリセット

0: Reset. All registers are not initialized.

1: Normal Operation (default)

“0”で内部タイミング回路がリセットされますが、レジスタの内容は初期化されません。

DIF2-0: オーディオデータインタフェースモード (Table 16)

初期値は“010” (Mode2: 24bit前詰め)です。

ACKS: マスタクロック周波数のオートセッティングモードイネーブル (PCM only)

0: Disable : Manual Setting Mode (default)

1: Enable : Auto Setting Mode

ACKS bitが“1”の時、サンプリング周波数とMCLK周波数は自動検出されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	0	0	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
	Default	0	0	1	0	0	0	1	0

SMUTE: ソフトミュート イネーブル
 0: Normal Operation (default)
 1: DAC outputs soft-muted.

DEM1-0: DAC1 ディエンファシスレスポンス (Table 19)
 初期値は“01” (OFF)です。

SD: ショートディレイフィルタ イネーブル。ピンとORが取られます。
 0: Sharp roll-off filter
 1: Short delay filter (default)

SD	SLOW	Mode
0	0	Sharp roll-off filter
0	1	Slow roll-off filter
1	0	Short delay sharp roll-off
1	1	Short delay slow roll-off

(default)

Table 27. デジタルフィルタ設定

DFS1-0: サンプリングスピード選択 (Table 8)
 初期値は“00” (Normal Speed)です。DFS1-0 bitを切り替えた場合、クリックノイズが発生します。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR1	SLOW
	Default	0	0	0	0	0	0	0	0

SLOW: スローロールオフフィルタ イネーブル (ピンとORが取られます。)

0: (default)

1: Slow roll-off filter

SD	SLOW	Mode
0	0	Sharp roll-off filter
0	1	Slow roll-off filter
1	0	Short delay sharp roll-off
1	1	Short delay slow roll-off

(default)

Table 28. デジタルフィルタ設定

SELLR1: AOUTL1-R1出力データセレクト (MONO mode)

0: AOUTL1-R1 output L channel data, when MONO mode. (default)

1: AOUTL1-R1 output R channel data, when MONO mode.

MONO bitが“1”の時有効になり、SELLR1 bit = “0”のときL chの、“1”のときR chのデータを選択し両方のチャンネルに出力します。

DZFB: DZF pin 反転

0: DZF pin goes “H” at Zero Detection (default)

1: DZF pin goes “L” at Zero Detection

MONO: MONO mode Stereo mode 選択

0: Stereo mode (default)

1: MONO mode

MONO bitが“1”の時Mono modeになります。

DCKB: DCLK 極性 (DSD mode Only)

0: DCLK の立下りでDSDデータが出力されます。 (default)

1: DCLK の立ち上がりでDSDデータが出力されます。

DCKS: DSD mode マスタクロック周波数選択 (DSD mode only)

0: 512fs (default)

1: 768fs

DP: DSD/PCM Mode 選択

0: PCM Mode (default)

1: DSD Mode

D/P bitの設定を変更した場合は、RSTN bitでAK4414をリセットして下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	L1ch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	R1ch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
Default		1	1	1	1	1	1	1	1

ATT7-0: アテネーションレベル
256 levels, 0.5dB step

Data	Attenuation
FFH	0dB
FEH	-0.5dB
FDH	-1.0dB
⋮	⋮
⋮	⋮
02H	-126.5dB
01H	-127.0dB
00H	MUTE (-∞)

設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。ATT 設定間の遷移は7425レベルでソフト遷移します。FFH (0dB)から00H (MUTE)までには7424/fs (168ms@fs=44.1kHz)かかります。イニシャルリセットするとアテネーションレベルはFFHに初期化されます。RSTN bit = “0” の時、ATT値はFFHで、RSTN bit が “1”に戻ると、ATT値はそれぞれの設定値へ復帰します。このデジタルアテネーションはソフトミュート機能とは独立しています。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Control 4	INVL1	INVR1	INVL2	INVR2	SELLR2	0	0	0
Default		0	0	0	0	0	0	0	0

SELLR2: AOUTL2-R2出力データ選択 (MONO mode)

0: AOUTL2-R2 output L channel data, when MONO mode. (default)

1: AOUTL2-R2 output R channel data, when MONO mode.

MONO bitが“1”の時有効になり、SELLR2 bit = “0”のときL chの、“1”のときR chのデータを選択し両方のチャンネルに出力します。

INVR2: AOUTR2出力位相反転ビット

0: Disable (default)

1: Enable

INVL2: AOUTL2出力位相反転ビット

0: Disable (default)

1: Enable

INVR1: AOUTR1出力位相反転ビット

0: Disable (default)

1: Enable

INVL1: AOUTL1出力位相反転ビット

0: Disable (default)

1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	L2ch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
07H	R2ch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
	Default	1	1	1	1	1	1	1	1

ATT7-0: アテネーションレベル
256 levels, 0.5dB step

Data	Attenuation
FFH	0dB
FEH	-0.5dB
FDH	-1.0dB
⋮	⋮
⋮	⋮
02H	-126.5dB
01H	-127.0dB
00H	MUTE (-∞)

設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。ATT 設定間の遷移は7425 レベルでソフト遷移します。FFH (0dB)から00H (MUTE)までには7424/fs (168ms@fs=44.1kHz)かかります。イニシャルリセットするとアテネーションレベルはFFHに初期化されます。RSTN bit = “0” の時、ATT値はFFHで、RSTN bit が “1”に戻ると、ATT値はそれぞれの設定値へ復帰します。このデジタルアテネーションはソフトミュート機能とは独立しています。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	DZF1 Control	L1	R1	L2	R2	0	0	0	0
09H	DZF2 Control	L1	R1	L2	R2	0	0	0	0
	Default	0	0	0	0	0	0	0	0

L1-2, R1-2: DZF1-2 pins ゼロ検出フラグ有効ビット
0: Disable
1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Control 5	TDM1	TDM0	SDS1	SDS2	PW2	PW1	DEM2	DEM1
	Default	0	0	0	0	1	1	0	1

DEM2-1: DAC2 ディエンファシスレスポンス (Table 20)
初期値は“01” (OFF)です。

PW2-1: パワーダウンビット
PW2: DAC2のパワーダウンコントロール
0: DAC2 power OFF
1: DAC2 power ON (default)
PW1: DAC1のパワーダウンコントロール
0: DAC1 power OFF
1: DAC1 power ON (default)

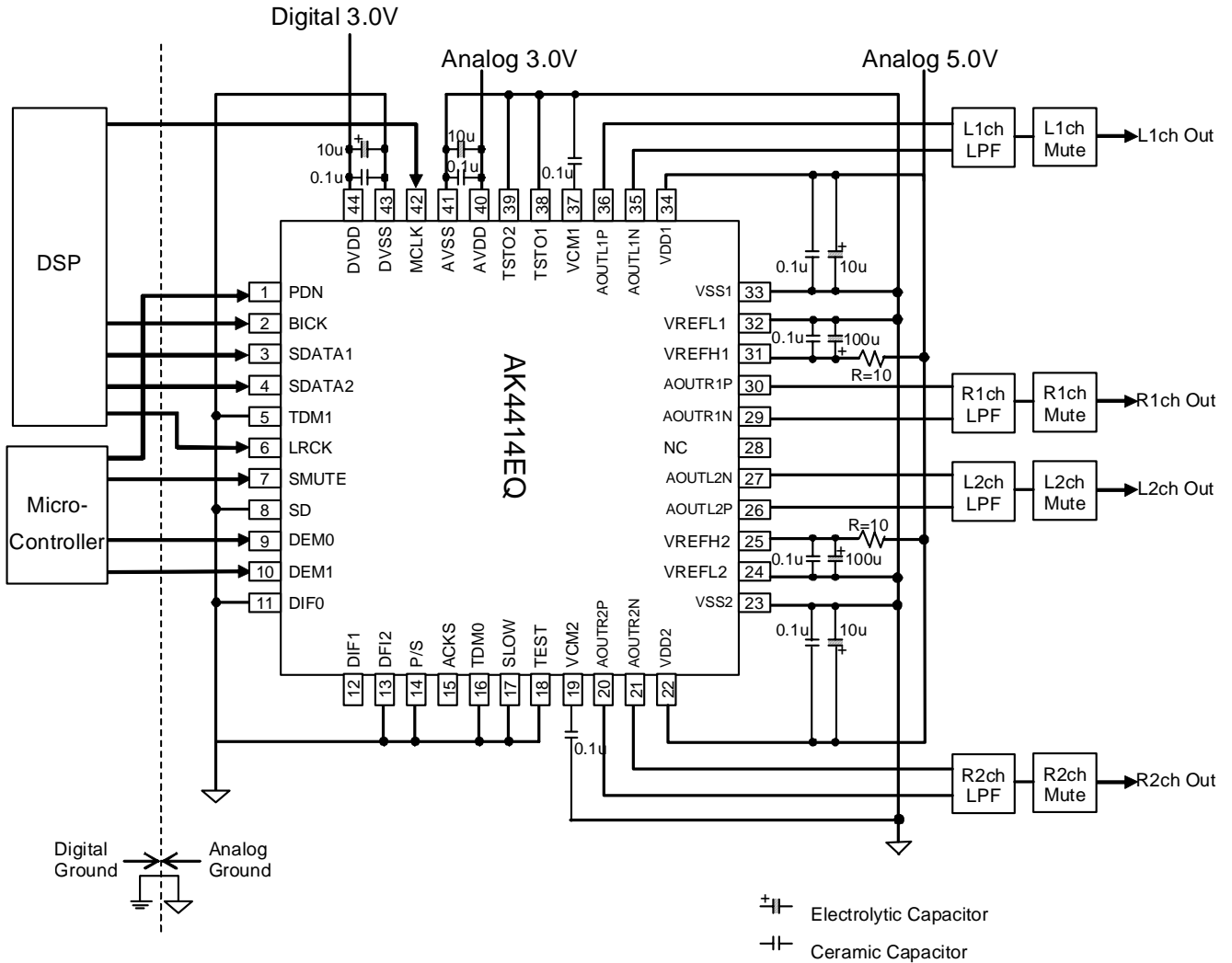
SDS1-2: DAC1, DAC2のデータ選択
0: 通常動作
1: 別スロットのデータを出力
詳細はTable 17をご参照ください。

TDM0-1: TDM Mode選択

Mode	TDM1	TDM0	BICK	SDTI	Sampling Speed
Normal	0	0	32fs~	1-2	Normal, Double, Quad Speed
TDM256	0	1	256fs fixed	1	Normal Speed
TDM128	1	1	128fs fixed	1-2	Normal, Double, Quad Speed

システム設計

システム接続例をFigure 24、アナログ出力回路例をFigure 26とFigure 27に示します。具体的な回路と測定例については評価ボード(AKD4414)を参照して下さい。



Notes:

- AVDDとDVDDの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。
- VSS1-2, DVSS, AVSSは同じアナログのグラウンドに接続して下さい。
- AOUTが負荷容量を駆動する場合は直列に抵抗を入れて下さい。
- プルダウン/プルアップピン以外のデジタル入力ピンはオープンにしないでください。

Figure 24. システム設計図 (AVDD=3.0V, VDD1/2=5V DVDD=5V, Serial Control Mode)

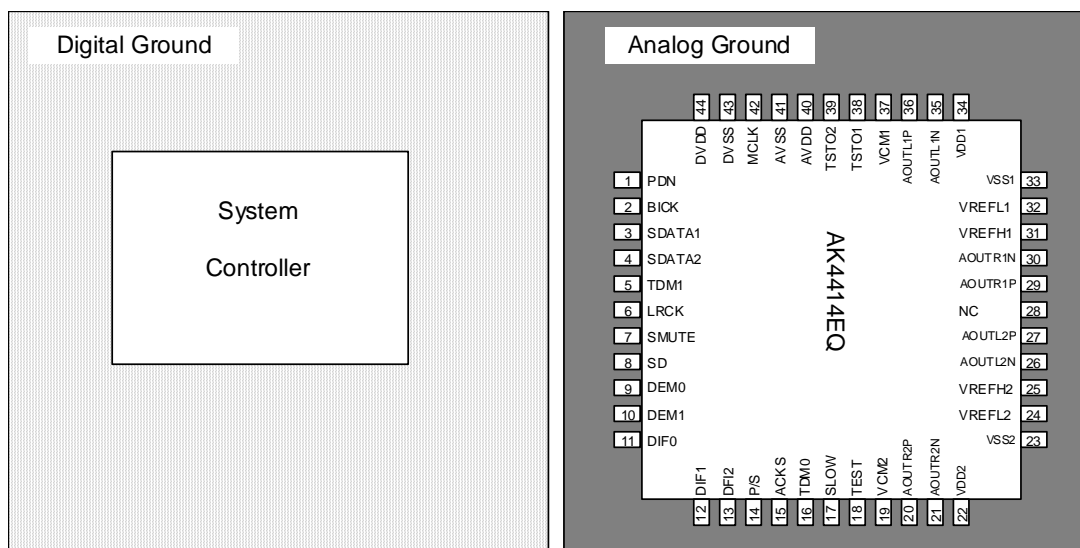


Figure 25. Ground Layout

1. グランドと電源のデカップリング

AK4413ではデジタルノイズのカップリングを最小限に抑えるため、AVDD、VDD1/2とDVDDをデカップリングします。AVDD、VDD1/2にはシステムのアナログ電源を供給し、DVDDにはシステムのデジタル電源を供給して下さい。AVDD、VDD1/2とDVDDの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。その際、AVDD、VDD1/2とDVDDの立ち上げシーケンスを考慮する必要はありません。

VSS1-2, DVSS, AVSS は同じアナロググラウンドに接続して下さい。デカップリングコンデンサはAK4413にできるだけ近づけて接続します。

2. 基準電圧

VREFH1/2 pinとVREFL1/2 pinに入力される電圧の差がアナログ出力のフルスケールを決定します。通常はVREFH1/2 pinをAVDDに接続し、VREFL1/2 pinをVSS1/VSS2/AVSSに接続します。VREFH1/2 pinとVREFL1/2 pinとの間に高周波ノイズを除去するために0.1μFのセラミックコンデンサを接続します。セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCM1/2 pinから電流を取ってはいけません。デジタル信号、特にクロックはAK4414へのカップリングを避けるためVREFH1/2, VREFL1/2 pinからできるだけ離して下さい。

3. アナログ出力

アナログ出力は完全差動出力になっており、出力レンジはAVDD/2を中心に2.8Vpp (typ, VREFH1/2 – VREFL1/2 = 5V)です。差動出力は外部で加算されます。AOUT+, AOUT-の加算電圧は $V_{AOUT} = (AOUT+) - (AOUT-)$ です。加算ゲインが1の場合、出力レンジは5.6Vpp (typ, VREFH1/2 – VREFL1/2 = 5V)です。外部加算回路のバイアス電圧は外部で供給します。入力コードのフォーマットは2's complement (2の補数)で7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での V_{AOUT} の理想値は0V電圧が出力されます。

内蔵のΔΣ変調器の帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)で減衰されます。

Figure 26は差動出力を1個のオペアンプで加算する外部LPF回路例です。

Figure 27は差動出力の回路例及び3個のオペアンプを使った外部LPF回路例です。

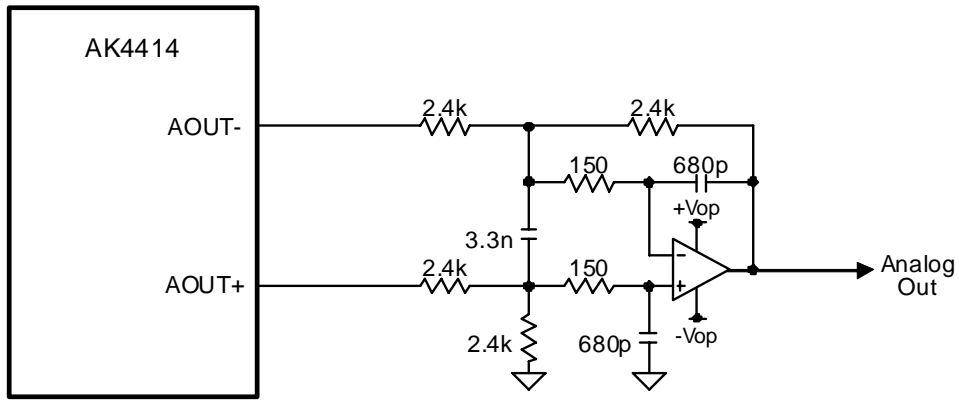


Figure 26. PCM mode 外付けLPF 回路例1 ($f_c = 125\text{kHz}$, $Q=0.692$)

Frequency Response	Gain
20kHz	-0.036dB
40kHz	-0.225dB
80kHz	-1.855dB

Table 29. PCM mode 外付けLPF 回路例1 の周波数応答

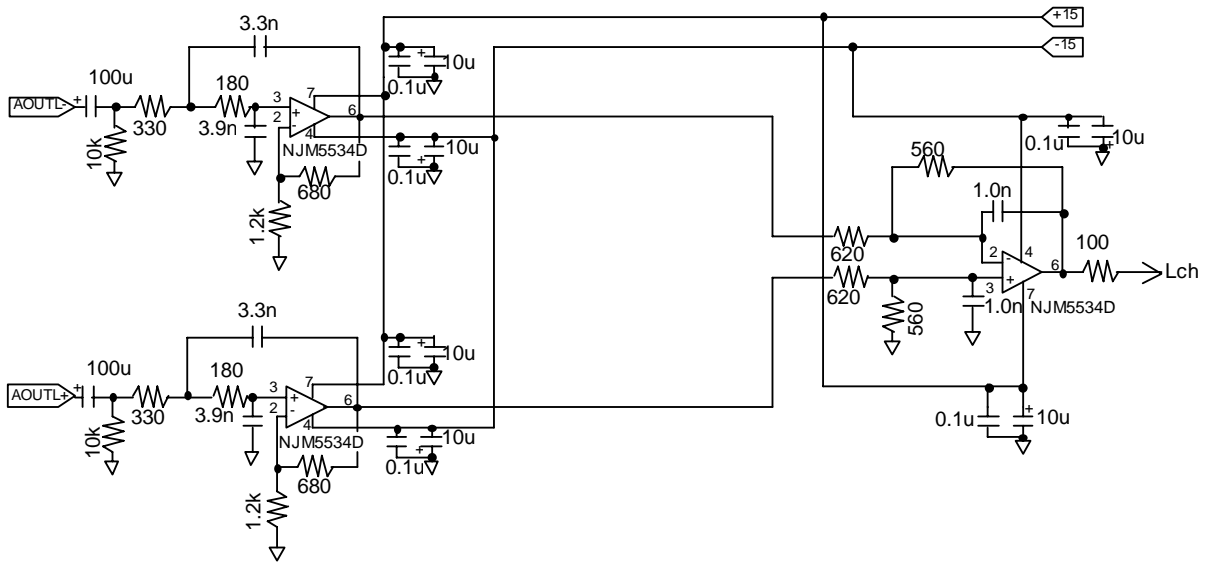


Figure 27. PCM mode 外付けLPF 回路例2

	1 st Stage	2 nd Stage	Total
Cut-off Frequency	182kHz	284kHz	-
Q	0.637	-	-
Gain	+3.9dB	-0.88dB	+3.02dB
Frequency Response	20kHz	-0.025	-0.046dB
	40kHz	-0.106	-0.191dB
	80kHz	-0.517	-0.848dB

Table 30. PCM mode 外付け回路例2 の周波数応答

SACDフォーマットブック(Scarlet Book)では、SACDの再生時のフィルタ特性として、カットオフ50kHz以下のスロープ-30dB/oct以上のフィルタが推奨されています。AK4414では内部フィルタ(Table 31)と外部アナログフィルタ(Figure 28)により、このフィルタ特性を実現可能です。

Frequency	Gain
20kHz	-0.4dB
50kHz	-2.8dB
100kHz	-15.5dB

Table 31. DSD mode 内部フィルタ応答

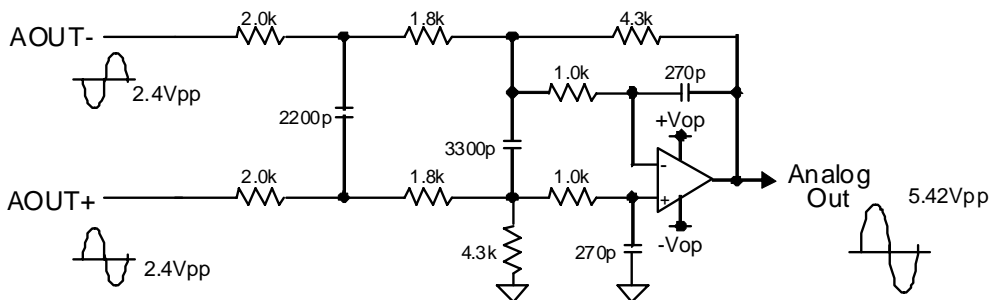


Figure 28. DSD mode の外付け3次LPF回路例

Frequency	Gain
20kHz	-0.05dB
50kHz	-0.51dB
100kHz	-16.8dB

DC gain = 1.07dB

Table 32. 3次LPF 応答 (Figure 28)

4. 即定例

THD+Nとコンデンサを通した周波数の関係をFigure 29に示します。

測定条件

Ta=25°C; AVDD=DVDD=3.3V; VDD1,2=VREFH1,2=5V; AVSS, DVSS, VSS1,2=0V; fs=44.1kHz; 24 bit Output; BW=10Hz ~ 20kHz; DFS0="L", DFS1="L", Measured by Audio Precision System Two.

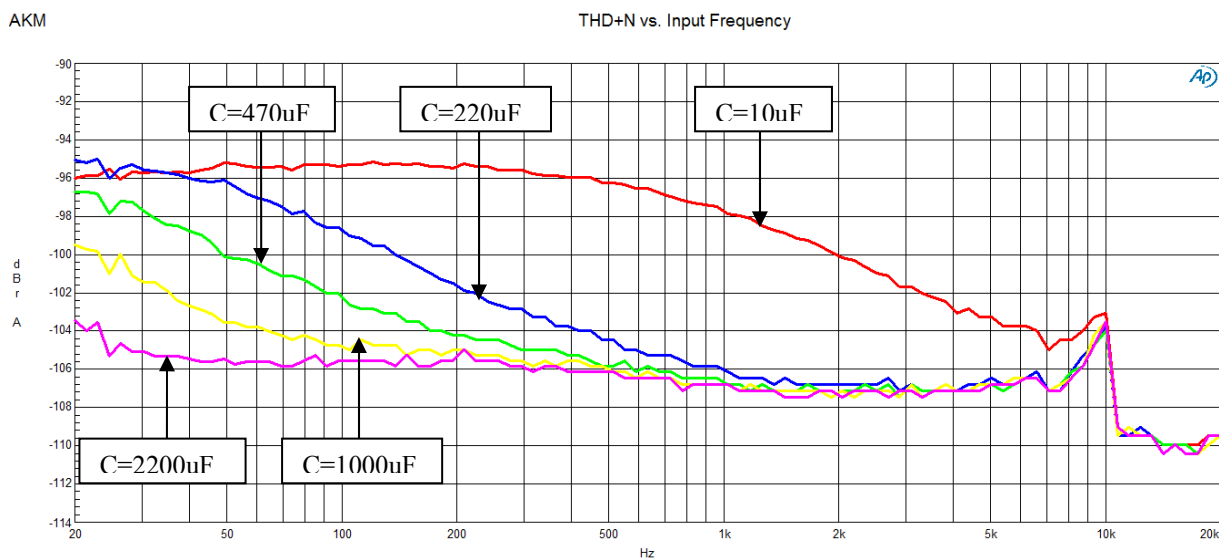
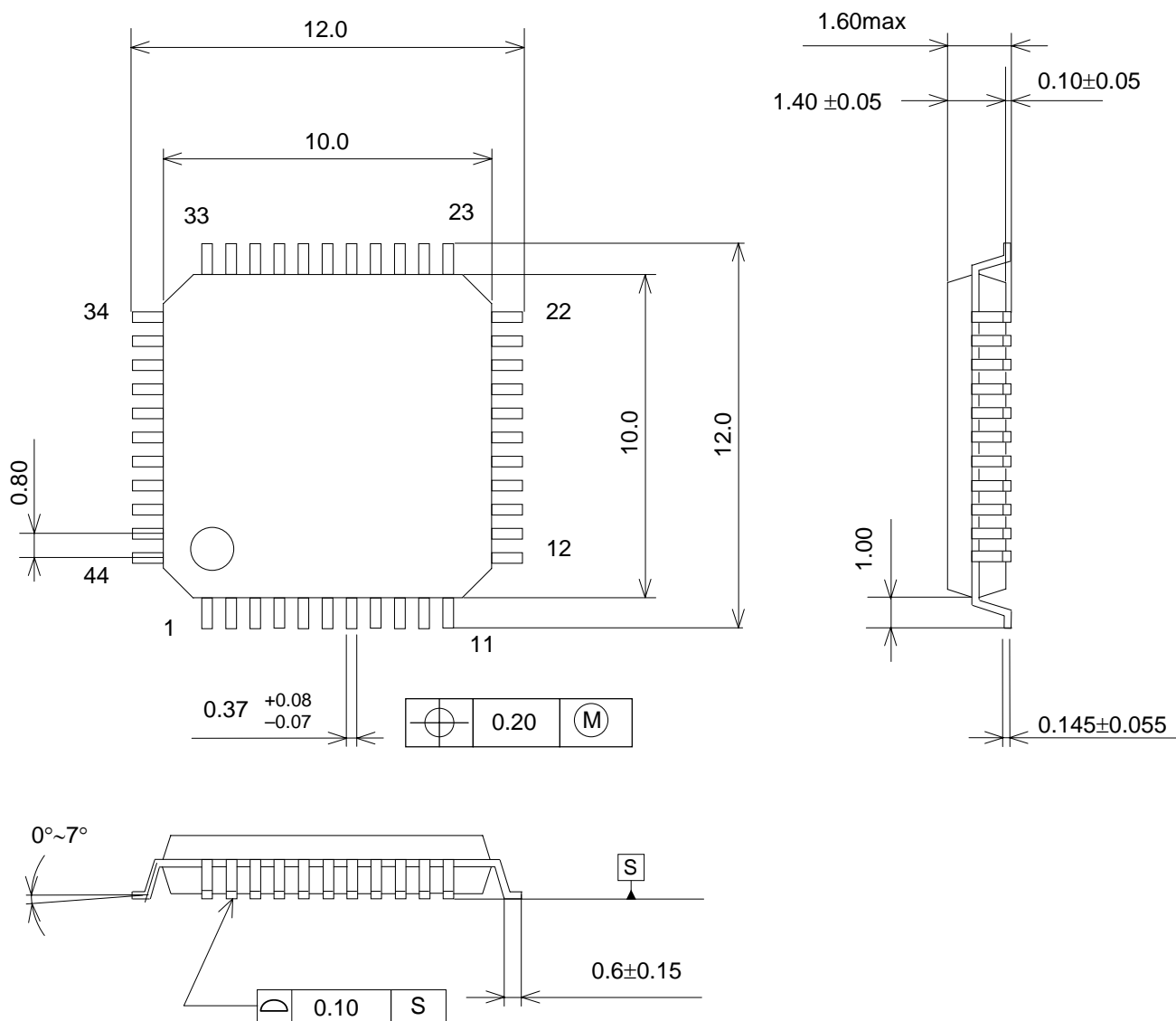


Figure 29. THD+N vs. Frequency

パッケージ

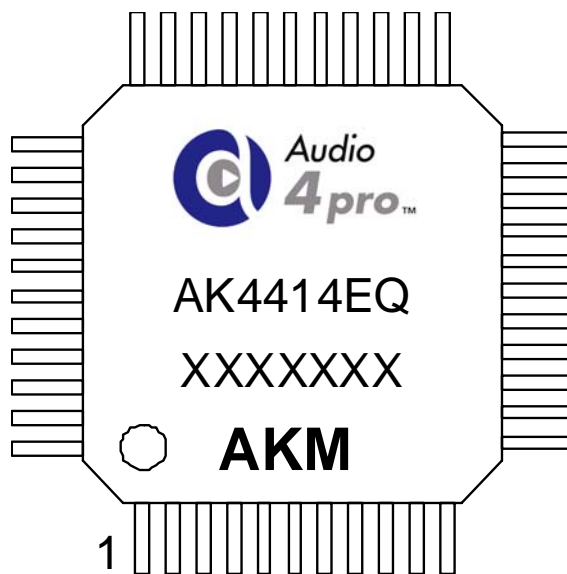
44pin LQFP (Unit: mm)



■ 材質・メッキ仕様

Package molding compound:	エポキシ系樹脂、ハロゲン (臭素、塩素)フリー
Lead frame material:	銅
Lead frame surface treatment:	半田 (無鉛) メッキ

マーキング



- 1) Pin #1 indication
- 2) AKM Logo
- 3) Date Code: XXXXXXXX(7 digits)
- 4) Marking Code: AK4414
- 5) Audio 4 pro Logo

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
13/01/15	00	初版		

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。