

FZ 100-Serie

Vorwort zur langsamen störsicheren Logikserie (LSL-Serie) FZ 100

FZ 100 ist eine Serie langsamer störsicherer Logikbausteine in monolithisch integrierter Halbleitertechnik. Durch Verwendung einer Zenerdiode im Eingang und durch Vergrößerung der Kollektorkapazität des Eingangstransistors erreicht man zusammen mit einer hohen Versorgungsspannung von $U_{\text{Batt}} = 12 \text{ V}$ bzw. 15 V ein gutes statisches und dynamisches Störverhalten der integrierten Schaltungen. Die Schaltzeiten sind mit einem Kondensator einstellbar. Dies bringt eine zusätzliche Erhöhung der dynamischen Störsicherheit. Die Serie FZ 100 ist somit besonders für den Einsatz bei stark störgefährdetem Betrieb geeignet, wenn es weniger auf hohe Schaltgeschwindigkeit als auf große Störsicherheit ankommt.

1. Beschreibung der statischen Daten

1.1 Grenzdaten

Grenzdaten sind absolute Grenzwerte, bei deren Überschreitung auch nur eines Wertes die integrierte Halbleiterschaltung zerstört werden kann. Grenzdaten gelten bei $T_U = 25 \text{ }^\circ\text{C}$, wenn nicht anders angegeben.

1.2 Kenndaten

Typische Kenndaten sind statistisch erfaßte Mittelwerte, die durch Angabe eines garantierten Streubereiches ergänzt werden (worst case). Sie gelten bei der Versorgungsspannung $U_{\text{Batt}} = 12 \text{ V}$ bzw. 15 V und bei der Umgebungstemperatur $T_U = 25 \text{ }^\circ\text{C}$, wenn nicht anders angegeben.

1.3 Charakteristische Kennlinien

1.3.1 Übertragungskennlinie

Bild 1 zeigt die Übertragungskennlinie $U_a = f(U_e)$. Sie hängt nur wenig von der Ausgangsbelastung ab, die folgende Werte annehmen darf:

	log. 0	log. 1
Schaltglieder	$F_{a0} = 10$	$F_{a1} = 100$
Leistungsglieder	$F_{a0} = 30$	$F_{a1} = 100$
Flipflop	$F_{a0} = 10$	$F_{a1} = 50$
Pegelumsetzer	$F_{a0} = 10$	$F_{a1} = 20$

Die unterschiedlichen Ausgangsfächer bei log. 0 und log. 1 ermöglichen es, offene Eingänge parallel zu schalten, um Störeinkopplungen zu vermeiden. Parallel geschaltete Eingänge belasten dann den Ausgang zusätzlich nur im log. 1-Zustand mit dem Diodensperrestrom.

Damit die Schaltglieder sicher umschalten, muß das Eingangssignal einen bestimmten Spannungspegel (Schwellenwert) erreichen. Dieser Schwellenwert ergibt sich graphisch im Schnittpunkt der Übertragungskennlinie mit der Geraden $U_e = U_a$.

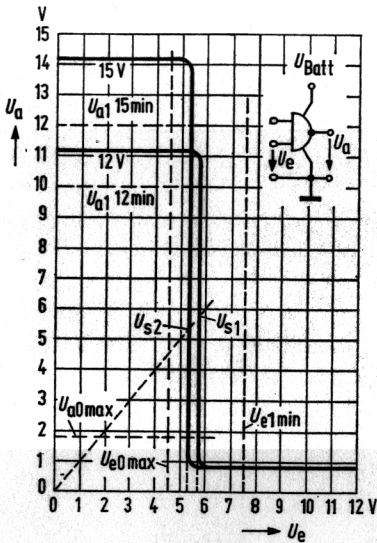


Bild 1 Übertragungskennlinie eines Schaltgliedes.
 $U_a = f(U_e)$ bei $U_{Batt} = 12$ und 15 V

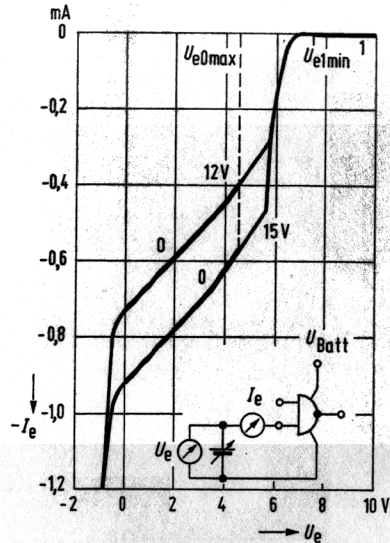


Bild 2 Eingangskennlinie eines Schaltgliedereingangs.
 $I_e = f(U_e)$ bei $U_{Batt} = 12$ und 15 V

1.3.2 Eingangskennlinie

Bild 2 zeigt die Eingangskennlinien $I_e = f(U_e)$ für die beiden Betriebsspannungen $U_{Batt} = 12$ V bzw. 15 V. Sie lassen sich in 3 Bereiche unterteilen:

1. Bei log. 1 fließt ein kleiner Eingangssperrstrom (ca. $1 \mu A$) in den Eingang hinein. Die Durchbruchspannung der Dioden darf nicht überschritten werden (max. 18 V).
2. Bei log. 0 fließt der Eingangsstrom aus dem Eingang heraus.
3. Bei negativen Eingangsspannungen öffnen die Substratdioden am Eingang, so daß der Eingangsstrom stark ansteigt. Da für die verschiedenen Bausteine unterschiedliche maximal zulässige negative Werte gelten, werden sie im einzelnen unter den Grenzdaten aufgeführt.

Die Eingangskennlinien sind unabhängig von der Ausgangsbelastung, da keine Rückwirkung auf den Eingang besteht. Für den TTL-LSL-Pegelumsetzer FZH 181 gelten die TTL-Eingangskennlinien (Bild 2, S. 25), für den LSL-TTL-Pegelumsetzer FZH 161 die LSL-Eingangskennlinien.

FZ 100

1.3.3 Ausgangskennlinien

Bild 3 zeigt die Ausgangskennlinie $U_{a0} = f(I_{a0})$ im log. 0-Zustand. Der Strom I_{a0} fließt in das Schaltglied hinein.

Aus dieser typischen Kennlinie ist zu entnehmen, daß der Ausgangsstrom den im Datenblatt bei der Grenzspannung $U_{a0} = 1,7$ V angegebenen Laststrom $I_L = 15$ bzw. 18 mA bei $F_a = 10$ überschreiten darf. Es muß jedoch darauf geachtet werden, daß die Gesamtverlustleistung des Ausgangstransistors von 100 mW nicht überschritten wird.

Bild 4 zeigt die Ausgangskennlinie $U_{a1} = f(I_{a1})$ im log. 1-Zustand. Dabei fließt der Strom I_{a1} aus dem Schaltglied heraus.

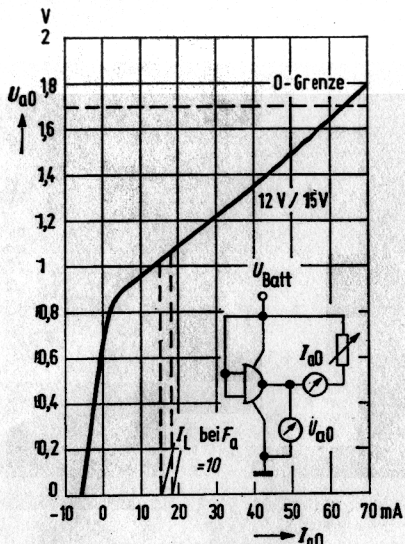


Bild 3 Ausgangskennlinie des log. 0-Pegels eines Schaltgliedes.

$U_{a0} = f(I_{a0})$ bei $U_{Batt} = 12$ und 15 V

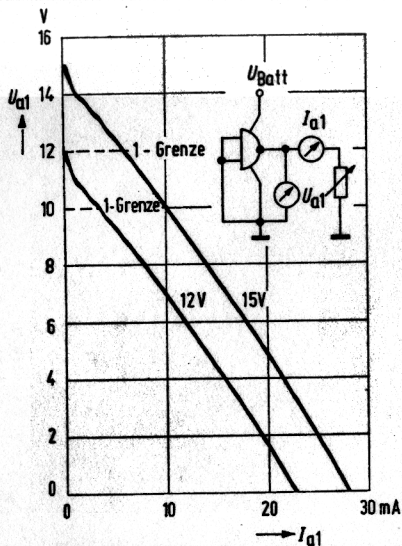


Bild 4 Ausgangskennlinie des log. 1-Pegels eines Schaltgliedes.

$U_{a1} = f(I_{a1})$ bei $U_{Batt} = 12$ und 15 V

1.4 Statische Störsicherheit

Die statische Störsicherheit charakterisiert das Verhalten eines Schaltgliedes gegenüber Störungen, die länger als die mittlere Schaltverzögerungszeit einwirken. Sie gibt den zulässigen Spannungshub an, der den logischen Zustand eines Schaltgliedes noch nicht verändert. Anhand der Übertragungskennlinie (Bild 1) lassen sich die typischen Werte der statischen Störsicherheit U_{ss} ermitteln.

Für den Zustand log. 0 ergibt sich:

$$\text{bei } U_{Batt} = 12 \text{ V: } U_{ss0} = U_{S1} - U_{e0} = 5,9 - 0,9 = 5,0 \text{ V}$$

$$\text{bei } U_{Batt} = 15 \text{ V: } U_{ss0} = U_{S2} - U_{e0} = 5,6 - 0,9 = 4,7 \text{ V}$$

und für den Zustand log. 1:

$$\text{bei } U_{Batt} = 12 \text{ V: } U_{ss1} = U_{a1} - U_{S1} = 11,3 - 5,9 = 5,4 \text{ V}$$

$$\text{bei } U_{Batt} = 15 \text{ V: } U_{ss1} = U_{a1} - U_{S2} = 14,3 - 5,6 = 8,7 \text{ V}$$

Unter Eckbedingungen (worst case) ergibt sich der garantierte Störabstand:

$$U_{ss0} = U_{e0} - U_{a0} = 4,5 - 1,7 = 2,8 \text{ V bei } U_{Batt} = 12 \text{ und } 15 \text{ V}$$

$$U_{ss1} = U_{a1} - U_{e1} = 10 - 7,5 = 2,5 \text{ V bei } U_{Batt} = 12 \text{ V und}$$

$$U_{ss1} = U_{a1} - U_{e1} = 12 - 7,5 = 4,5 \text{ V bei } U_{Batt} = 15 \text{ V}$$

2. Beschreibung der dynamischen Daten

2.1 Allgemeines

Durch die besondere Geometrie des Eingangstransistors der LSL-Bausteine ist die Kollektorkapazität groß. Dies ergibt lange Schaltzeiten und damit eine hohe dynamische Störsicherheit. Bei den Bausteinen mit Y-Anschluß ist es möglich, mit einer Integrierkapazität C die Schaltzeiten zu verlängern und somit die dynamische Störsicherheit noch zu erhöhen. Bei Schaltungsgliedern wird der Kondensator zwischen Ausgang X und Y-Anschluß geschaltet. Bei den Flipflops FZJ 101, FZJ 105 legt man ihn zwischen die Ausgänge Q, \bar{Q} und die Anschlüsse $Y_Q, Y_{\bar{Q}}$; bei FZJ 111, FZJ 115 können zusätzlich die Anschlüsse $Y_J, Y_{\bar{J}}$ und $Y_K, Y_{\bar{K}}$ mit einem Kondensator beschaltet werden. Die Integrierkapazität C kann beliebig große Werte annehmen. Bild 5 zeigt die Verlängerung der Schaltzeiten t_s in Abhängigkeit von der Integrierkapazität C.

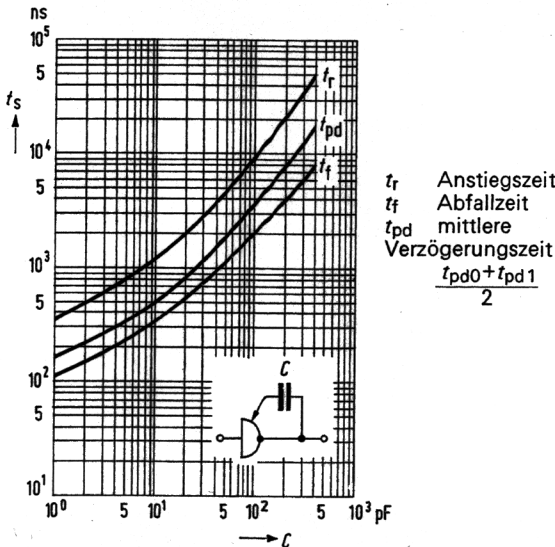


Bild 5 Verlängerung der Schaltzeiten t_s in Abhängigkeit von der Integrierkapazität C bei $U_{Batt}=12\text{ V}$.

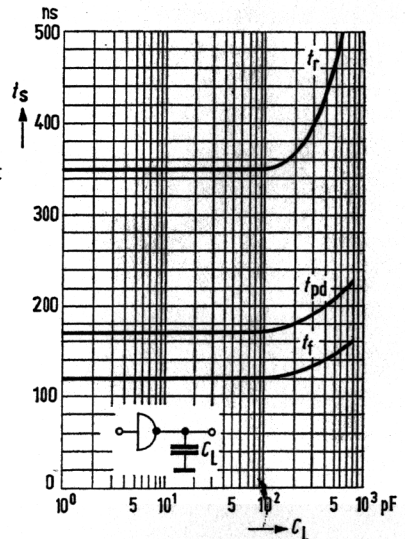


Bild 6 Abhängigkeit der Schaltzeiten t_s von der Lastkapazität C_L bei $U_{Batt}=12\text{ V}$.

2.2 Schaltzeiten

Die Einschaltverzögerungszeit t_{pd1} gibt die Impulsverzögerung zwischen Eingangs- und Ausgangsspannung an, wenn der Ausgang von log. 0 auf log. 1 geht. Entsprechendes gilt für die Ausschaltverzögerungszeit t_{pd0} , bei der der Ausgang von log. 1 auf log. 0 schaltet. Die Messung der Verzögerungszeiten ist auf die 4,5 V-Punkte bezogen.

Anstiegszeit t_r und Abfallzeit t_f der Impulsflanken werden zwischen den 10%- und 90%-Punkten ermittelt. Die Paarlaufzeit t_p gibt die Signalverzögerung an, die zwei hintereinandergeschaltete invertierende Verknüpfungsglieder bewirken. Am Ende der Kette entsteht also ein verzögertes Signal, das mit der Eingangsspannung phasengleich ist: $t_p = t_{pd1} + t_{pd0}$.

Aufgrund der niederohmigen Ausgangswiderstände in beiden logischen Zuständen sind die Schaltzeiten weitgehend unabhängig von Lastkapazitäten (Bild 6). Dadurch ist es möglich, Schaltungsglieder über lange Leitungen, die im wesentlichen eine kapazitive Last darstellen, zu verbinden. Die Schaltzeiten bleiben dabei in weitem Bereich unverändert.

Die Bilder 7 bis 11 zeigen die Ein- und Ausschaltverzögerungszeiten sowie Anstiegs- und Abfallzeiten in Abhängigkeit von der Versorgungsspannung U_{Batt} über den Betriebsspannungsbereich von 11,4 bis 17 V.

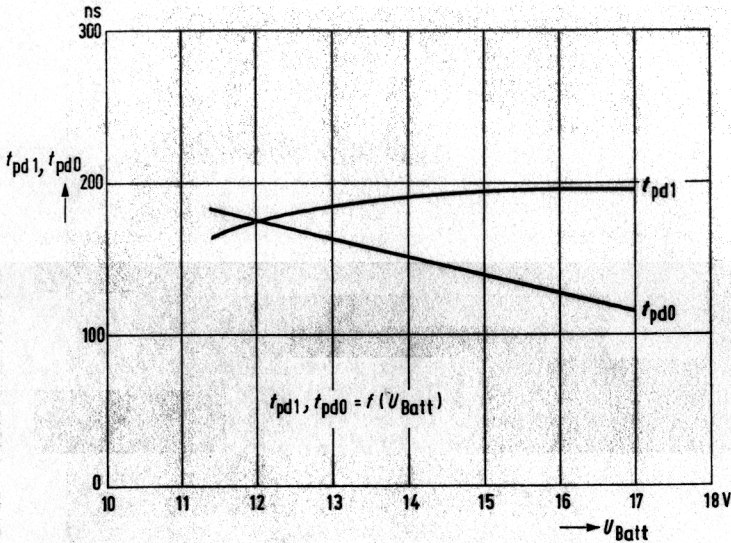


Bild 7
Einschalt-
verzögerungszeit
 $t_{pd1} = f(U_{Batt})$
Ausschalt-
verzögerungszeit
 $t_{pd0} = f(U_{Batt})$
für NAND-Glieder.

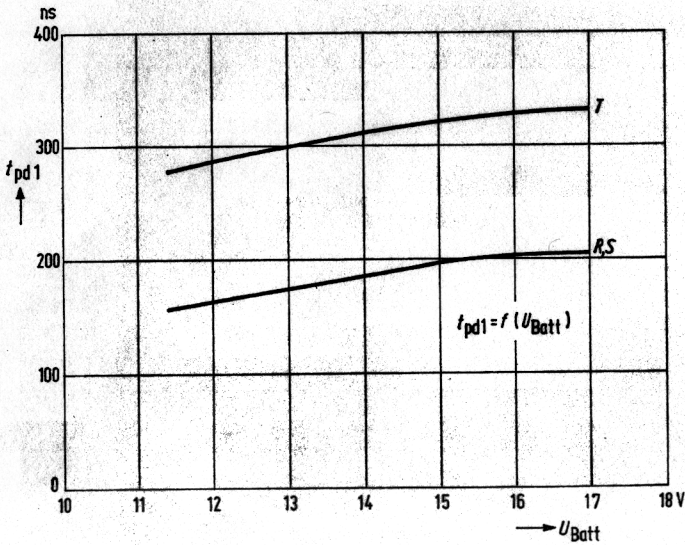


Bild 8
Einschalt-
verzögerungszeit
 $t_{pd1} = f(U_{Batt})$
für Flipflop.

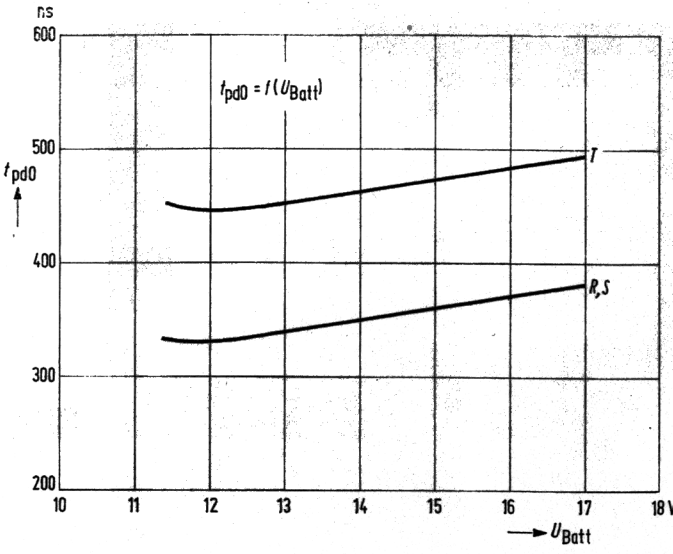


Bild 9
Ausschaltverzögerungszeit $t_{pd0} = f(U_{Batt})$ für Flipflop.

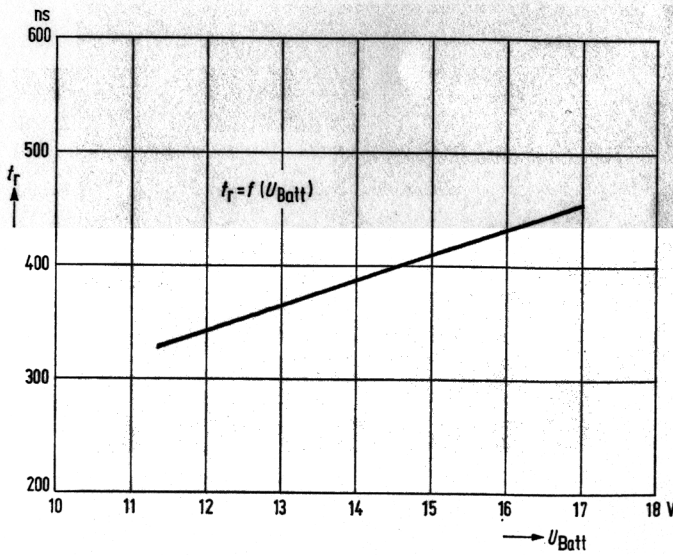


Bild 10
Anstiegszeit $t_r = f(U_{Batt})$ für NAND-Glieder und Flipflop.

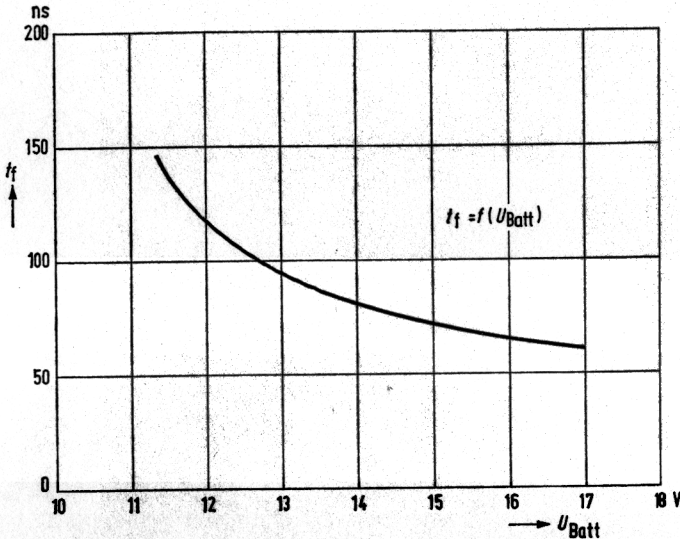


Bild 11 Abfallzeit $t_f = f(U_{Batt})$ für NAND-Glieder und Flipflop.

2.3 Dynamische Störsicherheit

Die dynamische Störsicherheit kennzeichnet das Verhalten eines Schaltgliedes gegenüber Störimpulsen, deren Dauer kurz ist im Vergleich zu der mittleren Schaltverzögerungszeit. Dabei ist die eingekoppelte Störenergie – Impulsdauer und Impulsamplitude – ausschlaggebend, ob der logische Zustand verändert wird.

Die für die Praxis wichtigsten Kriterien für die dynamische Störsicherheit sind die Eingangsempfindlichkeit und die Empfindlichkeit gegen kapazitive Störeinkopplung auf Signalleitungen, die durch Übersprechen (systemeigene Störung) oder von außen (systemfremde Störung) erfolgen kann. Der typische Wert der zulässigen Störkapazität bei systemeigenen Übersprechstörungen ist etwa 1,6 nF. Damit ist die Eigenstörsicherheit der LSL so groß, daß für ein System üblicher Größenordnung nur Fremdstörer von Bedeutung sind.

2.3.1 Eingangsempfindlichkeit

Die zulässige Dauer und Amplitude eines Störimpulses am Eingang hängen von der Verzögerungszeit t_{pd} des Schaltgliedes ab. Bei Störimpulsen mit Impulslängen $b < \frac{1}{2} t_{pd}$ darf die Impulsamplitude größer sein als der statische Störabstand. Bei $b > t_{pd}$ darf die Impulsamplitude den statischen Störabstand nicht überschreiten. t_{pd} kann jedoch durch die Integrierkapazität C vergrößert werden. Die Bilder 12 und 13 zeigen die Eingangsempfindlichkeit gegen Störspannungsspitzen für NAND-Glieder ohne und mit Integrierkapazität C und für den Baustein FZH 151. Aufgetragen ist die typisch zulässige Störspannung U_s in Abhängigkeit von der Impulsbreite b des Störimpulses. Der kritischere Fall ist dabei, wenn eine am Eingang anliegende logische 0 gestört wird (Bild 12), da die fallende Ausgangsflanke steiler ist als die steigende. Die Länge des zulässigen Störimpulses ist also kleiner als bei Störung der logischen 1 (Bild 13).

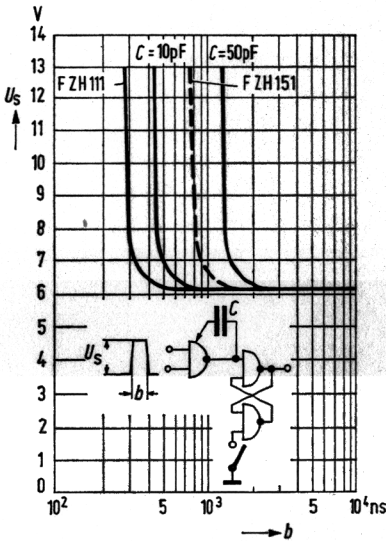


Bild 12 Grenzkurven der dynamischen Störsicherheit des log.0-Zustands bei Störungen am Eingang.

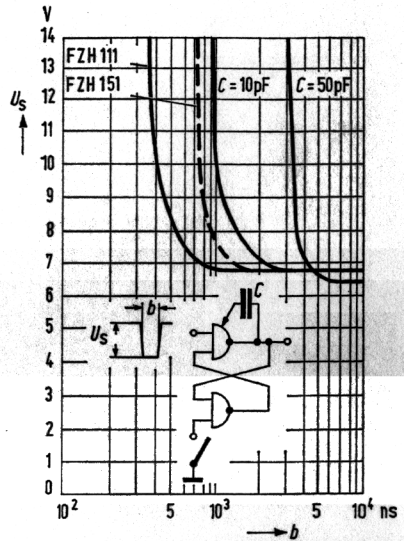


Bild 13 Grenzkurven der dynamischen Störsicherheit des log.1-Zustands bei Störungen am Eingang.

2.3.2 Kapazitive Störeinkopplung

Bei kapazitiven Einkopplungen von Störungen haben die Schaltglieder den Vorteil eines niederohmigen Gegentaktausgangs, der im Zustand log.0 etwa 20Ω und im Zustand log.1 etwa 400Ω aufweist. Daraus ergibt sich eine kleine Zeitkonstante, die ein rasches Abklingen der Störimpulse bewirkt.

Die Bilder 14 und 15 zeigen die Empfindlichkeit des log.0- und log.1-Zustandes gegen kapazitive Störeinkopplung für NAND-Glieder mit und ohne Integrierkapazität C und für den Baustein FZH 151. Aufgetragen wurde die typisch zulässige Störspannung U_s in Abhängigkeit von der Koppelkapazität C_s . Der ungünstigere Fall ist hier bei Störung der logischen 1 gegeben, da der Gatterausgang im log.1-Zustand einen höheren Innenwiderstand hat. Gestört wurde mit einer Impulsflanke von 1 ns aus einer Quelle mit etwa 1Ω Innenwiderstand.

FZ 100

In den Bildern 12 bis 15 geben die fast senkrechten Kurventeile die dynamischen Störgrenzen an, d. h. bis zu diesen Werten können sich Störungen nicht auswirken. Die Kurven laufen waagrecht auf den Wert der statischen Störsicherheit aus. Als Störkriterium dient das Umschalten eines RS-Flipflops aus 2 NAND-Gliedern.

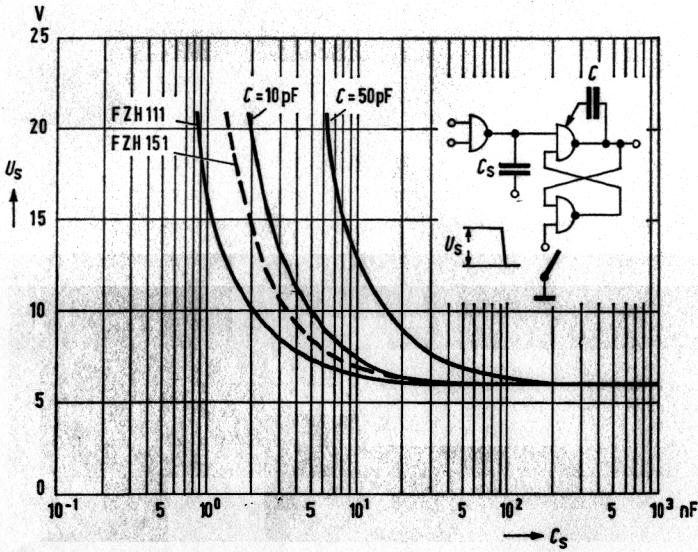


Bild 14 Grenzkurven der dynamischen Störsicherheit des log. 0-Zustands bei kapazitiver Störeinkopplung.

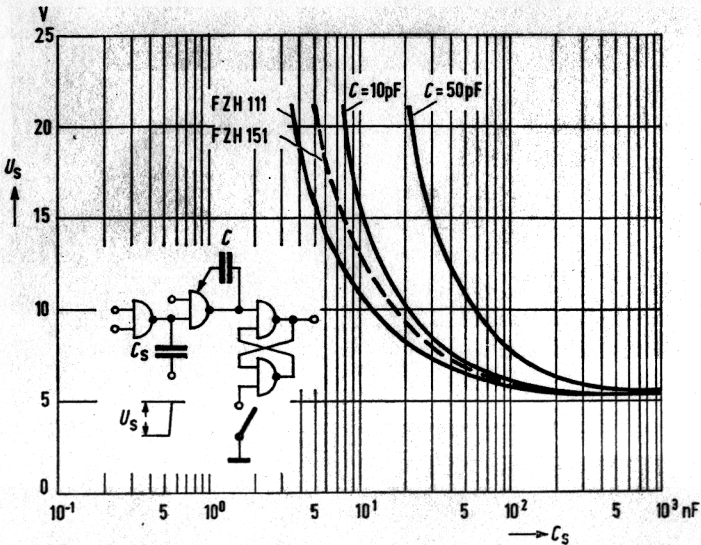


Bild 15 Grenzkurven der dynamischen Störsicherheit des log. 1-Zustands bei kapazitiver Störeinkopplung.

Allgemeine Angaben zur LSL-Serie FZ 100

Die Kenndaten in den Tabellen sind für zwei Spannungsbereiche definiert. Dabei gilt für den Spannungsbereich $U_{\text{Batt}}=12\text{ V}$ ein $U_{\text{min}}=11,4\text{ V}$ und ein $U_{\text{max}}=13,5\text{ V}$ und für den Spannungsbereich $U_{\text{Batt}}=15\text{ V}$ ein $U_{\text{min}}=13,5\text{ V}$ und ein $U_{\text{max}}=17,0\text{ V}$. Die typischen Werte gelten bei der jeweiligen Nennspannung und einer Temperatur $T_U=25\text{ }^\circ\text{C}$.

Grenzdaten		min	max	Einheit	
Betriebsspannung	U_{Batt}	0	18	V	
Betriebsspannung FZH 181	U_{Batt}	0	7	V	
Eingangsspannung	U_E	0	18	V	
Eingangsspannung FZH 181	U_E	0	5,5	V	
Spannung am Y-Anschluß	U_Y	-1,0	0,6	V	
Strom am Y-Anschluß	I_Y	-10	2,0	mA	
Betriebstemperatur	Bereich 1	T_U	0	70	$^\circ\text{C}$
	Bereich 5	T_U	-25	85	$^\circ\text{C}$
Lagertemperatur	T_S	-65	150	$^\circ\text{C}$	

Grenzdaten, maximale negative Werte bei $T_U=0$ bis $70\text{ }^\circ\text{C}$

	U_e (V)	I_e (mA)	U_{Batt} (V)
Alle Eingänge außer Y-Anschlüsse bei FZH 101, 111, 121, 131, 141, 161, 171, FZJ 101, 111		-25	17
Zusatz zum FZH 171: keine negativen Spannungen an den Erweiterungseingängen			
FZH 151	-0,7		17
FZH 181	-0,5	-25	5

Freie Anschlüsse dürfen nicht beschaltet werden.

Die Serie FZ 100 ist im Plastik-Steckgehäuse (Bauformzeichnungen siehe Seite 205).

Eine ständige Erweiterung der Serie ist vorgesehen. Zur Zeit sind folgende Bausteine in Vorbereitung:

FZH 191	Drei NAND-Glieder mit je drei Eingängen und einstellbarer Flankendauer
FZH 201	Sechs Inverter mit Strobe-Eingängen
FZH 211	Vier NAND-Glieder mit je zwei Eingängen, offenem Kollektor und einstellbarer Flankendauer
FZH 231	Zwei NAND-Glieder mit je fünf Eingängen, offenem Kollektor und einstellbarer Flankendauer
FZH 241	Zwei NAND-Schmitt-Trigger für 6 V Schwellenspannung mit je fünf Eingängen
FZJ 121	Zwei JK-Master-Slave-Flipflop mit Stell- und Rückstelleingängen
FZJ 131	Vier D-Flipflop
FZJ 141	Dezimalzähler mit Stell- und Rückstelleingängen
FZJ 151	Binärzähler mit Stell- und Rückstelleingängen
FZL 101	BCD-Dezimal-Dekoder und Treiber für Ziffernanzeigeröhren

FZH 101, FZH 111, FZH 121, FZH 131, FZH 171 FZH 105, FZH 115, FZH 125, FZH 135, FZH 175

FZH 101, FZH 105, Vier NAND-Glieder mit je zwei Eingängen
 FZH 111, FZH 115, Vier NAND-Glieder mit je zwei Eingängen und Y-Anschluß
 FZH 121, FZH 125, Zwei NAND-Glieder mit je fünf Eingängen
 FZH 131, FZH 135, Zwei NAND-Glieder mit je fünf Eingängen und Y-Anschluß
 FZH 171, FZH 175, Zwei NAND-Glieder mit je vier Eingängen, Erweiterungseingang und Y-Anschluß

Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}			11,4	12,0	13,5	V
Eingangsspannung, log. 1	U_{e1}	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7 V, I_L=15 mA$	1	7,5			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt}=U_{min}$ und U_{max} $U_{e0} \geq 10 V, I_L=-0,1 mA$	2			4,5	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt}=U_{min}$ und U_{max} $U_{e0}=4,5 V, I_L=-0,1 mA$	2	10,0	11,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt}=U_{min}$ $U_{e1}=7,5 V, I_L=15 mA$	1		0,9	1,7	V
Statische Störsicherheit, log. 1	U_{ss}			2,5	5,0		V
	log. 0	U_{ss}		2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	3			1,0	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{Batt}=U_{max}$ $U_{e0}=1,7 V$	4		-0,8	-1,5	mA
Kurzschlußausgangsstrom pro Glied	I_{eK}	$U_{Batt}=U_{max}$ $U_e=0 V, T_U=25^\circ C$	5	-10,0	-30,0	-50,0	mA
Stromaufnahme, log. 1, pro Glied	I_{Eatt1}	$U_{Batt}=U_{max}$ $U_e=0 V$	6		0,9	1,6	mA
Stromaufnahme, log. 0, pro Glied	I_{Batt0}	$U_{Batt}=U_{max}$ $U_e=U_{max}$	7		1,7	3,0	mA
Leistungsverbrauch pro Glied	P	$U_{Batt}=U_{max}$ Tastverhältnis 1:1			16		mW

Schaltzeiten bei Nennspannung, $F_a=1, T_U=25^\circ C$
 für die Schaltzeitgrenzen gilt ein Einzel-AQL von 1,5

Einschaltverzögerungszeit	t_{pd1}	} $C_L=10 pF$	26	90	175	310	ns
Ausschaltverzögerungszeit	t_{pd0}			90	175	310	ns
Anstiegszeit	t_r			200	340	570	ns
Abfallzeit	t_f			70	120	210	ns

FZH 101, FZH 111, FZH 121, FZH 131, FZH 171 FZH 105, FZH 115, FZH 125, FZH 135, FZH 175

Statische Kenndaten im 15-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	U_{Batt}	$U_{Batt} = U_{min}$ $U_{a0} \leq 1,7 V, I_L = 18 mA$	1	13,5	15,0	17,0	V
Eingangsspannung, log. 1	U_{e1}			7,5			V
Eingangsspannung, log. 0	U_{e0}	$U_{Batt} = U_{min}$ und U_{max} $U_{a1} \geq 12 V, I_L = -0,1 mA$	2			4,5	V
Ausgangsspannung, log. 1	U_{a1}	$U_{Batt} = U_{min}$ und U_{max} $U_{e0} = 4,5 V, I_L = -0,1 mA$	2	12,0	14,3		V
Ausgangsspannung, log. 0	U_{a0}	$U_{Batt} = U_{min}$ $U_{e1} = 7,5 V, I_L = 18 mA$	1		1,0	1,7	V
Statische Störsicherheit, log. 1	U_{ss}			4,5	8,0		V
	log. 0 U_{ss}			2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	I_{e1}	$U_{Batt} = U_{max}$ $U_e = U_{max}$	3			1,0	μA
Eingangsstrom, log. 0, pro Eingang	I_{e0}	$U_{Batt} = U_{max}$ $U_{e0} = 1,7 V$	4		-1,0	-1,8	mA
Kurzschlußausgangsstrom pro Glied	I_{aK}	$U_{Batt} = U_{max}$ $U_e = 0 V, T_u = 25^\circ C$	5	-15,0	-37,0	-60,0	mA
Stromaufnahme, log. 1 pro Glied	I_{Batt1}	$U_{Batt} = U_{max}$ $U_e = 0 V$	6		1,2	2,1	mA
Stromaufnahme, log. 0, pro Glied	I_{Batt0}	$U_{Batt} = U_{max}$ $U_e = U_{max}$	7		2,3	4,0	mA
Leistungsverbrauch pro Glied	P	$U_{Batt} = U_{max}$ Tastverhältnis 1:1			27		mW

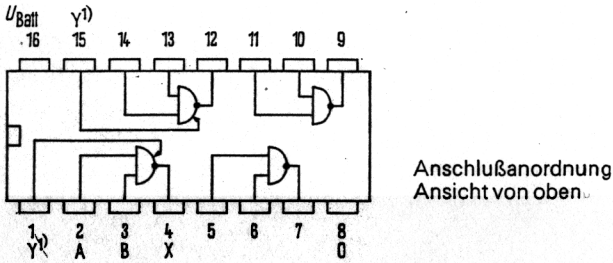
Schaltzeiten bei Nennspannung, $F_a = 1, T_U = 25^\circ C$

Einschaltverzögerungszeit	t_{pd1}	} $C_L = 10 pF$ }	} 26	195	ns
Ausschaltverzögerungszeit	t_{pd0}			140	ns
Anstiegszeit	t_r			410	ns
Abfallzeit	t_f			75	ns

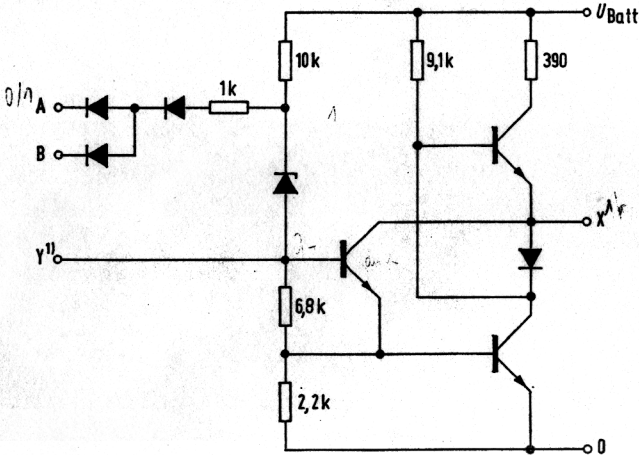
FZH 101, FZH 105, FZH 111, FZH 115

Q67000-H190; Q67000-H250; Q67000-H191; Q67000-H215

Vier NAND-Glieder mit je zwei Eingängen



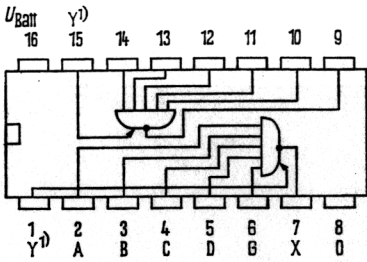
Schaltschema (ein Glied)



Logische Daten pro Glied		max
Ausgangsfächer, log. 1	F_{a1}	100
	F_{a0}	10
Eingangsfächer	F_e	2
Logische Funktion	$X = \overline{A \wedge B}$	

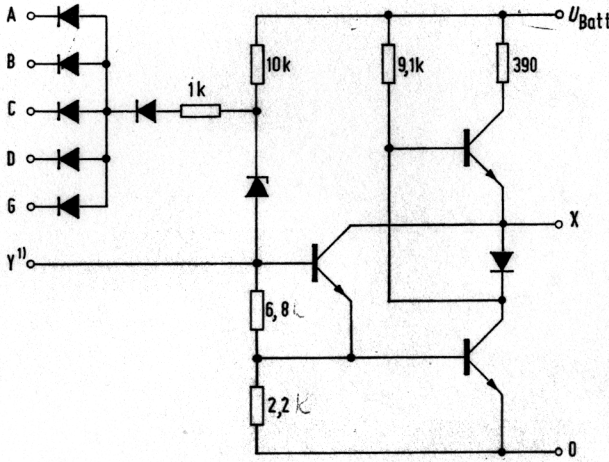
1) nur bei FZH 111, 115

Zwei NAND-Glieder mit je fünf Eingängen



Anschlußanordnung
 Ansicht von oben

Schaltschema (ein Glied)



Logische Daten pro Glied		max
Ausgangsfächer, log. 1	F_{a1}	100
log. 0	F_{a0}	10
Eingangsfächer	F_e	5

Logische Funktion
 FZH 121, 125, 131, 135 $X = \overline{A \wedge B \wedge C \wedge D \wedge G}$

1) Nur bei FZH 131, 135