

AKM

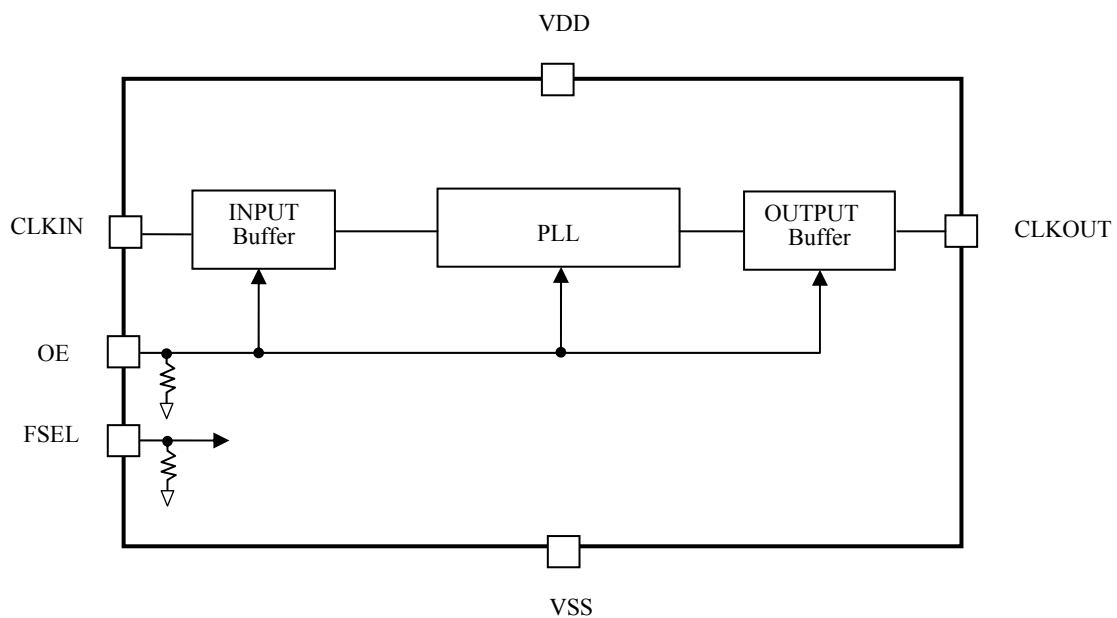
AK8115

Single Clock Generator

AK8115は、PLL を内蔵した単出力クロックジェネレータIC です。 41.538MHzのクロック入力から、27.0MHzまたは74.17582MHzのクロックを出力することができます。 生成したクロックは、制御端子によりON/OFFおよび周波数切替えが可能です。 クロック用水晶発振器を使用せずに、高精度、低ジッタの出力クロックを生成することが可能になります。

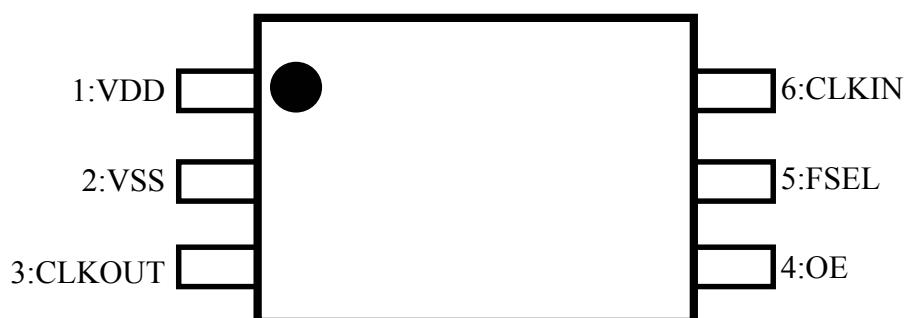
特 長

- 電源電圧 : 2.7 ~ 3.6V
- 低消費電流 : 3.8mA typ.
- マスタクロック : 41.538MHz (外部入力)
- 生成クロック
 - CLKOUT : 27.0MHz/74.17582MHz (制御端子によりON/OFF, 周波数切替え可能)
- 出力負荷
 - CLKOUT : 15pF max.
- 低ジッタ出力
 - CLKOUT : 15ps typ. (1 σ)
- 小型パッケージ : 6ピンSON (鉛フリー)
Body Size: 2.6mmx1.6mm



1. 端子説明

1-1) 端子配置図



1-2) 端子機能説明

| 端子番号 | 端子名 (端子タイプ) | 説明 |
|------|----------------|---|
| 1 | VDD (PWR) | 電源端子. |
| 2 | VSS (PWR) | 接地端子. |
| 3 | CLKOUT (DO) | クロック出力端子. FSEL端子の設定により27.0MHzか74.17582MHzのいずれかを出力します. パワーダウン時は“L”となります. |
| 4 | OE (DI) | CLKOUT出力イネーブル端子. この端子が“L”の時PLLはパワーダウンされCLKOUTは出力されません. 100kΩで内部プルダウン. |
| 5 | FSEL (DI) | クロック出力周波数設定端子. “L”の時74.17582MHz、“H”の時27.0MHzを出力します. 100kΩで内部プルダウン. |
| 6 | CLKIN (DI) | クロック入力端子 (41.538MHz). クロックが入力されない場合、パワーダウン状態にして下さい. 無入力もしくは不安定なクロック入力の場合、出力が安定しません。 |

PWR : 電源

DO : デジタル出力

DI : デジタル入力

2. 電気的特性

2-1) 絶対最大定格

| 項目 | 記号 | MIN | MAX | 単位 | 備考 |
|-----------|------|---------|---------|----|----|
| 電源電圧 | VDD | -0.3 | 4.6 | V | |
| グラウンド・レベル | VSS | 0 | 0 | V | |
| 入力端子電圧 | VIN | VSS-0.3 | VDD+0.3 | V | |
| 入力電流 | IIN | -10 | 10 | mA | |
| 保存温度 | Tstg | -55 | 130 | °C | |

2-2) 動作条件

| 項目 | 記号 | MIN | TYP | MAX | 単位 | 備考 |
|--------------|-----|-----|-----|-----|----|--------|
| 動作温度 | Ta | -20 | | 85 | °C | |
| 電源電圧 | VDD | 2.7 | 3.0 | 3.6 | V | |
| 出力端子 負荷容量 | Cp1 | | | 15 | pF | CLKOUT |

2-3) 消費電流

VDD=3.0V, Ta=25°C

| 項目 | 記号 | MIN | TYP | MAX | 単位 | 備考 |
|-------------------------|------|-----|-----|-----|----|-------------------------|
| 消費電流 1 | IDD1 | | 3.3 | | mA | *1 |
| 消費電流 2 | IDD2 | | 3.8 | | mA | *2 |
| パワーダウン時消費電流 (OE="L") | IPD | | 0 | 10 | μA | FSEL="L" 又は OPEN時 |

*1 CLKOUT 端子無負荷時、27MHz 出力時

CLKOUT 端子負荷を含む消費電流は、IDD1 + 27MHz*容量負荷*VDD となります。

*2 CLKOUT 端子無負荷時、74.17582MHz 出力時

CLKOUT 端子負荷を含む消費電流は、IDD2 + 74.17582MHz*容量負荷*VDD となります。

2-4) DC特性

VDD=2.7~3.6V, Ta=-20~85°C

| 項目 | 端子 | MIN | TYP | MAX | 単位 | 備考 |
|-----------|---------------------|---------|-----|---------|----|----------|
| 高レベル入力電圧 | CLKIN FSEL OE | 0.7*VDD | | | V | |
| 低レベル入力電圧 | 同上 | | | 0.3*VDD | V | |
| 入力リーク電流 1 | CLKIN | -10 | | +10 | μA | |
| 入力リーク電流 2 | OE FSEL | -10 | | +75 | μA | |
| 高レベル出力電圧 | CLKOUT | 0.8*VDD | | | V | IOH=-4mA |
| 低レベル出力電圧 | CLKOUT | | | 0.2*VDD | V | IOL=4mA |

2-5) AC特性

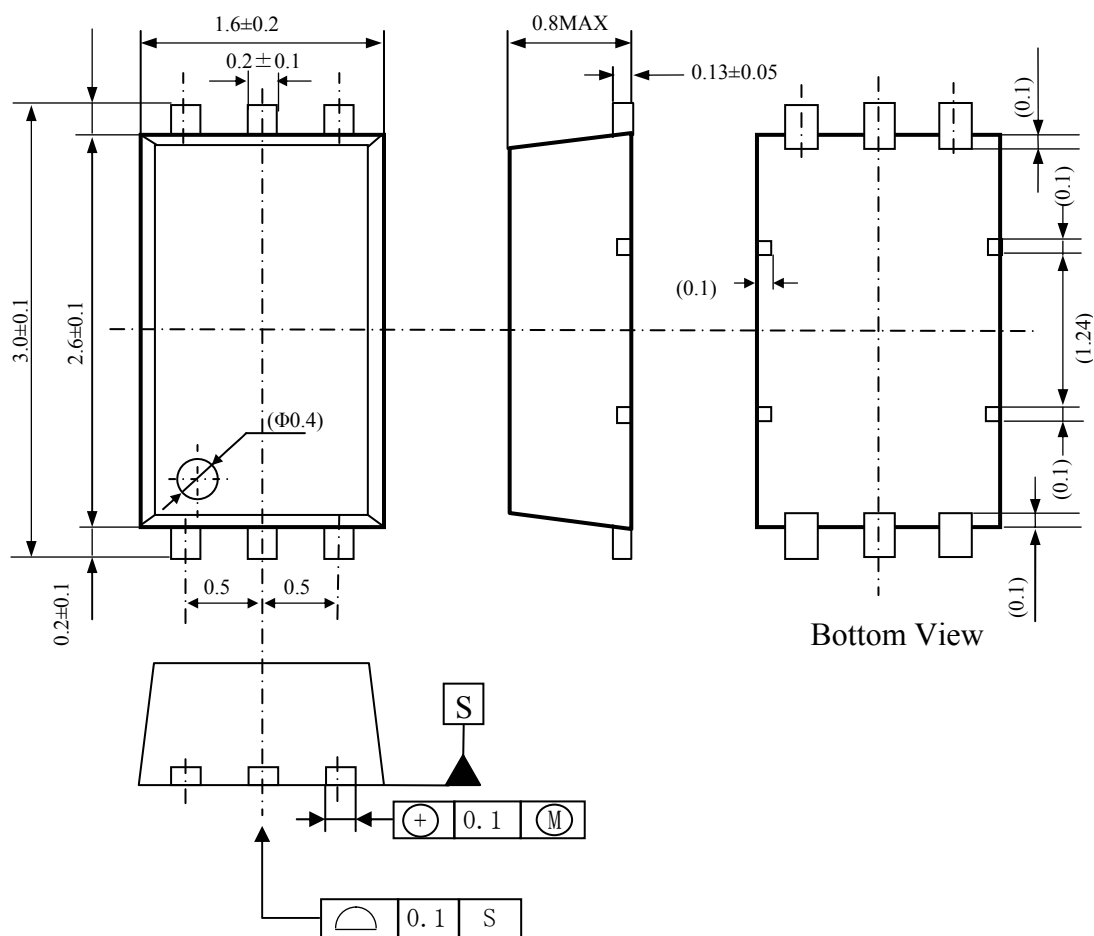
VDD=2.7~3.6V, Ta=-20~85°C

| 項目 | 端子 | MIN | TYP | MAX | 単位 | 備考 |
|-----------------------|--------|-----|--------|-----|-----|-----------------------------------|
| 外部入力 CLK 周波数 | CLKIN | | 41.538 | | MHz | |
| 外部入力 CLK デューティサイクル | CLKIN | | 50 | | % | |
| 出力 CLK 立ち上がり時間 | CLKOUT | | - | 3.5 | ns | Cp1=15pF 0.2*VDD→0.8*VDD *1 |
| 出力 CLK 立ち下がり時間 | CLKOUT | | - | 3.5 | ns | Cp1=15pF 0.8*VDD→0.2*VDD *1 |
| 出力 CLK ジッタ | CLKOUT | | 15 | | ps | Cp1=15pF 周期ジッタ (1σ) *1 |
| 出力 CLK デューティサイクル | CLKOUT | 45 | 50 | 55 | % | Cp1=15pF *1 |
| パワーアップ時間 | CLKOUT | | 1 | | ms | *2 |

*1 設計値

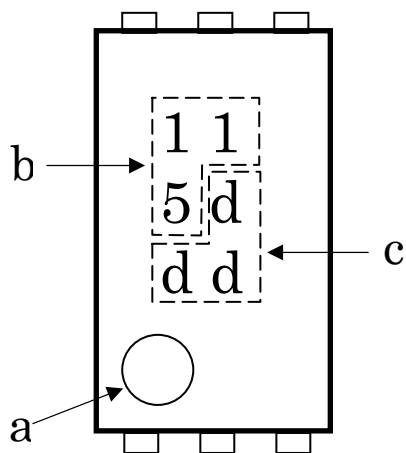
*2 電源が VDD 電圧に達した後、出力が所定の周波数の±0.1%に安定するまでの時間。

3. パッケージ外形寸法図 (SON6 単位mm)



4. マーキング図

- | | | |
|----|------------|--------------|
| a. | 1ピン表示 | 丸印 |
| b. | マーケティングコード | 115 (AK8115) |
| c. | 日付コード | ddd (3桁) |



重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用した場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。