

MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

概述

MAX11044/MAX11045/MAX11046 16位ADC和MAX11054/MAX11055/MAX11056 14位ADC分别提供4、6或8个独立的输入通道。器件具有独立的采样/保持(T/H)和SAR电路，能够以250ksps的速率对每个通道进行同时采样。

MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056具有±5V输入范围，内部±20mA输入钳位电路配合一个简单的外部电阻能够为所有输入提供超量程保护。其它功能包括：4MHz T/H输入带宽、内部时钟、内部或外部基准。器件的20MHz、双向并行接口用于输出转换结果，并可接受数字配置输入。

MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056采用4.75V至5.25V模拟电源以及一路灵活的2.7V至5.25V数字电源供电，无需电平转换器即可与主机连接。MAX11044/MAX11045/MAX11046采用56引脚TQFN和64引脚TQFP封装，MAX11054/MAX11055/MAX11056仅提供TQFP封装，器件工作在-40°C至+85°C扩展级温度范围。

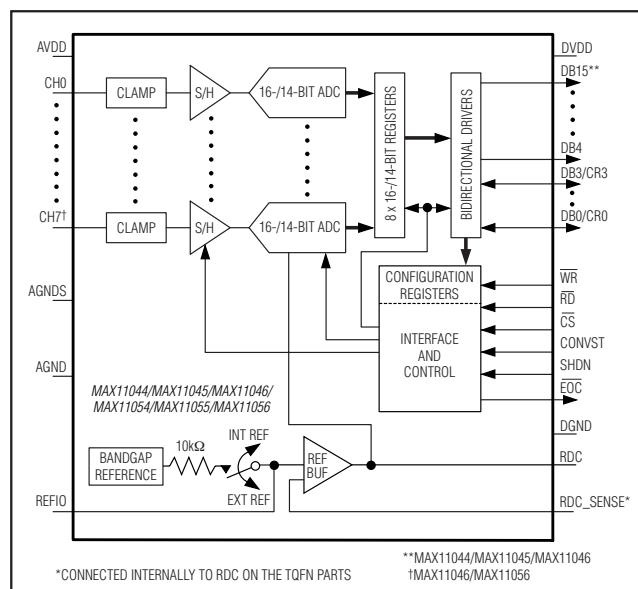
应用

自动测试设备
功率因数监测与修正
电网保护
多相电机控制
振动与波形分析

特性

- ◆ 16位ADC (MAX11044/MAX11045/MAX11046)和14位ADC (MAX11054/MAX11055/MAX11056)
- 8通道ADC (MAX11046/MAX11056)
- 6通道ADC (MAX11045/MAX11055)
- 4通道ADC (MAX11044/MAX11054)
- ◆ 单模拟电源和数字电源供电
- ◆ 高达1GΩ的高阻输入
- ◆ 每通道均具有片内T/H电路
- ◆ 3μs的快速转换时间
- ◆ 高吞吐率：每个通道为250ksps
- ◆ 16位/14位、高速并行接口
- ◆ 由内部时钟控制转换
- ◆ 10ns孔径延时
- ◆ 100ps通道间T/H匹配
- ◆ 低温漂、高精度4.096V内部基准提供±5V输入范围
- ◆ 3.0V至4.25V外部基准范围，支持±4.0V至±5.2V满量程输入范围
- ◆ 56引脚(8mm x 8mm) TQFN和64引脚(10mm x 10mm)TQFP封装
- ◆ 可提供评估板

功能框图



订购信息

PART	PIN-PACKAGE	CHANNELS
MAX11044ETN+	56 TQFN-EP*	4
MAX11044ECB+	64 TQFP-EP*	4
MAX11045ETN+	56 TQFN-EP*	6
MAX11045ECB+	64 TQFP-EP*	6
MAX11046ETN+	56 TQFN-EP*	8
MAX11046ECB+	64 TQFP-EP*	8
MAX11054ECB+	64 TQFP-EP*	4
MAX11055ECB+	64 TQFP-EP*	6
MAX11056ECB+	64 TQFP-EP*	8

MAX11044–MAX11046

MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

ABSOLUTE MAXIMUM RATINGS

AVDD to AGND	-0.3V to +6V
DVDD to AGND and DGND	-0.3V to +6V
DGND to AGND.....	-0.3V to +0.3V
AGNDS to AGND.....	-0.3V to +0.3V
CH0–CH7 to AGND.....	-7.5V to +7.5V
REFIO, RDC to AGND	-0.3V to the lower of (VAVDD + 0.3V) and +6V
\overline{EOC} , \overline{WR} , \overline{RD} , \overline{CS} , CONVST to AGND.....	-0.3V to the lower of (VDVDD + 0.3V) and +6V
DB0–DB15 to AGND	-0.3V to the lower of (VDVDD + 0.3V) and +6V

Maximum Current into Any Pin Except AVDD, DVDD, AGND, DGND	±50mA
Continuous Power Dissipation	
56-Pin TQFN (derate 47.6mW/°C above +70°C)	3809.5mW
64-Pin TQFP (derate 43.5mW/°C above +70°C).....	3478mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature.....	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s).....	+300°C
Soldering Temperature (reflow).....	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(VAVDD = +4.75V to +5.25V, VDVDD = +2.70V to +5.25V, VAGNDS = VAGND = VDGNDD = 0V, VREFIO = internal reference, CRDC = 4 x 33µF, CREFIO = 0.1µF, CAVDD = 4 x 0.1µF || 10µF, CDVDD = 3 x 0.1µF || 10µF; all digital inputs at DVDD or DGND, unless otherwise noted, fSAMPLE = 250kps. TA = -40°C to +85°C, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE (Note 1)						
Resolution	N	MAX11044/MAX11045/MAX11046	16			Bits
		MAX11054/MAX11055/MAX11056	14			
Integral Nonlinearity	INL	MAX11044/MAX11045/MAX11046	> -2	±0.4	< +2	LSB
		MAX11054/MAX11055/MAX11056	-0.8	±0.13	+0.8	
Differential Nonlinearity	DNL	MAX11044/MAX11045/MAX11046	> -1	±0.4	< +1.2	LSB
		MAX11054/MAX11055/MAX11056	-0.6	±0.15	+0.6	
No Missing Codes		MAX11044/MAX11045/MAX11046	16			Bits
		MAX11054/MAX11055/MAX11056	14			
Offset Error				±0.001	±0.015	%FSR
Channel Offset Matching				±0.001	±0.015	%FSR
Offset Temperature Coefficient				±0.8		µV/°C
Gain Error					±0.015	%FSR
Positive Full-Scale Error					±0.015	%FSR
Negative Full-Scale Error					±0.015	%FSR
Positive Full-Scale Error Matching					±0.01	%FSR
Negative Full-Scale Error Matching					±0.01	%FSR
Channel Gain-Error Matching		Between all channels			±0.01	%FSR
Gain Temperature Coefficient				±0.5		ppm/°C
DYNAMIC PERFORMANCE						
Signal-to-Noise Ratio	SNR	fIN = 10kHz, full-scale input	MAX11044/MAX11045/ MAX11046	91	92.3	dB
			MAX11054/MAX11055/ MAX11056	84.5	85.2	
Signal-to-Noise and Distortion Ratio	SINAD	fIN = 10kHz, full-scale input	MAX11044/MAX11045/ MAX11046	90.5	92	dB
			MAX11054/MAX11055/ MAX11056	84.5	85.2	

MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = +4.75V$ to $+5.25V$, $V_{DVDD} = +2.70V$ to $+5.25V$, $V_{AGNDS} = V_{AGND} = V_{DGND} = 0V$, V_{REFIO} = internal reference, $C_{RDC} = 4 \times 33\mu F$, $C_{REFIO} = 0.1\mu F$, $C_{AVDD} = 4 \times 0.1\mu F$ || $10\mu F$, $C_{DVDD} = 3 \times 0.1\mu F$ || $10\mu F$; all digital inputs at $DVDD$ or $DGND$, unless otherwise noted, $f_{SAMPLE} = 250ksps$. $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 10kHz$, full-scale input	MAX11044/MAX11045/ MAX11046	98	104	dB
			MAX11054/MAX11055/ MAX11056	95	104	
Total Harmonic Distortion	THD	$f_{IN} = 10kHz$, full-scale input	MAX11044/MAX11045/ MAX11046	-105	-98	dB
			MAX11054/MAX11055/ MAX11056	-104	-95	
Channel-to-Channel Crosstalk		$f_{IN} = 60Hz$, full scale and ground on adjacent channel (Note 2)		-126	-100	dB
ANALOG INPUTS (CH0–CH7)						
Input Voltage Range		(Note 3)			$\pm 1.22 \times V_{REFIO}$	V
Input Leakage Current			-1		+1	μA
Input Capacitance				15		pF
Input-Clamp Protection Current		Each input simultaneously	-20		+20	mA
TRACK AND HOLD						
Throughput Rate		Per channel	1		250	ksps
Acquisition Time	t_{ACQ}		1		1000	μs
Full-Power Bandwidth		-3dB point		4		MHz
		-0.1dB point		> 0.2		
Aperture Delay				10		ns
Aperture-Delay Matching				100		ps
Aperture Jitter				50		psRMS
INTERNAL REFERENCE						
REFIO Voltage	V_{REF}		4.08	4.096	4.112	V
REFIO Temperature Coefficient				± 5		ppm/ $^\circ C$
EXTERNAL REFERENCE						
Input Current			-10		+10	μA
REF Voltage-Input Range	V_{REF}		3.00		4.25	V
REF Input Capacitance				15		pF
DIGITAL INPUTS (CR0–CR3, RD, WR, CS, CONVST)						
Input Voltage High	V_{IH}	$V_{DVDD} = 2.7V$ to $5.25V$	2			V
Input Voltage Low	V_{IL}	$V_{DVDD} = 2.7V$ to $5.25V$			0.8	V
Input Capacitance	C_{IN}			10		pF
Input Current	I_{IN}	$V_{IN} = 0V$ or V_{DVDD}			± 10	μA

MAX11044–MAX11046

MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = +4.75V$ to $+5.25V$, $V_{DVDD} = +2.70V$ to $+5.25V$, $V_{AGNDS} = V_{AGND} = V_{DGND} = 0V$, V_{REFIO} = internal reference, $C_{RDC} = 4 \times 33\mu F$, $C_{REFIO} = 0.1\mu F$, $C_{AVDD} = 4 \times 0.1\mu F$ || $10\mu F$, $C_{DVDD} = 3 \times 0.1\mu F$ || $10\mu F$; all digital inputs at $DVDD$ or $DGND$, unless otherwise noted, $f_{SAMPLE} = 250ksps$. $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DIGITAL OUTPUTS (DB0–DB15, EOC)							
Output Voltage High	V_{OH}	$I_{SOURCE} = 1.2mA$		$V_{DVDD} - 0.4$			V
Output Voltage Low	V_{OL}	$I_{SINK} = 1mA$		0.25		0.4	V
Three-State Leakage Current		DB0–DB15, $\overline{VRD} \geq V_{IH}$ or $\overline{VCS} \geq V_{IH}$				10	μA
Three-State Output Capacitance		DB0–DB15, $\overline{VRD} \geq V_{IH}$ or $\overline{VCS} \geq V_{IH}$			15		pF
Analog Supply Voltage	AVDD			4.75		5.25	V
Digital Supply Voltage	DVDD			2.70		5.25	V
Analog Supply Current	I_{AVDD}	MAX11046/MAX11056, $V_{AVDD} = 5V$				48	mA
		MAX11045/MAX11055, $V_{AVDD} = 5V$				39	
		MAX11044/MAX11054, $V_{AVDD} = 5V$				30	
Digital Supply Current (Note 9)	I_{DVDD}	MAX11046/MAX11056, $V_{DVDD} = 3.3V$				7.0	mA
		MAX11045/MAX11055, $V_{DVDD} = 3.3V$				6.5	
		MAX11044/MAX11054, $V_{DVDD} = 3.3V$				5.5	
Shutdown Current	I_{DVDD}					10	μA
	I_{AVDD}					10	
Power-Supply Rejection	PSR	$V_{AVDD} = 4.9V$ to $5.1V$ (Note 5)	MAX11044/MAX11045/ MAX11046	± 1			LSB
			MAX11054/MAX11055/ MAX11056	± 0.25			
TIMING CHARACTERISTICS (Note 4)							
CONVST Rise to \overline{EOC}	t_{CON}	Conversion time (Note 6)				3	μs
Acquisition Time	t_{ACQ}			1		1000	μs
\overline{CS} Rise to CONVST Rise	t_Q	Sample quiet time (Note 6)		500			ns
CONVST Rise to \overline{EOC} Rise	t_0				47	140	ns
\overline{EOC} Fall to CONVST Fall	t_1	CONVST mode B0 = 0 only (Note 7)		0			ns
CONVST Low Time	t_2	CONVST mode B0 = 1 only		20			ns
\overline{CS} Fall to \overline{WR} Fall	t_3			0			ns
\overline{WR} Low Time	t_4			20			ns
\overline{CS} Rise to \overline{WR} Rise	t_5			0			ns
Input Data Setup Time	t_6			10			ns
Input Data Hold Time	t_7			1			ns
\overline{CS} Fall to \overline{RD} Fall	t_8			0			ns
\overline{RD} Low Time	t_9			30			ns

MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = +4.75V$ to $+5.25V$, $V_{DVDD} = +2.70V$ to $+5.25V$, $V_{AGNDS} = V_{AGND} = V_{DGND} = 0V$, $V_{REFIO} =$ internal reference, $C_{RDC} = 4 \times 33\mu F$, $C_{REFIO} = 0.1\mu F$, $C_{AVDD} = 4 \times 0.1\mu F$ || $10\mu F$, $C_{DVDD} = 3 \times 0.1\mu F$ || $10\mu F$; all digital inputs at $DVDD$ or $DGND$, unless otherwise noted, $f_{SAMPLE} = 250ksps$. $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{RD} Rise to \overline{CS} Rise	t_{10}		0			ns
\overline{RD} High Time	t_{11}		10			ns
\overline{RD} Fall to Data Valid	t_{12}				35	ns
\overline{RD} Rise to Data Hold Time	t_{13}	(Note 7)	5			ns

Note 1: See the *Definitions* section at the end of the data sheet.

Note 2: Tested with alternating channels modulated at full scale and ground.

Note 3: See the *Input Range and Protection* section for more details.

Note 4: $C_{LOAD} = 30pF$ on $DB0$ – $DB15$ and EOC . Inputs ($CH0$ – $CH7$) alternate between full scale and zero scale. $f_{CONV} = 250ksps$. All data is read out.

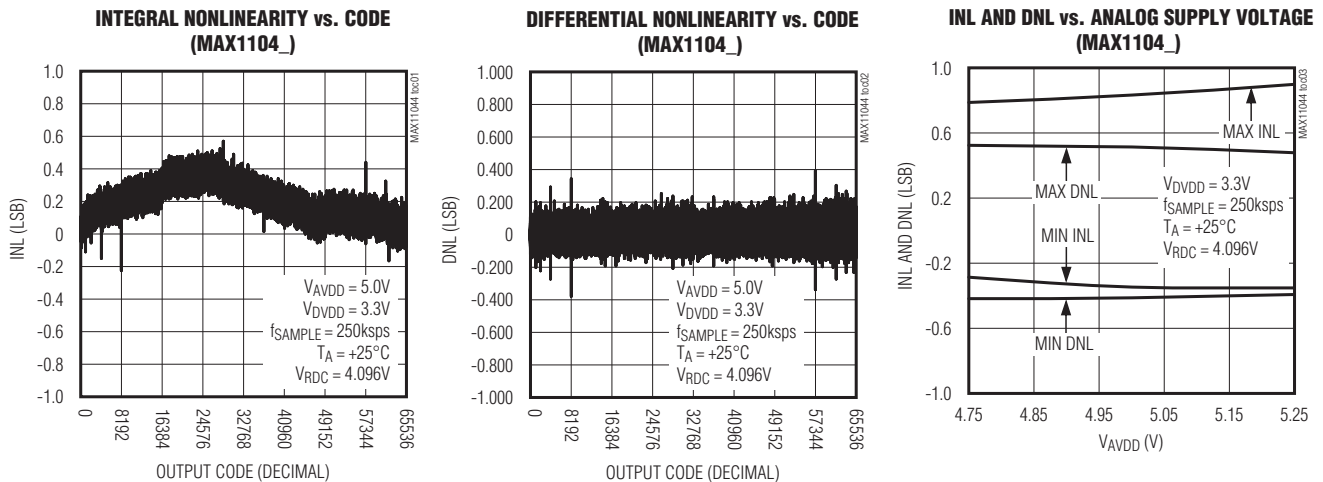
Note 5: Defined as the change in positive full scale caused by a $\pm 2\%$ variation in the nominal supply voltage.

Note 6: It is recommended that \overline{RD} , \overline{WR} , and \overline{CS} are kept high for the quiet time (t_Q) and conversion time (t_{CON}).

Note 7: Guaranteed by design.

典型工作特性

($V_{AVDD} = 5V$, $V_{DVDD} = 3.3V$, $T_A = +25^\circ C$, $f_{SAMPLE} = 250ksps$, internal reference, unless otherwise noted.)

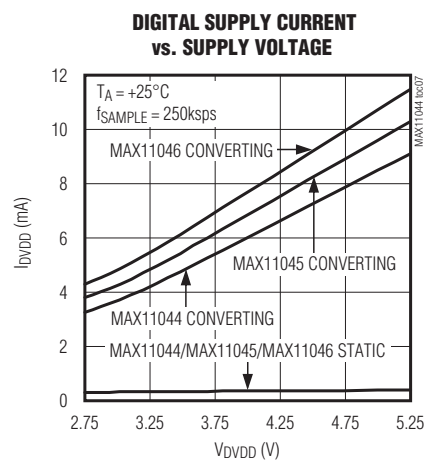
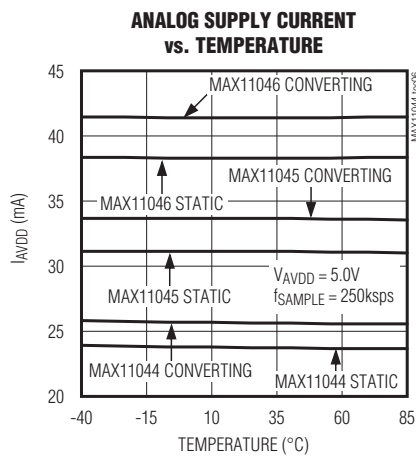
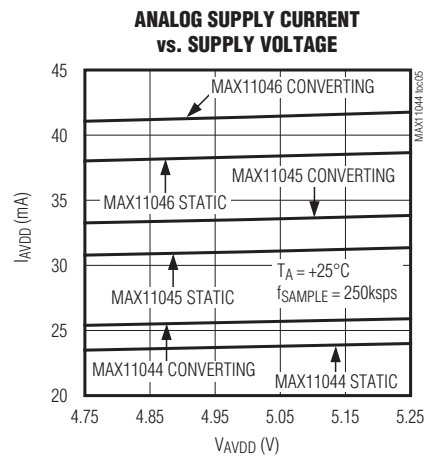
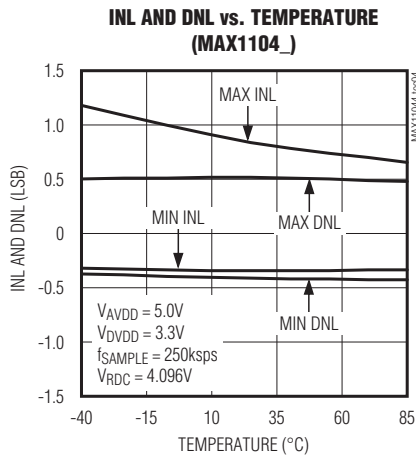


MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

典型工作特性(续)

($V_{AVDD} = 5V$, $V_{DVDD} = 3.3V$, $T_A = +25^\circ C$, $f_{SAMPLE} = 250ksps$, internal reference, unless otherwise noted.)

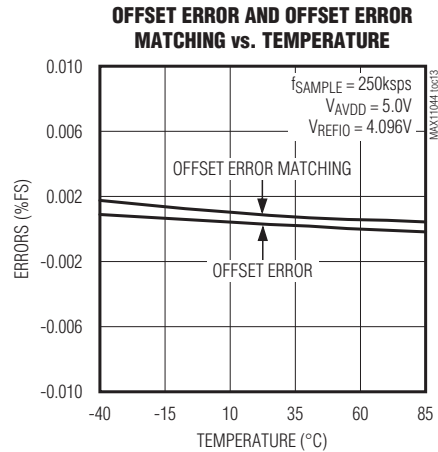
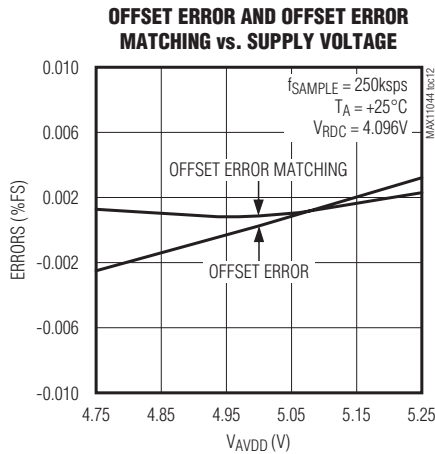
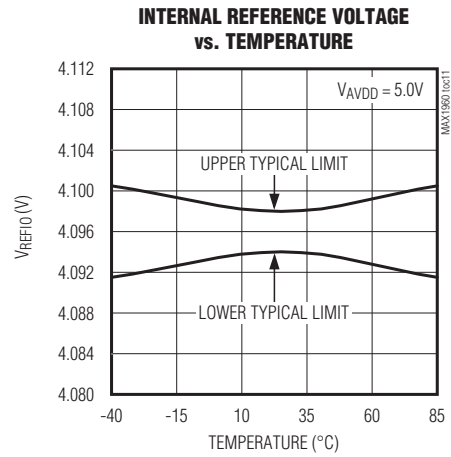
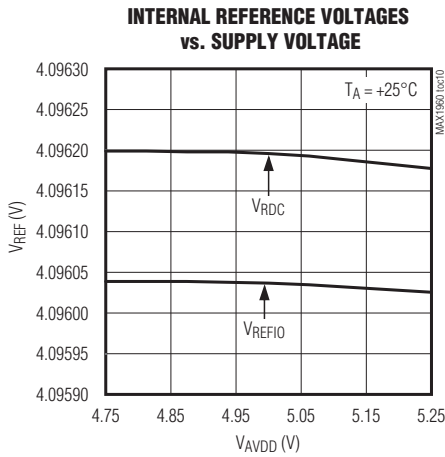
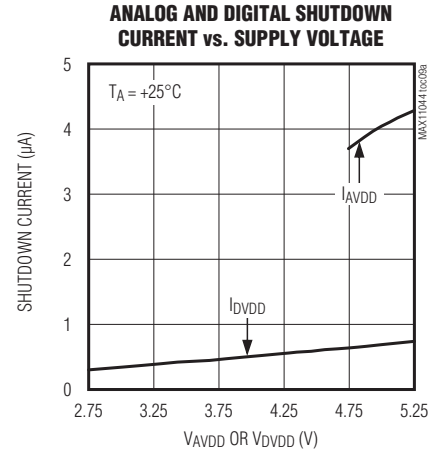
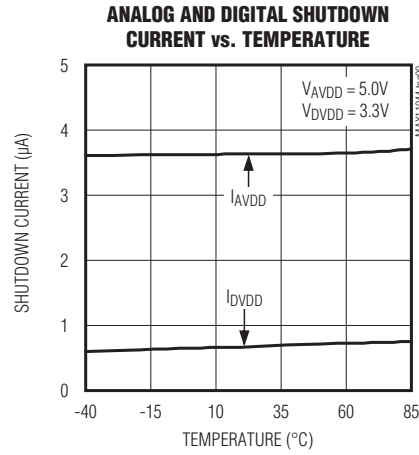
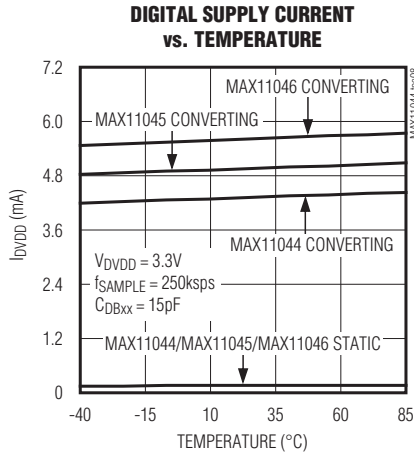


MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

典型工作特性(续)

($V_{AVDD} = 5V$, $V_{DVDD} = 3.3V$, $T_A = +25^\circ C$, $f_{SAMPLE} = 250ksps$, internal reference, unless otherwise noted.)

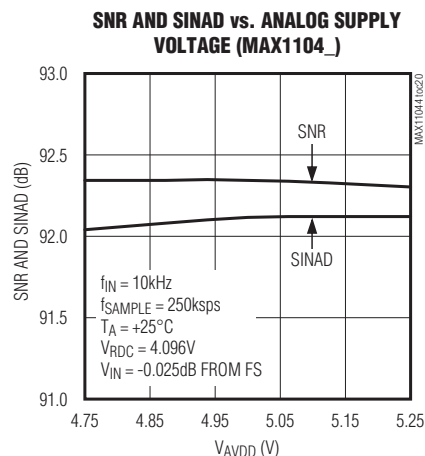
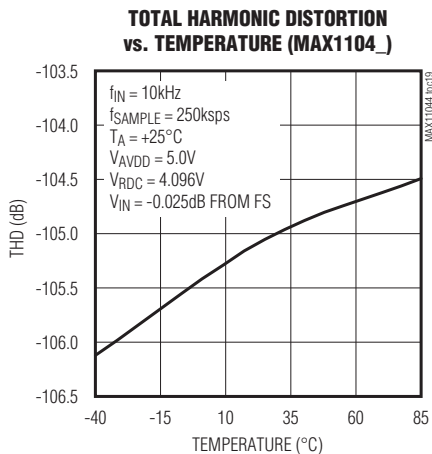
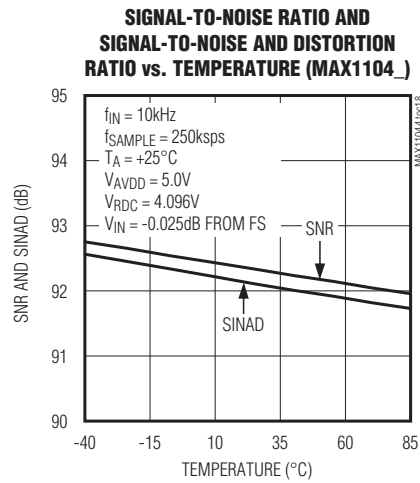
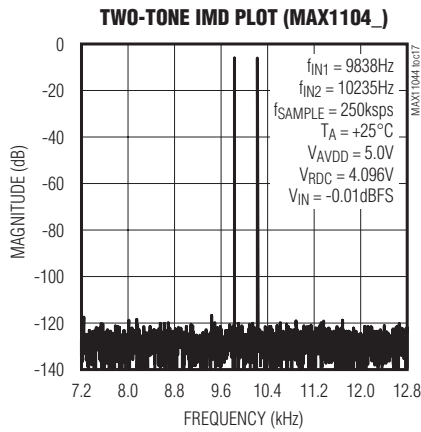
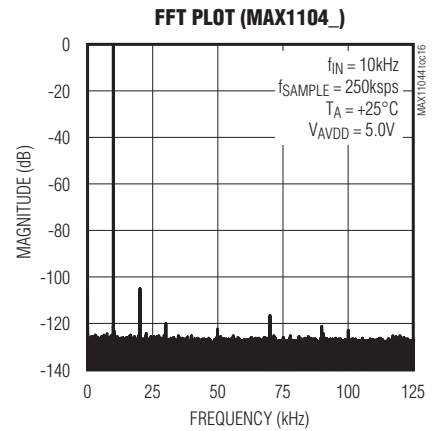
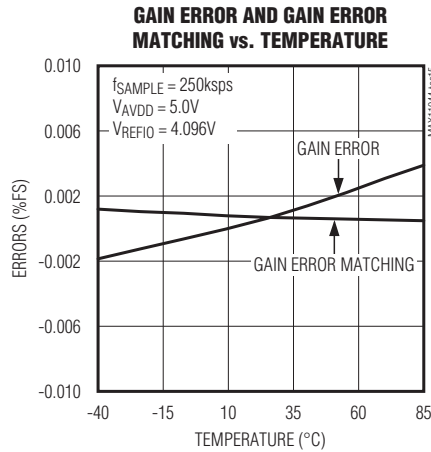
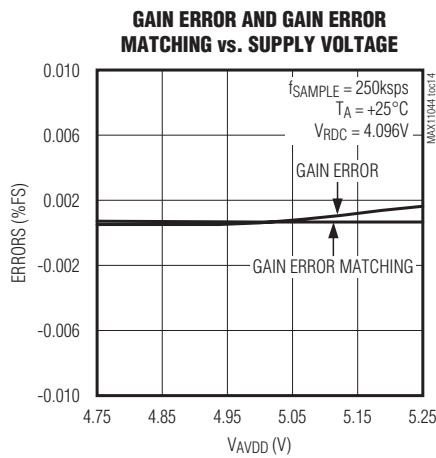


MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

典型工作特性(续)

($V_{AVDD} = 5V$, $V_{DVDD} = 3.3V$, $T_A = +25^\circ C$, $f_{SAMPLE} = 250kps$, internal reference, unless otherwise noted.)

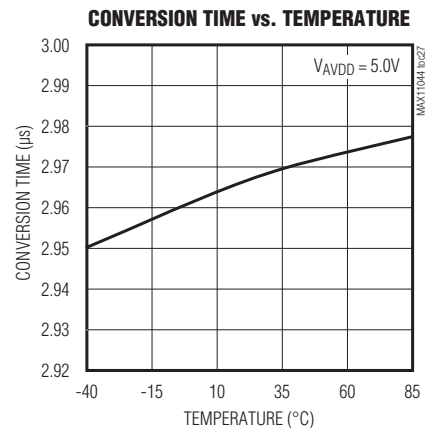
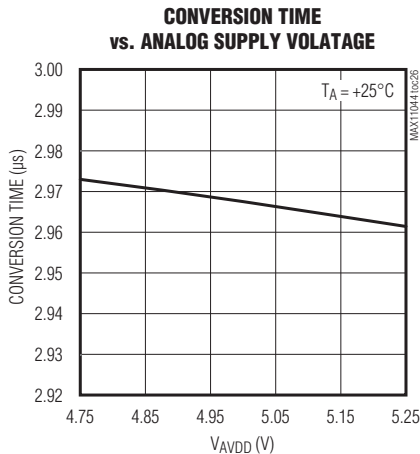
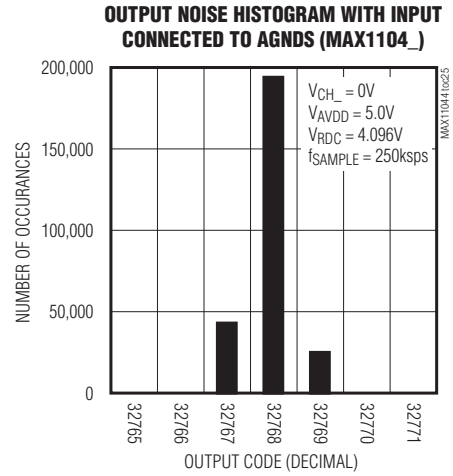
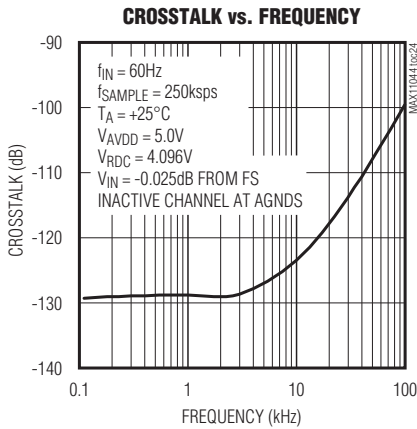
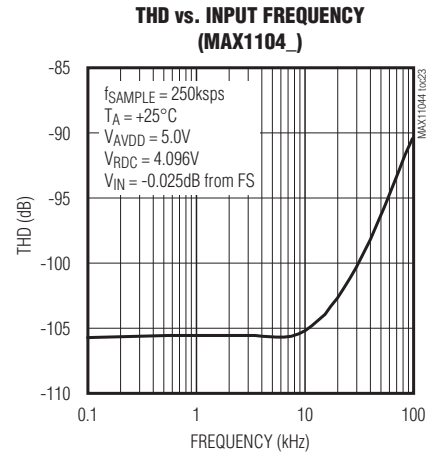
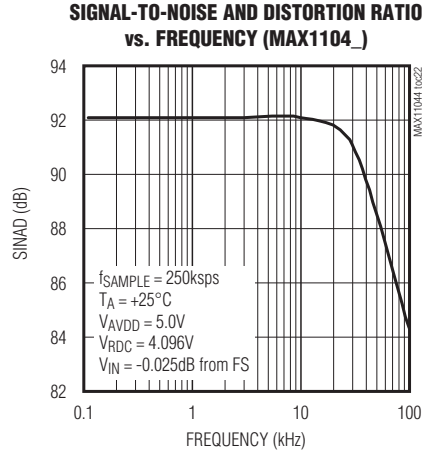
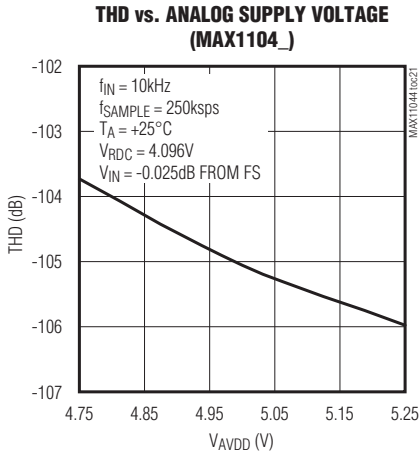


MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

典型工作特性(续)

($V_{AVDD} = 5V$, $V_{DVDD} = 3.3V$, $T_A = +25^\circ C$, $f_{SAMPLE} = 250ksps$, internal reference, unless otherwise noted.)



MAX11044–MAX11046

MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

引脚说明

引脚			名称	功能
MAX11044 (TQFN-EP)	MAX11045 (TQFN-EP)	MAX11046 (TQFN-EP)		
1	1	1	DB13	16位并行数据总线数字输出，第13位。
2	2	2	DB12	16位并行数据总线数字输出，第12位。
3	3	3	DB11	16位并行数据总线数字输出，第11位。
4	4	4	DB10	16位并行数据总线数字输出，第10位。
5	5	5	DB9	16位并行数据总线数字输出，第9位。
6	6	6	DB8	16位并行数据总线数字输出，第8位。
7, 21, 50	7, 21, 50	7, 21, 50	DGND	数字地。
8, 20, 51	8, 20, 51	8, 20, 51	DVDD	数字电源。在每个DVDD输入端用一个0.1μF电容将其旁路至DGND。
9	9	9	DB7	16位并行数据总线数字输出，第7位。
10	10	10	DB6	16位并行数据总线数字输出，第6位。
11	11	11	DB5	16位并行数据总线数字输出，第5位。
12	12	12	DB4	16位并行数据总线数字输出，第4位。
13	13	13	DB3/CR3	16位并行数据总线数字输出第3位/配置寄存器输入第3位。
14	14	14	DB2/CR2	16位并行数据总线数字输出第2位/配置寄存器输入第2位。
15	15	15	DB1/CR1	16位并行数据总线数字输出第1位/配置寄存器输入第1位。
16	16	16	DB0/CR0	16位并行数据总线数字输出第0位/配置寄存器输入第0位。
17	17	17	\overline{EOC}	低电平有效转换完成输出。转换完成时 \overline{EOC} 变为逻辑低电平；启动转换时， \overline{EOC} 变为逻辑高电平。
18	18	18	CONVST	转换开始输入。CONVST的上升沿结束采样并启动对采样信号的转换。当CONVST处于逻辑低电平、CONVST模式 = 0时，ADC处于采样模式。
19	19	19	SHDN	关断输入。如果SHDN保持为高电平，整个器件将进入低电流状态并保持该状态。关断模式下，配置寄存器的内容不会丢失。
22, 28, 35, 43, 49	22, 28, 35, 43, 49	22, 28, 35, 43, 49	RDC	基准缓冲器去耦，将所有RDC输出连接在一起。用一个总量至少为80μF的电容将其旁路至AGND，参见布局、接地和旁路部分。
23, 27, 33, 38, 44, 48	23, 27, 33, 38, 44, 48	23, 27, 33, 38, 44, 48	AGNDS	信号地。在PCB上将所有AGND和AGNDS输入连接在一起。

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

引脚说明(续)

引脚			名称	功能
MAX11044 (TQFN-EP)	MAX11045 (TQFN-EP)	MAX11046 (TQFN-EP)		
24, 30, 41, 47	24, 30, 41, 47	24, 30, 41, 47	AVDD	模拟电源输入。在每个AVDD输入端用一个0.1μF电容将AVDD旁路至AGND。
25, 31, 40, 46	25, 31, 40, 46	25, 31, 40, 46	AGND	模拟地。将全部AGND输入连接在一起。
32	29	26	CH0	通道0模拟输入。
34	32	29	CH1	通道1模拟输入。
37	34	32	CH2	通道2模拟输入。
39	37	34	CH3	通道3模拟输入。
36	36	36	REFIO	外部基准输入/内部基准输出，在REFIO和AGND之间放置一个0.1μF电容。
—	39	37	CH4	通道4模拟输入。
—	42	39	CH5	通道5模拟输入。
—	—	42	CH6	通道6模拟输入。
—	—	45	CH7	通道7模拟输入。
52	52	52	\overline{WR}	低电平有效写操作输入。将 \overline{WR} 驱动为低电平时对ADC进行写操作，配置寄存器在 \overline{WR} 的上升沿装载数据。
53	53	54	\overline{CS}	低电平有效片选输入。从ADC读取或写入数据时，将 \overline{CS} 驱动至低电平。
54	54	54	\overline{RD}	低电平有效读操作输入。将 \overline{RD} 驱动至低电平时从ADC读取数据。数据总线上，每个 \overline{RD} 上升沿之后是通道数据输出。
55	55	55	DB15	16位并行数据总线数字输出，第15位。
56	56	56	DB14	16位并行数据总线数字输出，第14位。
26, 29, 42, 45	26, 45	—	I.C.	内部连接。连接至AGND。
—	—	—	EP	裸焊盘。内部连接至AGND。连接至大面积接地区域，改善散热。不要将其作为一个电气连接点。

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

引脚说明(续)

引脚			名称	功能
MAX11044 (TQFP-EP)	MAX11045 (TQFP-EP)	MAX11046 (TQFP-EP)		
1	1	1	DB14	16位并行数据总线数字输出, 第14位。
2	2	2	DB13	16位并行数据总线数字输出, 第13位。
3	3	3	DB12	16位并行数据总线数字输出, 第12位。
4	4	4	DB11	16位并行数据总线数字输出, 第11位。
5	5	5	DB10	16位并行数据总线数字输出, 第10位。
6	6	6	DB9	16位并行数据总线数字输出, 第9位。
7	7	7	DB8	16位并行数据总线数字输出, 第8位。
8, 22, 59	8, 22, 59	8, 22, 59	DGND	数字地。
9, 21, 60	9, 21, 60	9, 21, 60	DVDD	数字电源。在每个DVDD输入端用一个0.1μF电容将其旁路至DGND。
10	10	10	DB7	16位并行数据总线数字输出, 第7位。
11	11	11	DB6	16位并行数据总线数字输出, 第6位。
12	12	12	DB5	16位并行数据总线数字输出, 第5位。
13	13	13	DB4	16位并行数据总线数字输出, 第4位。
14	14	14	DB3/CR3	16位并行数据总线数字输出第3位/配置寄存器输入第3位。
15	15	15	DB2/CR2	16位并行数据总线数字输出第2位/配置寄存器输入第2位。
16	16	16	DB1/CR1	16位并行数据总线数字输出第1位/配置寄存器输入第1位。
17	17	17	DB0/CR0	16位并行数据总线数字输出第0位/配置寄存器输入第0位。
18	18	18	\overline{EOC}	低电平有效转换完成输出。转换完成时 \overline{EOC} 变为逻辑低电平; 启动转换时, \overline{EOC} 变为逻辑高电平。
19	19	19	CONVST	转换开始输入。CONVST的上升沿结束采样并启动对采样信号的转换。当CONVST处于逻辑低电平、CONVST模式 = 0时, ADC处于采样模式。
20	20	20	SHDN	关断输入。如果SHDN保持为高电平, 整个器件将进入低电流状态并保持该状态。关断模式下, 配置寄存器的内容不会丢失。
23, 28, 32, 38, 43, 49, 53, 58	23, 28, 32, 38, 43, 49, 53, 58	23, 28, 32, 38, 43, 49, 53, 58	AGNDS	信号地。在PCB上将所有AGND和AGNDS输入连接在一起。
24, 29, 35, 46, 52, 57	24, 29, 35, 46, 52, 57	24, 29, 35, 46, 52, 57	AVDD	模拟电源输入。在每个AVDD输入端用一个0.1μF电容将AVDD旁路至AGND。
25, 30, 36, 45, 51, 56	25, 30, 36, 45, 51, 56	25, 30, 36, 45, 51, 56	AGND	模拟地。将全部AGND输入连接在一起。

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

引脚说明(续)

引脚			名称	功能
MAX11044 (TQFP-EP)	MAX11045 (TQFP-EP)	MAX11046 (TQFP-EP)		
26, 55	26, 55	26, 55	RDC_SENSE	基准缓冲器检测反馈，连接至RDC平面。
27, 33, 40, 48, 54	27, 33, 40, 48, 54	27, 33, 40, 48, 54	RDC	基准缓冲器去耦，将所有RDC输出连接在一起。用一个总量至少为80μF的电容将其旁路至AGND，参见布局、接地和旁路部分。
37	34	31	CH0	通道0模拟输入。
39	37	34	CH1	通道1模拟输入。
42	39	37	CH2	通道2模拟输入。
44	42	39	CH3	通道3模拟输入。
41	41	41	REFIO	外部基准输入/内部基准输出，在REFIO和AGND之间放置一个0.1μF电容。
—	44	42	CH4	通道4模拟输入。
—	47	44	CH5	通道5模拟输入。
—	—	47	CH6	通道6模拟输入。
—	—	50	CH7	通道7模拟输入。
61	61	61	\overline{WR}	低电平有效写操作输入。将 \overline{WR} 驱动为低电平时对ADC进行写操作，配置寄存器在 \overline{WR} 的上升沿装载数据。
62	62	62	\overline{CS}	低电平有效片选输入。从ADC读取或写入数据时，将 \overline{CS} 驱动至低电平。
63	63	63	\overline{RD}	低电平有效读操作输入。将 \overline{RD} 驱动至低电平时从ADC读取数据。数据总线上，每个 \overline{RD} 上升沿之后是通道数据输出。
64	64	64	DB15	16位并行数据总线数字输出，第15位。
31, 34, 47, 50	31, 50	—	I.C.	内部连接。连接至AGND。
—	—	—	EP	裸焊盘。内部连接至AGND。连接至大面积接地区域，改善散热。不要将其作为一个电气连接点。

MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

引脚说明(续)

引脚			名称	功能
MAX11054 (TQFP-EP)	MAX11055 (TQFP-EP)	MAX11056 (TQFP-EP)		
1	1	1	DB12	14位并行数据总线数字输出, 第12位。
2	2	2	DB11	14位并行数据总线数字输出, 第11位。
3	3	3	DB10	14位并行数据总线数字输出, 第10位。
4	4	4	DB9	14位并行数据总线数字输出, 第9位。
5	5	5	DB8	14位并行数据总线数字输出, 第8位。
6	6	6	DB7	14位并行数据总线数字输出, 第7位。
7	7	7	DB6	14位并行数据总线数字输出, 第6位。
8, 22, 59	8, 22, 59	8, 22, 59	DGND	数字地。
9, 21, 60	9, 21, 60	9, 21, 60	DVDD	数字电源。在每个DVDD输入端用一个0.1μF电容将其旁路至DGND。
10	10	10	DB5	14位并行数据总线数字输出, 第5位。
11	11	11	DB4	14位并行数据总线数字输出, 第4位。
12	12	12	DB3	14位并行数据总线数字输出, 第3位。
13	13	13	DB2	14位并行数据总线数字输出, 第2位。
14	14	14	DB1/CR3	14位并行数据总线数字输出第1位/配置寄存器输入第3位。
15	15	15	DB0/CR2	14位并行数据总线数字输出第0位/配置寄存器输入第2位。
16	16	16	CR1	配置寄存器输入第1位。
17	17	17	CR0	配置寄存器输入第0位。
18	18	18	$\overline{\text{EOC}}$	低电平有效转换完成输出。转换完成时EOC变为逻辑低电平; 启动转换时, EOC变为逻辑高电平。
19	19	19	CONVST	转换开始输入。CONVST的上升沿结束采样并启动对采样信号的转换。当CONVST处于逻辑低电平、CONVST模式 = 0时, ADC处于采样模式。
22, 28, 35, 43, 49	22, 28, 35, 43, 49	22, 28, 35, 43, 49	SHDN	关断输入。如果SHDN保持为高电平, 整个器件将进入低电流状态并保持该状态。关断模式下, 配置寄存器的内容不会丢失。
23, 28, 32, 38, 43, 49, 53, 58	23, 28, 32, 38, 43, 49, 53, 58	23, 28, 32, 38, 43, 49, 53, 58	AGNDS	信号地。在PCB上将所有AGND和AGNDS输入连接在一起。
24, 29, 35, 46, 52, 57	24, 29, 35, 46, 52, 57	24, 29, 35, 46, 52, 57	AVDD	模拟电源输入。在每个AVDD输入端用一个0.1μF电容将AVDD旁路至AGND。
25, 30, 36, 45, 51, 56	25, 30, 36, 45, 51, 56	25, 30, 36, 45, 51, 56	AGND	模拟地。将全部AGND输入连接在一起。
26, 55	26, 55	26, 55	RDC_SENSE	基准缓冲器检测反馈, 连接至RDC平面。

MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

引脚说明(续)

引脚			名称	功能
MAX11054 (TQFP-EP)	MAX11055 (TQFP-EP)	MAX11056 (TQFP-EP)		
27, 33, 40, 48, 54	27, 33, 40, 48, 54	27, 33, 40, 48, 54	RDC	基准缓冲器去耦, 将所有RDC输出连接在一起。用一个总量至少为80 μ F的电容将其旁路至AGND, 参见布局、接地和旁路部分。
37	34	31	CH0	通道0模拟输入。
39	37	34	CH1	通道1模拟输入。
42	39	37	CH2	通道2模拟输入。
44	42	39	CH3	通道3模拟输入。
41	41	41	REFIO	外部基准输入/内部基准输出, 在REFIO和AGND之间放置一个0.1 μ F电容。
—	44	42	CH4	通道4模拟输入。
—	47	44	CH5	通道5模拟输入。
—	—	47	CH6	通道6模拟输入。
—	—	50	CH7	通道7模拟输入。
61	61	61	\overline{WR}	低电平有效写操作输入。将 \overline{WR} 驱动为低电平时对ADC进行写操作, 配置寄存器在 \overline{WR} 的上升沿装载数据。
62	62	62	\overline{CS}	低电平有效片选输入。从ADC读取或写入数据时, 将 \overline{CS} 驱动至低电平。
63	63	63	\overline{RD}	低电平有效读操作输入。将 \overline{RD} 驱动至低电平时从ADC读取数据。数据总线上, 每个 \overline{RD} 上升沿之后是通道数据输出。
64	64	64	DB13	14位并行数据总线数字输出, 第13位。
31, 34, 47, 50	31, 50	—	I.C.	内部连接。连接至AGND。
—	—	—	EP	裸焊盘。内部连接至AGND。连接至大面积接地区域, 改善散热。不要将其作为一个电气连接点。

详细说明

MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056为高速、低功耗ADC, 分别在单片IC上提供了4、6和8路独立的ADC通道。每个通道都包括能够同时采样的独立T/H电路, 保持输入之间的相对相位信息, 从而使MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056非常适合电机控制、功率监测等应用。MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056能够接受 $\pm 5V$ 输入范围, 允许 $\pm 20mA$ 超范围容错输入。

MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056采用4.75V至5.25V单电源供电, 独立的2.7V至5.25V数字逻辑供电电源使器件兼容于低压处理器。

MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056通过启动独立的ADC对所有并联通道进行转换。完成采样之后, 经过3 μ s转换时间, 即可通过20MHz高速并行数据总线获得转换结果。数据总线为双向, 可方便地对配置寄存器进行编程。MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056具有一个基准缓冲器,

MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

由内部带隙基准电路驱动($V_{REFIO} = 4.096V$)。可以利用外部基准驱动REFIO，或在使用内部基准时采用 $0.1\mu F$ 电容将其旁路至地。

模拟输入

采样/保持(T/H)

为了保持所有通道的相位信息，每路输入都提供一个专用的T/H电路。输入采样电路具有4MHz小信号带宽，使器件能够数字化高速瞬态事件并利用欠采样技术对带宽超过ADC采样率的周期信号进行测量。抗混叠滤波器能够避免高频信号混叠到有用信号频带。

输入范围和保护

满量程模拟输入电压是基准电压的一个乘积。对于MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056，双极性满量程输入范围为：

$$\pm(V_{REFIO} \times \frac{5}{4.096})$$

外部基准模式下，利用一个3.0V至4.25V的源驱动 V_{REFIO} ，从而产生 $\pm 3.662V$ 至 $\pm 5.188V$ 的输入范围。

所有模拟输入都具有高达 $\pm 20mA$ 的故障保护能力。MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056带有输入箝位电路，当模拟输入高于 $(V_{AVDD} + 300mV)$ 或低于 $(-V_{AVDD} + 300mV)$ 时进入箝位状态。输入信号位于 $\pm V_{AVDD}$ 范围以内且吸入极小电流或几乎不吸收电流时，箝位电路保持高阻态。然而，当输入信号超过 $\pm V_{AVDD}$ 时，箝位电路即进入箝位状态，并对流入/流出AVDD电源的电流进行分流。因此，为了获得最高精度，请确保输入电压不超过 $\pm(V_{AVDD} + 0.3V)$ 。

为了充分利用输入箝位(参见图1)，在模拟输入和电压源之间连接一个电阻(R_S)，限制模拟输入端的电压，从而使流入MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056的故障电流不会超过 $\pm 20mA$ 。注意，故障条件下，模拟输入引脚的电压限制在大约7V，所以，可由下式计算 R_S ：

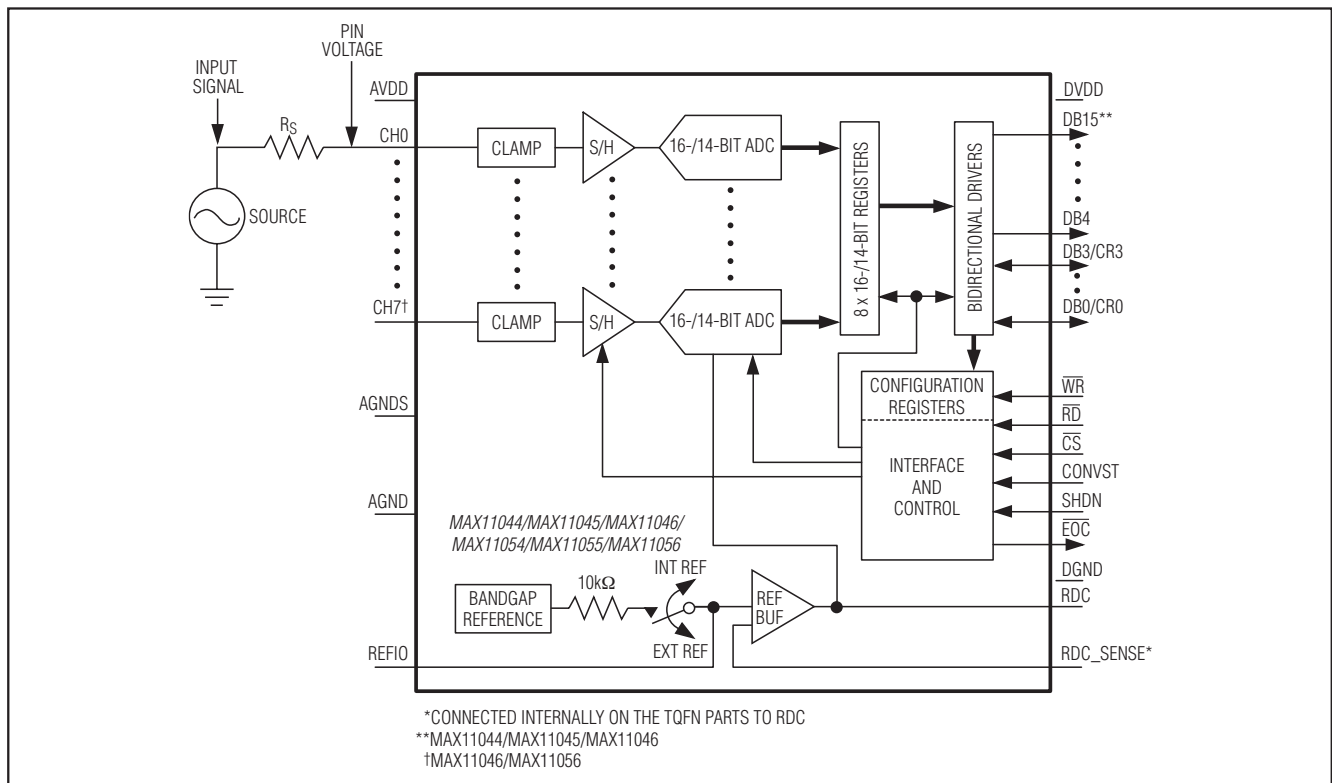


图1. 箝位电路设置

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

$$R_S = \frac{V_{\text{FAULT_MAX}} - 7V}{20\text{mA}}$$

式中， $V_{\text{FAULT_MAX}}$ 为输入源在故障条件下产生的最大电压。

图2和图3给出了箝位电路在源阻抗 $R_S = 1280\Omega$ 时的电压-电流特性曲线。当输入电压位于 $\pm(V_{\text{AVDD}} + 300\text{mV})$ 范围以内时，输入箝位电路没有电流；一旦输入电压超出该电压范围，箝位电路即开启并限制输入引脚的电压。

应用信息

数字接口

双向并行数字接口CR0–CR3设置4位配置寄存器。该接口配置以下控制信号：片选($\overline{\text{CS}}$)、读($\overline{\text{RD}}$)、写($\overline{\text{WR}}$)、转换结束($\overline{\text{EOC}}$)以及转换启动(CONVST)。图6和图7以及*Electrical Characteristics*表中的时序特性显示了该接口的工作特性。

DB0–DB15/DB13提供16/14位转换输出结果。当 $\overline{\text{RD}} = 1$ 或 $\overline{\text{CS}} = 1$ 时，所有位均为高阻。

CR3 (内部/外部基准)

CR3选择内部或外部基准，POR默认值 = 0。

0 = 内部基准，REFIO通过一个10k Ω 电阻由内部驱动，通过0.1 μF 电容旁路至AGND。

1 = 外部基准，利用高精度基准驱动REFIO。

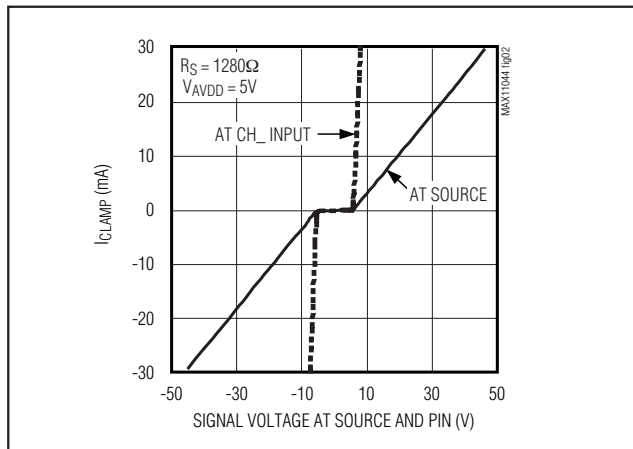


图2. 输入箝位特性

CR2 (输出数据格式)

CR2选择输出数据格式，POR默认值 = 0。

0 = 偏移二进制。

1 = 二进制补码。

CR1 (保留)

CR1必须设置为0。

CR0 (CONVST模式)

CR0选择采样模式，POR默认值 = 0。

0 = CONVST控制采样和转换。将CONVST驱动至低电平启动采样；CONVST的上升沿启动转换。

1 = 完成上次转换后即刻开始采样。CONVST的上升沿启动转换。

对配置寄存器进行编程

若需对配置寄存器进行编程，将 $\overline{\text{CS}}$ 和 $\overline{\text{WR}}$ 置为低电平，并将所需要的配置数据送至总线上的CR3–CR0，然后将 $\overline{\text{WR}}$ 拉高一次，保存修改。

小心：当配置寄存器没有被编程，在读取ADC的转换结果时，驱动CR3–CR0的主机必须释放总线！

表1. 配置寄存器

CR3	CR2	CR1	CR0
Int/Ext Reference	Output Data Format	Must be set to 0	CONVST Mode

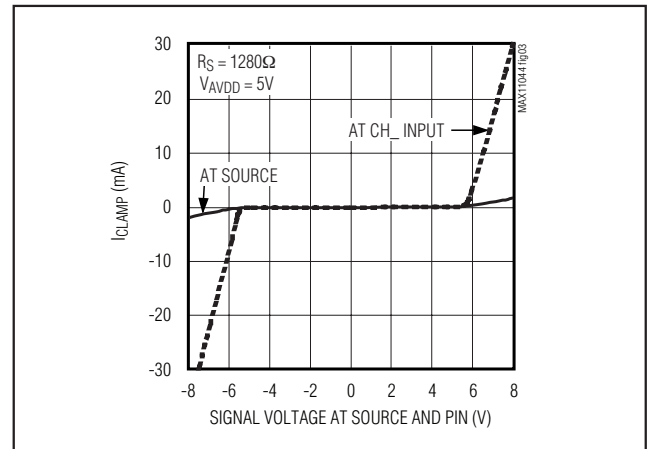


图3. 输入箝位特性(放大)

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

启动转换

CONVST启动转换，MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056提供两种采样模式，通过配置寄存器进行设置。在开始转换之前留出一个500ns的稳定时间(t_Q)，以避免读写操作期间的噪声干扰影响采样。

默认模式(CR0 = 0)下，将CONVST驱动至低电平，使MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056进入采样模式。所有输入开关闭合，内部T/H电路采集各自的输入电压。将CONVST信号保持为低电平至少 $1\mu\text{s}$ (t_{ACQ})，使被采样电压达到稳定状态。在CONVST的上升沿断开开关，MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056启动所有并联通道的采样转换。 $\overline{\text{EOC}}$ 保持为高电平，直到完成转换。

在第二种模式(CR0 = 1)下，只要完成上一次转换，MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056即进入采样模式。CONVST上升沿启动下次采样和转换过程。CONVST需要保持在低电平至少20ns才有效。

两种模式下都要留出足够的时间进行采样，还须留出必要的稳定时间，从而实现MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056的精确采样和最佳性能。

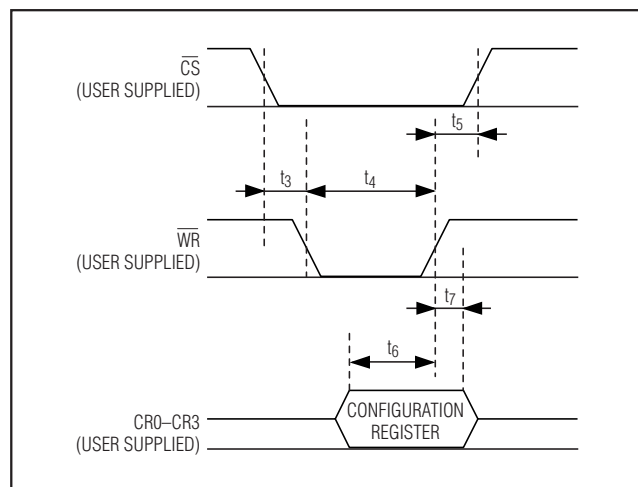


图4. 对配置寄存器进行编程时的时序要求

读取转换结果

$\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 为低电平有效数字输入，通过控制20MHz并行16/14位数据总线(D0–D15/D13)读取数据。 $\overline{\text{EOC}}$ 跳变到低电平时，通过将 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 驱动至低电平读取转换数据。每次 $\overline{\text{RD}}$ 拉至低电平期间都将输出下一通道的转换结果。当 $\overline{\text{CS}}$ 或 $\overline{\text{RD}}$ 为高电平时，数据总线为高阻。 $\overline{\text{CS}}$ 可以在读取各个通道之间驱动至高电平，也可以在读取8个通道之间保持在低电平状态。

基准

内部基准

MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056内部具有精密的低漂移带隙基准，利用 $0.1\mu\text{F}$ 电容将REFIO旁路至AGND有助于降低噪声。REFIO输出电压可作为其它电路的基准，REFIO输出阻抗为 $10\text{k}\Omega$ 。当利用REFIO驱动外部电路时，只能驱动外部高阻电路或缓冲器。

外部基准

将配置寄存器设置为禁用内部基准，并利用一个高精度外部基准驱动REFIO。为了避免信号劣化，请确保施加到REFIO的基准噪声在50kHz带宽内不超过 $10\mu\text{V}$ 。

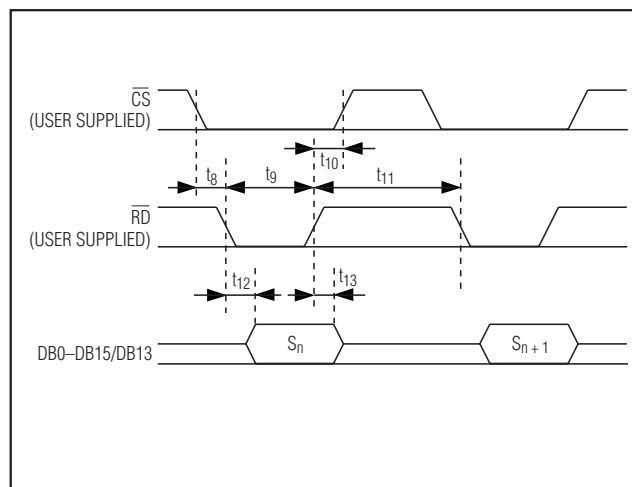


图5. 读数据时序

MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

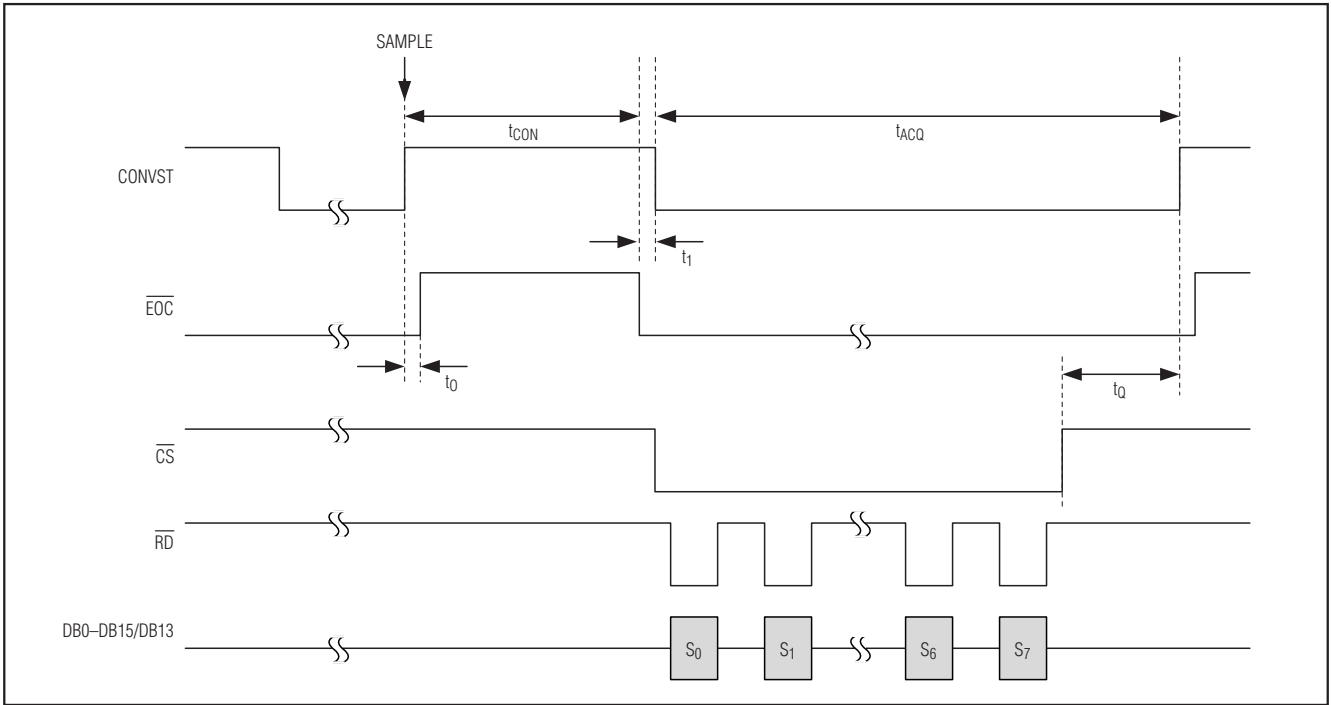


图6. 转换时序图(CR0 = 0)

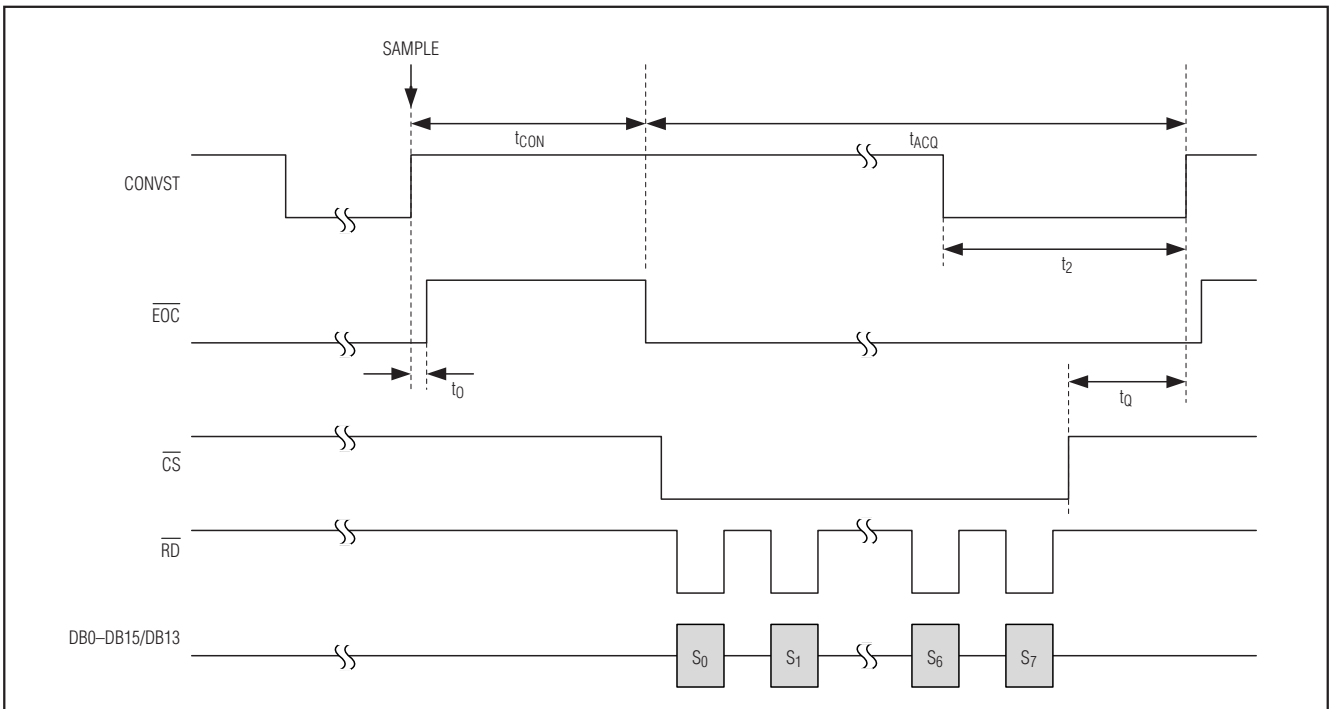


图7. 转换时序图(CR0 = 1)

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

基准缓冲器

MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056具有内置基准缓冲器，为SAR转换器提供低阻基准源。该缓冲器用于内部和外部基准模式。基准缓冲器输出送至5个RDC引脚。所有RDC引脚应该在PCB上连接在一起。基准缓冲器采用外部补偿，需要在RDC节点连

接至少10 μ F的电容。为了获得最佳性能，请在RDC输出连接至少80 μ F的总电容。

传输函数

图8和图9给出了所有器件在任何数据格式下的传输函数。码转换发生在相邻整数LSB的中间。

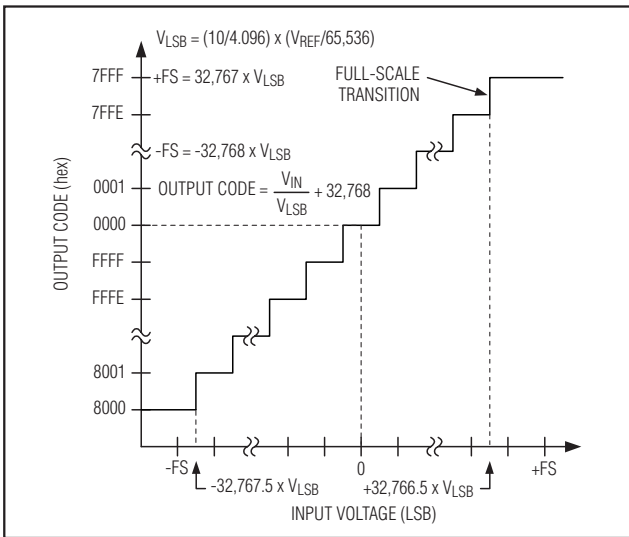


图8. 16位器件二进制补码传输函数

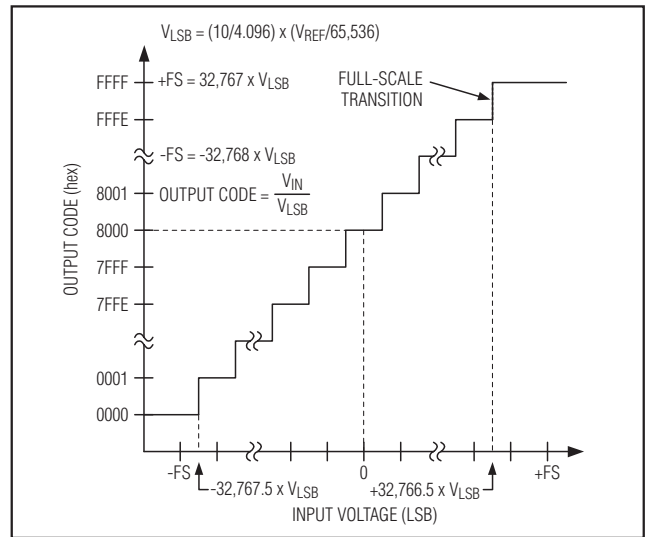


图8b. 14位器件二进制补码传输函数

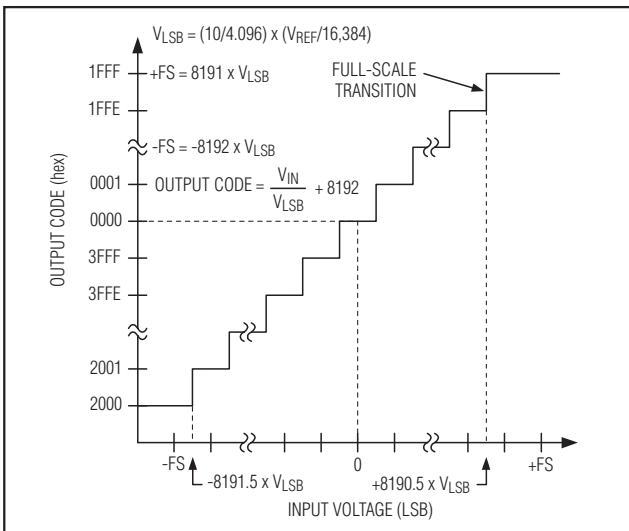


图9. 16位器件偏移二进制码传输函数

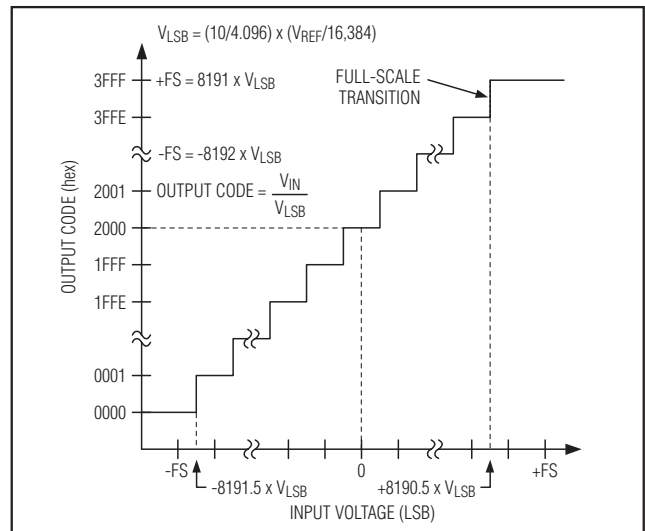


图9b. 14位器件偏移二进制码传输函数

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

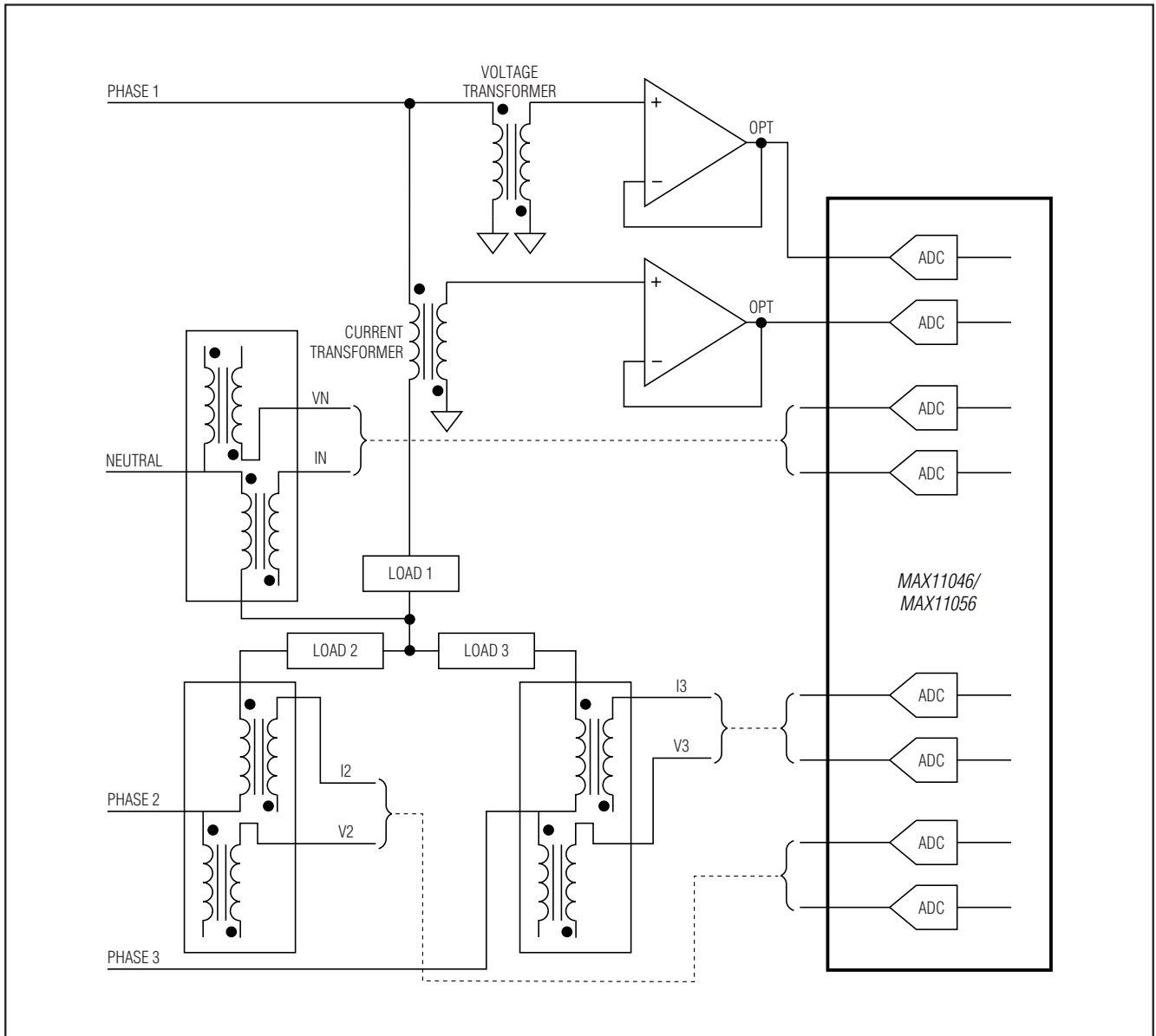


图10. 电网保护

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

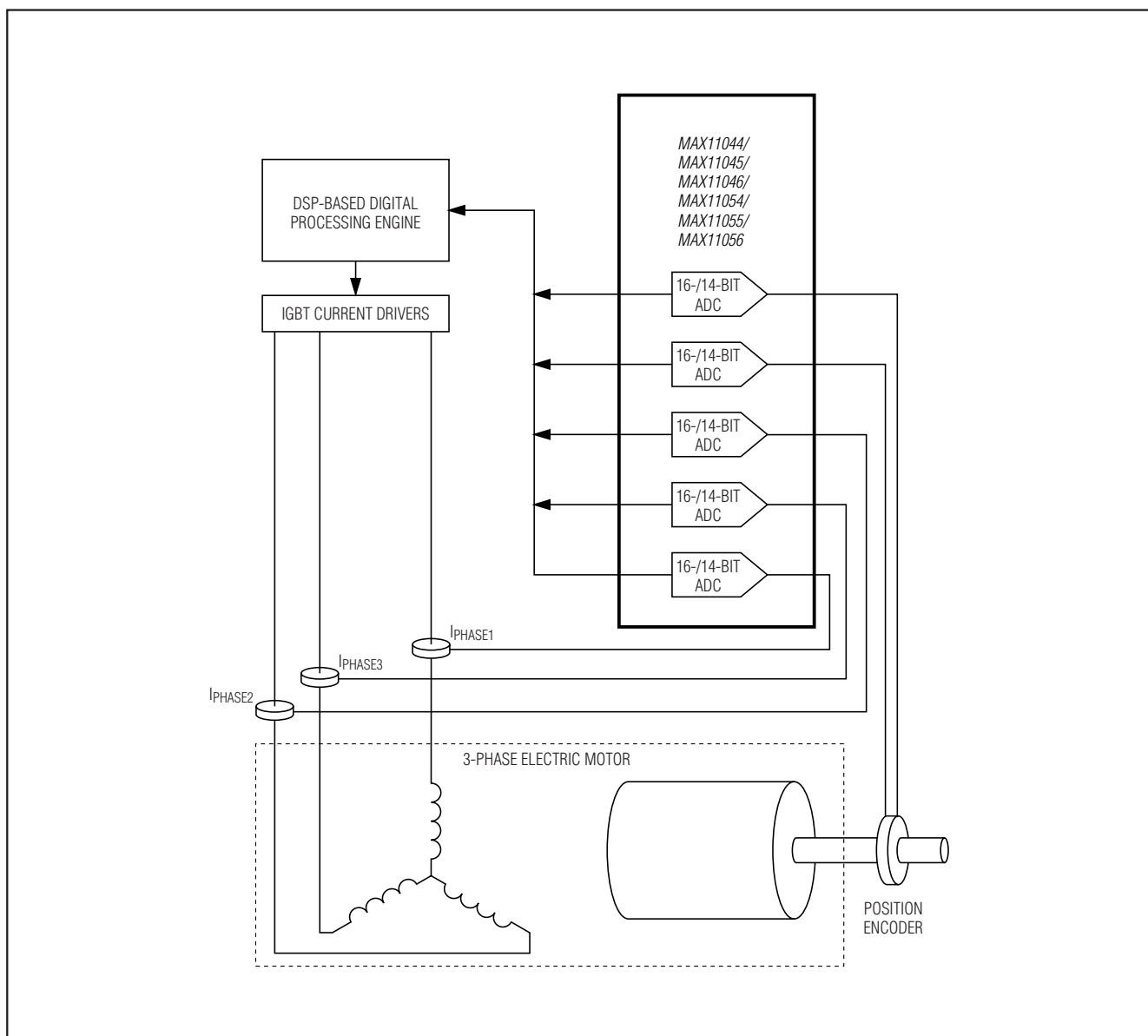


图11. DSP电机控制

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

布局、接地和旁路

为了获得最佳性能，请使用具有独立地层的PCB。确保数字和模拟信号线彼此隔离。请勿平行排列模拟和数字信号线(尤其是时钟信号线)，避免将数字信号线布置在ADC封装的下方。放置独立的GND层，数字信号和模拟信号分布在两侧，有助于获得最佳性能。将MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056的DGND、AGND和AGNDS引脚连接到地层。返回至电源的接地回路须保持低阻，引线应尽可能短，避免噪声。

为了获得最佳性能，请将所有RDC引脚(TQFN封装的22、28、35、43、49引脚，或TQFP封装的27、33、40、48、54引脚)连接到PCB的一个本地RDC平面。另外，对于TQFP封装，RDC_SENSE引脚26和55应该直接连接到RDC平面。需要至少使用80 μ F的总电容旁路RDC输出。若采用2个电容，请将电容分别靠近引脚22和49安装(TQFN)，或靠近引脚27和54安装(TQFP)。若采用4个电容，则将电容分别靠近第22、28、43和49引脚放置(TQFN)，或靠近第27、33、48和54引脚放置(TQFP)。例如，2个1210规格的47 μ F、10V X5R电容，分别靠近第22引脚和第49引脚放置(TQFN封装)，则可提供极佳性能。或者采用4个1210规格的22 μ F、10V X5R电容，将这些电容分别靠近第22、28、43和49引脚放置(TQFN封装)，同样可以提供非常好的性能。确保每个电容均通过独立过孔直接连接到AGND层。

如果使用Y5U或Z5U陶瓷电容，注意其高压系数，选择具有较高额定电压的电容，确保该RDC平面由内部基准缓冲器驱动至4.096V时，至少具有80 μ F的总电容。例如，额定电压为10V的22 μ F X5R电容在4.096V时大约为20 μ F，而相同的Y5U陶瓷电容则只有13 μ F。然而，额定电压为25V的Y5U 22 μ F电容在4.096V时的电容大约为20 μ F。

采用0.1 μ F的陶瓷电容将AVDD和DVDD旁路至地层，电容须靠近器件的每个引脚放置，使寄生电感最小。在PCB上，至少在AVDD和DVDD增加一个10 μ F的去耦电容。通过两个独立的电源层将所有AVDD输入和DVDD输入连接在一起。为了获得最佳性能，在MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056的模拟接口侧布设AVDD电源，在器件的数字接口侧布设DVDD电源层。

为了使采样周期达到最小值(1 μ s)，在每个通道输入和地层之间尽量靠近MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056的位置放置一个1nF的C0G陶瓷电容。该电容可以降低采样电路的寄生电感，并有助于降低输入源的电压瞬变。

典型应用电路

电网保护

图10所示为典型的电网保护应用。

DSP电机控制

图11所示为典型的DSP电机控制应用。

定义

积分非线性(INL)

INL是实际传递函数值与直线的偏差。对于这些器件，这条直线是消除失调与增益误差后传递函数两个端点间的连线。

微分非线性(DNL)

DNL是实际步长宽度与1个LSB理想值之差，对于这些器件，每个数字输出码值的DNL都经过测量，并在*Electrical Characteristics*表中给出了最大误差。大于-1 LSB的DNL误差保证不会产生失码，并可确保传递函数的单调性。例如，-0.9 LSB可保证不丢码，而-1.1 LSB则会丢码。

失调误差

失调误差定义为在MAX11044/MAX11045/MAX11046数字输出产生中心码0X8000 (偏移二进制码)或0X0000 (二进制补码)所需要的输入电压；对MAX11054/MAX11055/MAX11056来说，则定义为在其数字输出产生中心码0X2000 (二进制偏移码)或0X0000 (二进制补码)所需要的输入电压。理想情况下，该输入电压相对于AGNDS应该为0V。

增益误差

增益误差定义为理想16位器件的模拟输入电压 $(10/4.096) \times V_{REF} \times (65,534/65,536)$ ，或14位器件的模拟输入电压 $(10/4.096) \times V_{REF} \times (16,382/16,384)$ 减去产生最大码值转换所需模拟

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

输入电压与最小码值转换所需模拟输入电压之差。对于MAX11044/MAX11045/MAX11046，最大码值转换在二进制补码格式下为0x7FFE至0x7FFF，偏移二进制码格式下为0xFFFE至0xFFFF；最小码值转换在二进制补码格式下为0x8000至0x8001，偏移二进制码格式下为0x0000至0x0001。对于MAX11054/MAX11055/MAX11056，最大码值转换在二进制补码格式下为0x1FFE至0x1FFF，偏移二进制码格式下为0x3FFE至0x3FFF；最小码值转换在二进制补码格式下为0x2000至0x2001，偏移二进制码格式下为0x0000至0x0001。对于MAX11044/MAX11045/MAX11046和MAX11054/MAX11055/MAX11056，产生这些码值转换所需要的模拟输入电压均已经过测量，并从测量值中分别减去(10/4.096) × V_{REF} × (65,534/65,536)或(10/4.096) × V_{REF} × (16,382/16,384)，计算得到增益误差。

信噪比(SNR)

对于从数字采样中重建的最佳波形，SNR是满量程模拟输入(RMS值)与RMS量化误差(剩余误差)之比。理想情况下，理论上的最小模/数转换噪声仅包含量化误差，并直接由ADC的分辨率(N位)确定：

$$\text{SNR} = (6.02 \times N + 1.76)\text{dB}$$

式中，N = 16/14位。实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用RMS信号与RMS噪声之比计算。RMS噪声包括除基波、前五次谐波与直流失调以外的所有频谱成份。

信号与噪声+失真比(SINAD)

SINAD是基波输入频率的RMS幅值与所有其它ADC输出信号的RMS等效值之比：

$$\text{SINAD(dB)} = 10 \times \log \left[\frac{\text{Signal}_{\text{RMS}}}{(\text{Noise} + \text{Distortion})_{\text{RMS}}} \right]$$

有效位数(ENOB)

ENOB表示一个ADC在特定输入频率和采样率下的总体精度。理想的ADC误差仅包括量化误差。输入范围等于ADC满量程范围时，由下式计算ENOB：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

总谐波失真(THD)

THD是输入信号前5次谐波的RMS之和与基波之比，可以用下式表示：

$$\text{THD} = 20 \times \log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right]$$

式中，V₁为基波幅值，V₂至V₅为2次至5次谐波幅值。

无杂散动态范围(SFDR)

SFDR是基波(信号成分最大值) RMS幅值与第二大频率成份的RMS值之比。

孔径延迟

孔径延迟(t_{AD})是从采样时钟沿至实际进行采样时刻之间的时间延迟。

孔径抖动

孔径抖动(t_{AJ})是采样之间的孔径延迟波动。

通道间隔离

通道间隔离表示每路模拟输入与其它通道之间的隔离度。通过向通道1至7施加直流电压，同时向通道0施加一个-0.4dBFS的60Hz正弦波，测量通道间隔离。对通道0和通道1进行10ksps FFT，通道间隔离是2路60Hz幅值的功率比，以dB为单位表示。

小信号带宽

向一个ADC施加一个小的-20dBFS模拟输入信号，同时确保信号的摆率不超过ADC性能限值。然后将输入频率提高至某个点，使数字转换结果的幅值降低3dB。

满功率带宽

将较大的-0.5dBFS模拟输入信号送入ADC，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为满功率输入带宽频率。

MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

正向满幅误差

经过失调误差修正后，16位器件理想输入电压 $32,766.5 \times (10/4.096) \times (V_{REF}/65,536)$ (或14位器件理想输入电压 $8190.5 \times (10/4.096) \times (V_{REF}/16,384)$)与导致16位器件FFFF至FFFF (或14位器件3FFE至3FFF) (十六进制) (默认偏移二进制格式)或16位器件7FFE至7FFF (或14位器件1FFE至1FFF) (十六进制) (二进制补码格式)最大码值转换的输入电压之差。

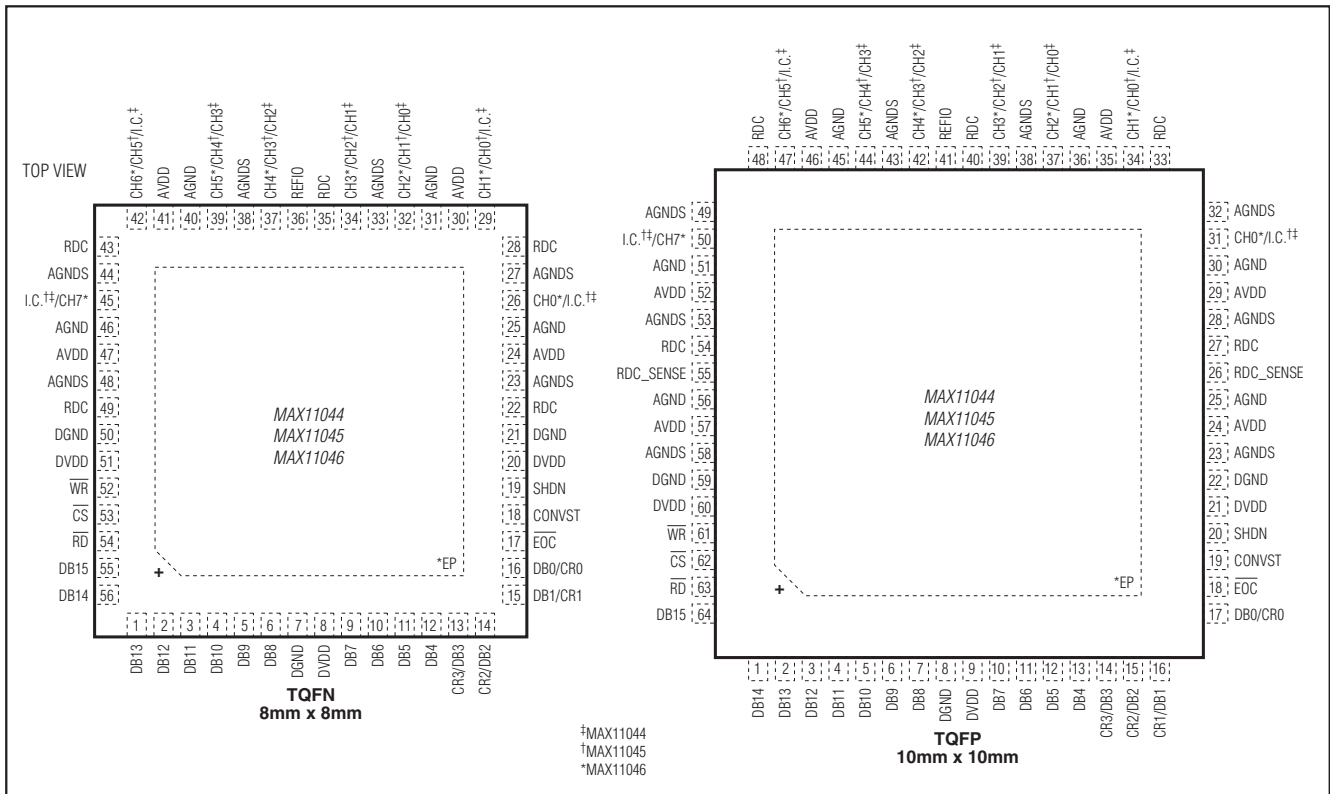
负向满幅误差

经过失调误差修正后，16位器件理想输入电压 $-32,767.5 \times (10/4.096) \times (V_{REF}/65,536)$ (或14位器件理想输入电压 $-8191.5 \times (10/4.096) \times (V_{REF}/16,384)$)与导致0000至0001 (十六进制) (默认偏移二进制格式)或16位器件8000至8001 (或14位器件2000至2001) (十六进制) (二进制补码格式)最小码值转换的输入电压之差。

芯片信息

PROCESS: BiCMOS

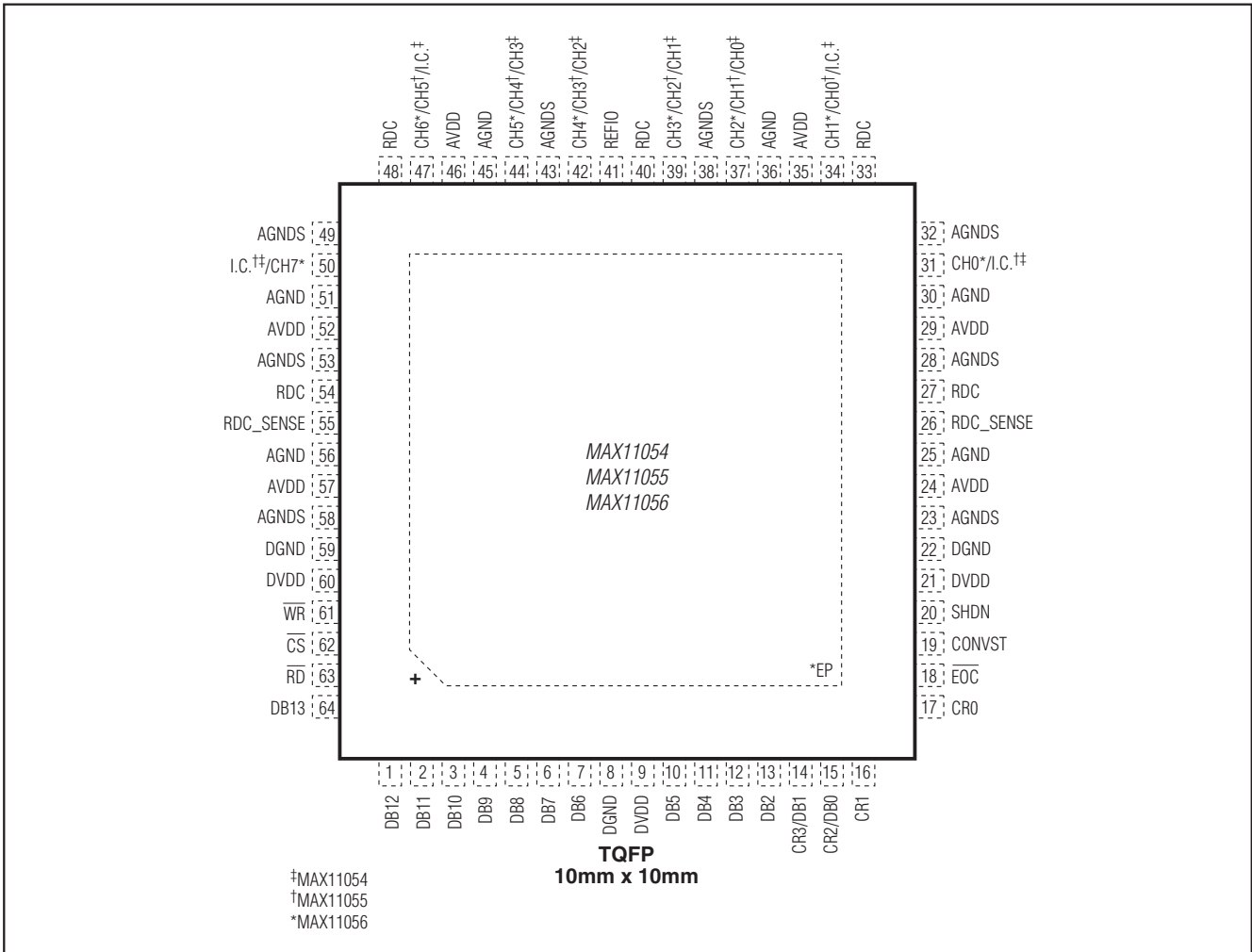
引脚配置



MAX11044–MAX11046 MAX11054–MAX11056

4/6/8通道、16/14位、同时采样ADC

引脚配置(续)



封装信息

如需最近的封装外形信息和焊盘布局(器件封装), 请查询 china.maxim-ic.com/packages。请注意, 封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
56 TQFN-EP	T5688+3	21-0135	90-0047
64 TQFP-EP	C64E+6	21-0084	90-0328

MAX11044–MAX11046 MAX11054–MAX11056 4/6/8通道、16/14位、同时采样ADC

修订历史

修订号	修订日期	说明	修改页
0	10/09	最初版本。	—
1	3/10	在数据资料中增加了TQFP封装。	1, 2, 8, 9, 19
2	5/10	增加了14位器件MAX11054/MAX11055/MAX11056。	1–4, 7, 9–26
3	9/10	格式修改，在 <i>Typical Operating Characteristics</i> 中规定了器件编号，修改了引脚名称，阐明了布局。	1, 3–8, 13–18, 22
4	10/10	发布了MAX11044、MAX11045和MAX11046的TQFP版本，修改了 <i>Electrical Characteristics</i> 、 <i>Typical Operating Characteristics</i> 和输入范围和保护部分。	1–8, 15
5	1/11	发布了MAX11054、MAX11055和MAX11056。修改了 <i>Electrical Characteristics</i> 和图8b、图9b。	1, 2, 4, 20

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010–6211 5199

传真：010–6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

87