



特点

- 支持双模差分工作模式
- 5.0V 工作电压
- 中频 AGC 有 65dB 的动态范围
- 内置双模前置频率合成器
- 频率合成器的前置分频比: 32/33
- 集电极开路输出
- SSOP-28 封装

描述

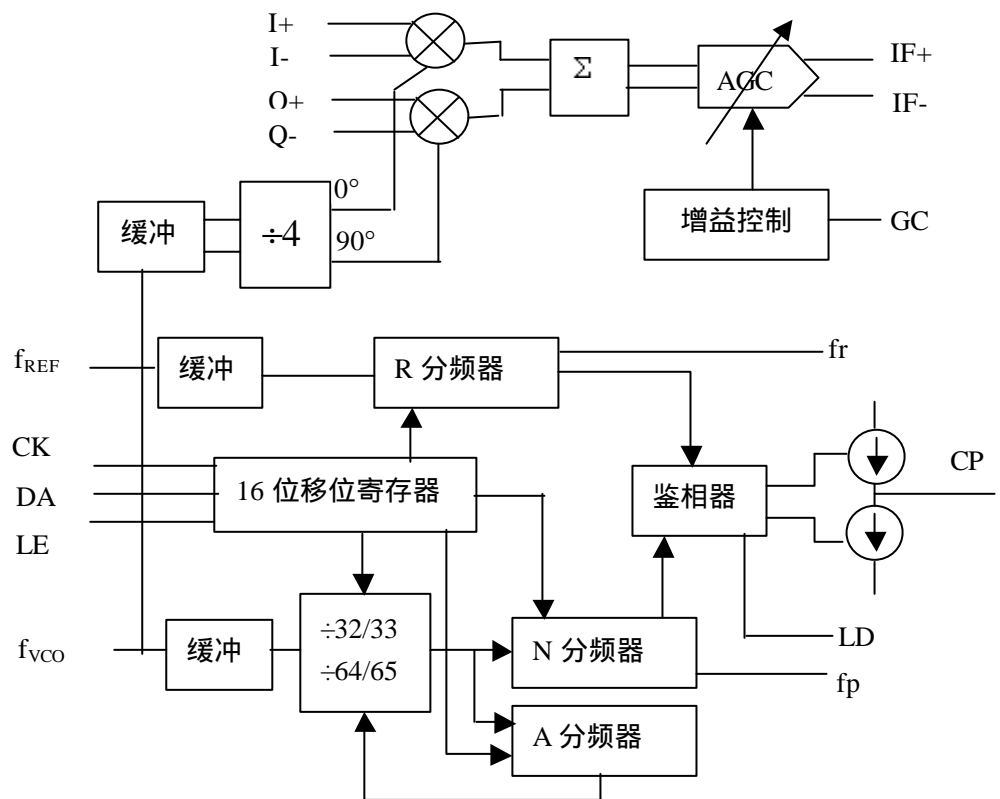
SW-202 该中频发射专用集成电路(ASIC)主要由中频 AGC 放大器、I/Q 正交解调器和中频锁相环组成，可广泛应用于双模 GSM、CDMA 蜂窝系统和 PCS 无线系统中。电路可用于调制正交 I、Q 信号，然后对调制后的信号进行放大，放大器的动态范围为 65dB；输出信号为带调制的中频信号；同时电路还有一个内置的双模前置频率合成器，可以产生调制所需的本振信号。

典型应用

- 双模 GSM、CDMA 蜂窝系统
- PCS 无线系统
- 蓝牙系统
- 信息家电

电路框图

见右图



SW-202 中频发射专用集成电路

电参数指标

参数名	符号	测试条件 $V_{CC}=5V$, $T_A=25^{\circ}C$, $f_{IF}=150MHz$, $V_{I/Q}=1.5V_{pp}$, $f_{I/Q}=100Hz$, IF 输出负载 50Ω	最小值	典型值	最大值	单位
I/Q 调制器和 AGC 参数						
I/Q 输入频率带宽		$F_{LO}=150MHz$, $P_{MOD}=-10\pm 1dBm$, $f_{I/Q}$ 信号在 $10Hz\sim 300kHz$ 之间均匀取 10 个频点, 分别测试。	10		10M	Hz
I/Q 输入电阻		单端输入	5			$k\Omega$
I/Q 输入直流参考电压 (ISIG、IREF、QSIG、QREF)			2.3	2.5	2.7	V
I/Q 输入幅度范围			1.2	1.5	1.8	V_{pp}
IF 输出频率范围			110	150	250	MHz
边带抑制		I/Q 同频正交, 幅度绝对差值调整到 $20mV$ 。	35	40		dBc
		I/Q 同频正交, 幅度绝对差值调整到 $60mV$ 。		30		dBc
载波抑制		I/Q 同频正交, 直流电平绝对差值调整到 $20mV$	40	50		dBc
		I/Q 同频正交, 直流电平绝对差值调整到 $60mV$		30		dBc
输出 IM3 抑制		I/Q 同频同相, IF 输出上下边带信号的互调	25	30		dBc
AGC 增益控制电压范围			0		5	V
AGC 增益控制端输入电阻			10	20		$k\Omega$
最大输出功率 (GSM 调制)		$V_{gc}=\text{Max}$, ISIG, QSIG 峰峰值为 I/Q 输入参考电压的一半 ($1.25V$) @100kHz	3	5		dBm
最小输出功率 (GSM 调制)		$V_{gc}=\text{Min}$, ISIG, QSIG 峰峰值为 I/Q 输入参考电压的一半 ($1.25V$) @100kHz			-65	dBm

输出噪声功率		I/Q 同频正交, 输出功率为 5dBm, 偏离调制信号 400K		-110		dBm/Hz
		I/Q 同频正交, 输出功率为 -55dBm, 偏离调制信号 400K		-140		dBm/Hz
输出功率精确度		$T_A = -20 \sim +85 \text{ }^\circ\text{C}$, 输出功率为 0dBm _o	-3		+3	dBc
		$f_{IF} = 110 \sim 250\text{M}$, 输出功率为 0dBm _o	-2		+2	dBc
PLL 参数描述						
PLL 频率范围			100		500	MHz
f_{VCO} 端输入电压范围			200		500	mVpp
f_{VCO} 端输入阻抗			1			K Ω
f_{REF} 端频率范围		典型值 13MHz		13	20	MHz
f_{REF} 端输入电压范围		OSCin	0.2			Vpp
鉴相频率			0.02	0.2	6	MHz
VIH		数字电路的门限	0.7Vcc			V
VIL		数字电路的门限			0.3Vcc	V
高电平输入电流 (Clock,Data,LE)	(VIH=Vcc=5.0V	-1.0		1.0	μA
低电平输入电流 (Clock,Data)		VIL=0V,Vcc=5.0V	-1.0		1.0	μA
低电平输入电流 (LE)		VIL=0V,Vcc=5.0V	-100		1.0	μA
参考频率端 f_{REF} 输入电流		VIH=Vcc=5.0V			100	μA
f_{REF} 端输入电流		VIH=Vcc=5.0V			100	μA
		VIL=0V,Vcc=5.0V	-100			μA
电荷泵输出电流		$I_{DO-source}, V_{DO} = V_{CC}/2$	1.8	2.5	3.2	mA
		$I_{DO-sink}, V_{DO} = V_{CC}/2$	-3.2	-2.5	-1.8	mA
电荷泵三态输出电流		设计保证(幅度太小,实际很难测试)	-10.0		10.0	nA
TCS		Data to Clock 建立时间	50			ns
TCH		Data to Clock 保持时间	10			ns
TCWH		Clock 高脉冲宽度	50			ns
TCWL		Clock 低脉冲宽度	50			ns
TES		Clock to Enable 建立时间	50			ns
TEW		Enable 脉冲时间	50			ns
时钟频率					5	MHz

SW-202 中频发射专用集成电路

参数名	符号	测试条件 $V_{CC}=5V$, $T_A=25^{\circ}C$, $f_{IF}=150MHz$, $V_{I/Q}=1.5V_{pp}$, $f_{I/Q}=100Hz$, IF 输出负载 50Ω	最小值	典型值	最大值	单位
电源电压及功耗						
电源电压			4.5	5.0	5.5	V
电流损耗					100	mA
工作环境温度			-20		+85	$^{\circ}C$
极限工作条件						
电源电压			-0.5		7	V
LO 输入最大功率					10	dBm
I/Q 最大输入电平					3	V _{pp}
保存温度			-40		+150	$^{\circ}C$

寄存器地址和字长

寄存器	功能	芯片地址 CA1/CA0	寄存器地址 RA1/RA0	寄存器字长
1	PLL N-计数器控制字	01	00	16
2	PLL R-计数器控制字	01	01	16
3	PLL A-计数器控制字	01	10	16
4	系统保留	01	11	16

PLL N计数器控制字

位	名称	值	功能
LSB	CA0	1	芯片地址
0			
1	CA1	0	寄存器地址
2	RA0	0	
3	RA1	0	PLL N 计数器
4	N0		
5	N1		
6	N2		
7	N3		
8	N4		
9	N5		
10	N6		
11	N7		
12	N8		前置分频器分频比
13	PRESC		
14	PDPOL		PLL 鉴频器相位检测极性选择
15		0	系统保留，强制为 0
MSB			

待机模式选择

位	值	功能
STANDBY1/2	00	Tx 待机状态, PLL 待机状态
	01	Tx 待机状态, PLL 工作状态
	10	Tx 工作状态, PLL 待机状态
	11	Tx 工作状态, PLL 工作状态

R 计数器控制字

位	名称	值	功能
MSB	CA0	1	芯片地址
0			
1	CA1	0	
2	RA0	1	寄存器地址
3	RA1	0	
4	R0		PLL R-计数器
5	R1		
6	R2		
7	R3		
8	R4		
9	R5		
10	R6		
11	R7		
12	R8		
13	STANDBY1		待机模式选择
14	STANDBY2		待机模式选择
15		0	系统保留，强制为 0
LSB			

前置分频器（双模分频器）的分频比选择

位	值	功能
PRESC	0	32/33
	1	64/65

PLL 鉴频器相位检测极性选择

位	值	功能
PDPOL	0	正极性
	1	负极性

A计数器控制字

位	名称	值	功能
LSB	CA0	1	芯片地址
0			
1	CA1	0	寄存器地址
2	RA0	0	
3	RA1	1	A 计数器
4	A0		
5	A1		
6	A2		
7	A3		
8	A4		
9	A5		
10		0	系统保留，强制为0
11		0	系统保留，强制为0
12		0	系统保留，强制为0
13		0	系统保留，强制为0
14		0	系统保留，强制为0
15		0	系统保留，强制为0
MSB			

N计数器分频比

分频比	N8	N7	N6	N5	N4	N3	N2	N1	N0
3	0	0	0	0	0	0	0	1	1
4	0	0	0	0	0	0	1	0	0
.
511	1	1	1	1	1	1	1	1	1

分频比为 3~511 (分频比不能小于 3)。

A计数器分频比

分频比	A5	A4	A3	A2	A1	A0
0	0	0	0	0	0	0
1	0	0	0	0	0	1
.
63	1	1	1	1	1	1

分频比为 0~63。

R 计数器（参考计数器）分频比

分频比	R8	R7	R6	R5	R4	R3	R2	R1	R0
3	0	0	0	0	0	0	0	1	1
4	0	0	0	0	0	0	1	0	0
·	·	·	·	·	·	·	·	·	·
511	1	1	1	1	1	1	1	1	1

分频比为 3~511（分频比不能小于 3）。

PLL 频率综合器的输出频率计算：

$$f_{vco} = \{[(P \times N) + A] / R\} \times f_{osc}$$

式中：[(P × N) + A] / R 是 PLL 环路的总分频比。

f_{vco} ：外部压控振荡器（VCO）的输出频率

P：前置分频器的分频比（32 或 64）

N：N 计数器的分频比（3~511）

A：A 计数器的分频比（0~63）

R：R 计数器（参考计数器）的分频比（3~511）

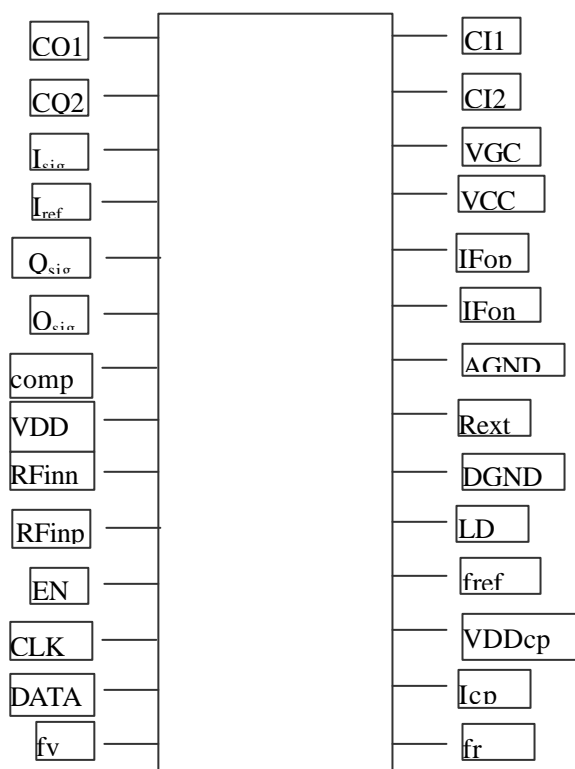
f_{osc} ：外部参考振荡器的输出频率

注：为保证 PLL 正确分频比，必须满足

$$A \leq N$$

电路封装

电路采用SSOP28封装。



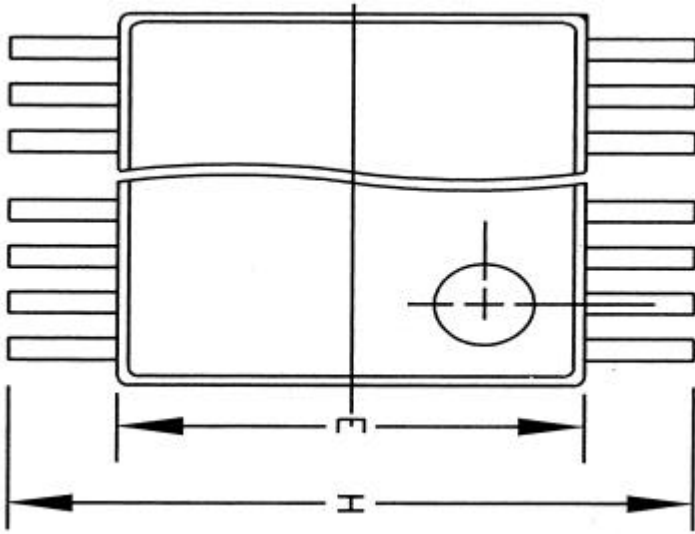
SW-202 管脚排列图

SW-202中频发射专用集成电路

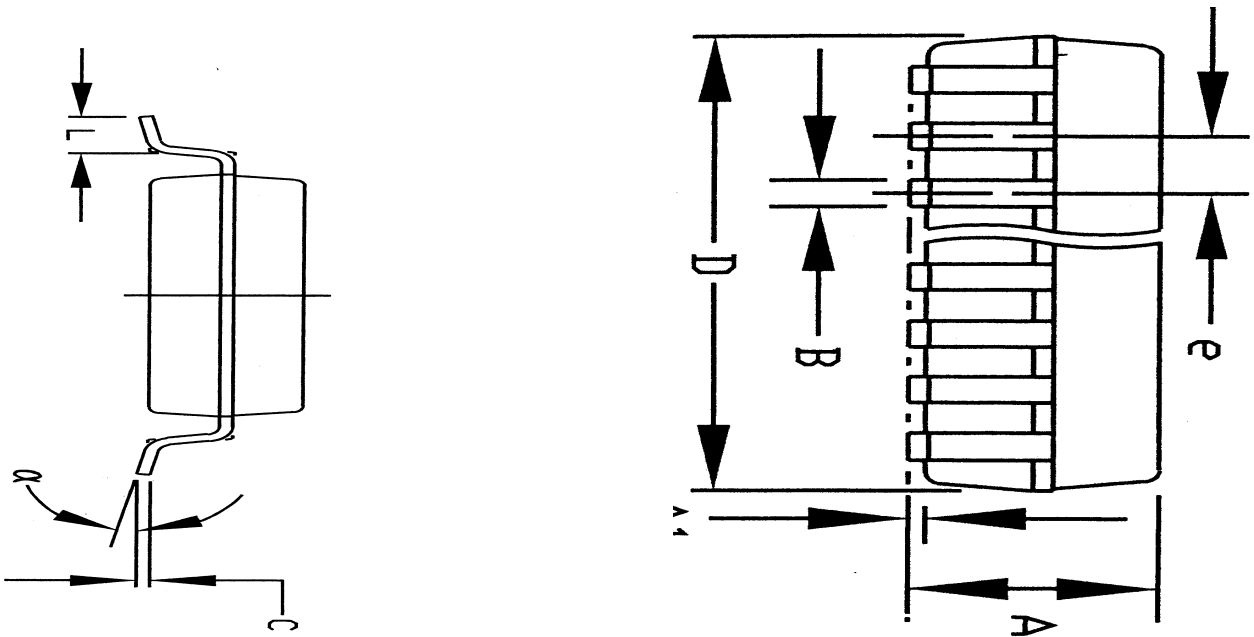
管脚功能描述

管脚号	符号	描述
1、2	CQ1 CQ2	Q 输入缓冲器外接电容端。外接电容为无极性电容，推荐值为 $1\mu\text{F}$ 。
3	I_{sig}	I 通道单端信号输入端。其 DC 偏置电压应与 I_{ref} 端相同。该端与 BB 输出直接耦合。信号幅度推荐值为 1.5V_{pp} 。
4	I_{ref}	I 通道直流参考电压输入端。与基带输出参考电压直接连接。推荐值为 2.5V 。 I_{ref} 与 I_{sig} 完全对称，可互换使用。同时两端也可以构成双端差分信号输入端口。
5	Q_{ref}	同管脚 4， I_{ref} 。
6	Q_{sig}	同管脚 3， I_{sig} 。
7	comp	内部基准外接滤波电容。推荐值为 $>1\mu\text{F}$ 的高频电容。
8	V_{DD}	数字电源端
9	RF_{inn}	PLL 的 VCO 输出差分信号负端
10	RF_{inp}	PLL 的 VCO 输出差分信号正端
11	EN	3wire 总线的使能端
12	CLK	3wire 总线的时钟端
13	DATA	3wire 总线的数据端
14	Fv	PLL 的 NA 计数器分频信号
15	Fr	PLL 的 R 计数器分频信号
16	I_{cp}	PLL 电荷泵电源端
17	V_{DDcp}	PLL 的电荷泵输出端
18	f_{ref}	PLL 的频率输入端
19	LD	PLL 的锁相指标检测信号输出端
20	DGND	数字电源负端
21	Rext	内部参考电流调节端。对地接 $10\text{k}\Omega$ 电阻。
22	AGND	模拟地端
23	IFon	中频双端输出负端，为低阻射极输出。
24	IFop	中频双端输出正端，为低阻射极输出。
25	Vcc	模拟电源正极。
26	V_{GC}	AGC 放大器增益控制电压输入端。增益控制电压通过串接一个电阻接入，电阻推荐值为 $4\text{k}\Omega$ 。
27	CI2	I 输入缓冲器外端电容端。电容选择同管脚 1、2。
28	CI1	

SW-202中频发射专用集成电路

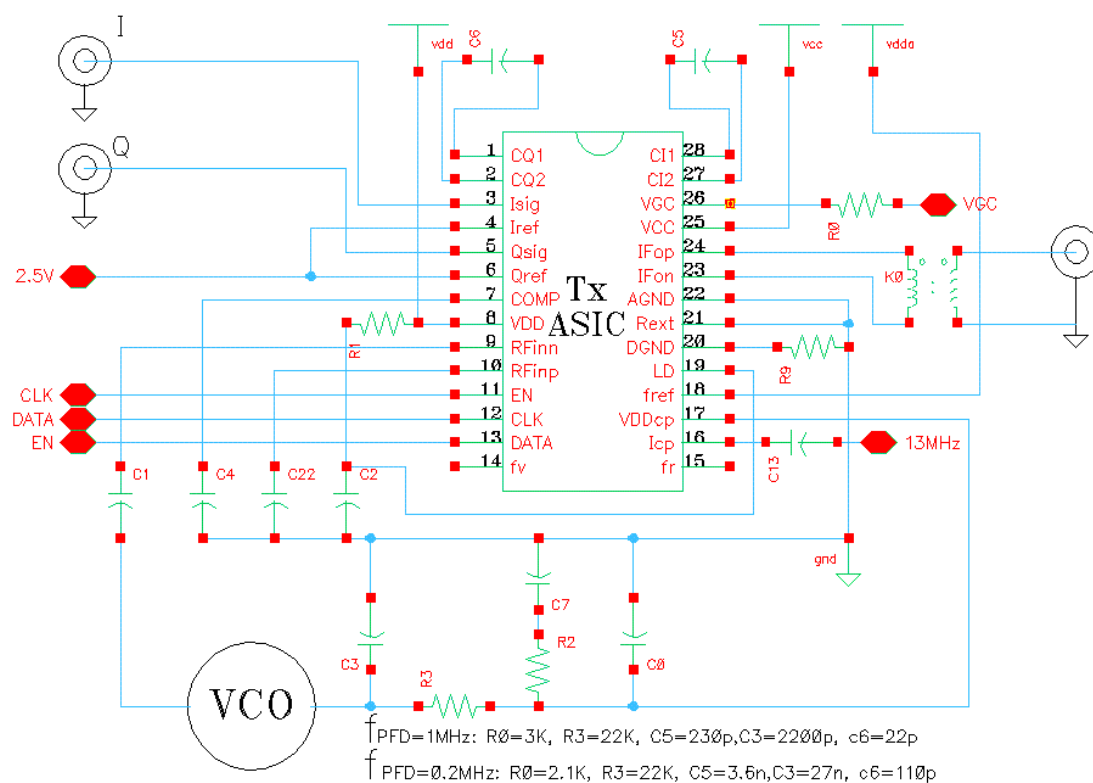


封装外形图



参数	英寸		毫米	
	最小	最大	最小	最大
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	0.397	0.407	10.07	10.33
E	0.205	0.209	5.20	5.38
e	0.0256	BSC	0.65	BSC
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
a	0	8	0	8

典型应用电路



西南集成电路设计有限公司

电话: (86 23) 62803074
 (86 23) 62836154-8588
 传真: (86 23) 62836149
 网址: <http://www.swid.com.cn>
 电邮: market@swid.com.cn