

**SANYO****三洋半導体開発ニュース**

No. N 6727

91400

**暫定規格**

# LC651306A/04A CMOS LSI 02A/01A 小規模制御用 4ビット1チップマイクロコンピュータ

**概要**

LC651306A/1304A/1302A/1301A は、当社 CMOS 4 ビット 1 チップマイクロコンピュータ LC6500 シリーズ内の小規模制御用機種であり、基本アーキテクチャおよび命令体系は同じになっている。8 チャンネル入力 8 ビット AD コンバータを内蔵し、従来、標準ロジックで構成していた回路、制御数の少ない応用を始めとして、それよりも規模の大きなデッキ、プレーヤなどの音響機器、事務機、通信機、自動車用機器、家電品など広い分野の応用に適している。

**特長**

- 1) CMOS 構造による低消費電力（命令によるスタンバイ機能付）
- 2) ROM/RAM
 

LC651306A	ROM: 6K × 8 ビット, RAM: 256 × 4 ビット
LC651304A	ROM: 4K × 8 ビット, RAM: 256 × 4 ビット
LC651302A	ROM: 2K × 8 ビット, RAM: 256 × 4 ビット
LC651301A	ROM: 1K × 8 ビット, RAM: 256 × 4 ビット
- 3) 命令セット：LC6500 シリーズ共通の 81 種
- 4) 2.5V ~ 6.0V の広い動作電源電圧
- 5) 0.92μs の命令サイクルタイム
- 6) シリアル I/O 内蔵
- 7) 柔軟性の高い I/O ポート
  - ・ポート数：5 ポート 最大 18 本
  - ・全ポート：入出力共通
 

入出力耐圧	15V max.	（オープンドレイン仕様の C, D のみ）
出力電流	20mA max.	シンク電流（LED 直接ドライブ可能）
  - ・システム仕様に合わせたオプションを選べる。
 

A. オープンドレイン出力、プルアップ抵抗付きの指定	：全ポート，ビット単位で指定
B. リセット時の出力レベルの指定	：ポート C，ポート D のそれぞれ 4 ビット単位で，H レベル，L レベルの指定
- 8) 割り込み機能
 

タイマオーバフローによるベクタ割り込み（命令によるテストも可）

INT 端子，またはシリアル I/O のフルエンピティによるベクタ割り込み（命令によるテストも可）
- 9) スタックレベル：8 レベル（割り込みと共用）
- 10) タイマ：4 ビット可変プリスケラ + 8 ビットプログラマブルタイマ

■本書記載の製品は、極めて高度の信頼性を要する用途（生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途）に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値（最大定格、動作条件範囲等）を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

## LC651306/04/02/01A

- 11) システム仕様に適したクロック発振オプション選択可能
  - ・発振回路オプション : 2 端子 RC 発振  
: 2 端子セラミック発振
  - ・分周回路オプション : 分周器なし, 1/3 分周器内蔵, 1/4 分周器内蔵
- 12) 方形波 ( サイクルタイムの 64 倍周期 ) の連続出力可能
- 13) AD コンバータ ( 逐次比較型 )
  - ・ 8 ビット精度 × 8 チャンネル
- 14) ウォッチドッグタイマ
  - ・ RC 時定数方式
  - ・ 外部端子にウォッチドッグタイマリセット機能をオプションで割り付け可能
- 15) 低電圧検出回路内蔵
  - ・ オプションにより, 内蔵可能
- 16) 外形
  - ・ DIP24S, MFP24S, SSOP24

機能一覧表

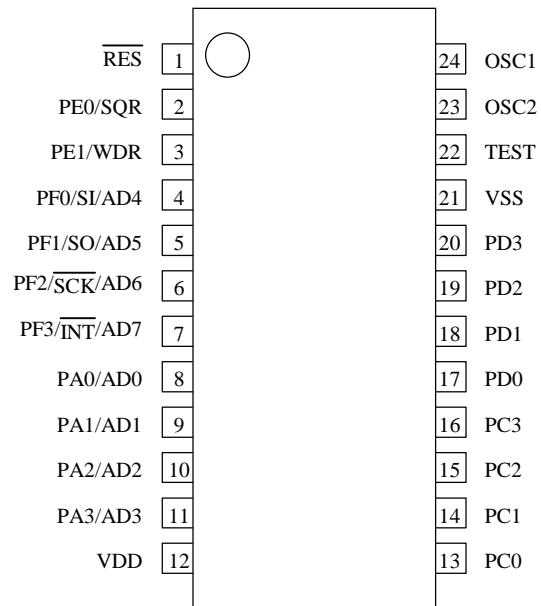
項 目		LC651306A/04A/02A/01A	LC651154F/1152F	LC651432F/1431F
メモ リ	ROM	6144 × 8 ビット(1306A) 4096 × 8 ビット(1304A) 2048 × 8 ビット(1302A) 1024 × 8 ビット(1301A)	4096 × 8 ビット(1154F) 2048 × 8 ビット(1152F)	2048 × 8 ビット(1432F) 1024 × 8 ビット(1431F)
	RAM	256 × 4 ビット (1306A/04A/02A/01A)	256 × 4 ビット(1154/1152F)	128 × 4 ビット(1432F) 64 × 4 ビット(1431F)
命 令	命令セット	81	80	80
	テーブル参照	有	有	有
内 蔵 機 能	割り込み	外部 1, 内部 1	外部 1, 内部 1	外部 1, 内部 1
	タイマ	4 ビット可変プリスケアラ + 8 ビットタイマ	4 ビット可変プリスケアラ + 8 ビットタイマ	4 ビット固定プリスケアラ + 8 ビットタイマ
	スタックレベル	8	8	4
	スタンバイ機能	HALT 命令によるスタンバイ有	HALT 命令によるスタンバイ有	HALT 命令によるスタンバイ有
入 出 力 ポ ー ト	ポート数	入出力 18 本	入出力 22 本	入出力 25 本 max
	シリアルポート	4/8 ビット入出力	4/8 ビット入出力	4/8 ビット入出力
	入出力耐圧	15V max.	15V max.	15V max.
	出力電流	10mA typ. 20mA max.	10mA typ. 20mA max.	10mA typ. 20mA max.
	入出力回路形式	オープンドレイン ( N チャンネル ) またはプルアップ抵抗付出力をビット毎に選択可能		
	リセット時出力レベル	“ H ” または “ L ” レベルをポート単位で選択可能 ( ポート C, D のみ )		
特 性	矩形波出力	可	可	可
	最小サイクルタイム	0.92μs (VDD 2.5V)	0.92μs (VDD 2.5V)	0.92μs (VDD 3V)
	電源電圧	2.5 ~ 6V	2.5 ~ 6V	3 ~ 6V
	電源電流	1.5mA typ.	2mA typ.	1.5mA typ.
発 振	発振子	RC (800Hz typ.) セラミック (400k, 800k, 1MHz, 4MHz)	セラミック 4MHz	セラミック 4MHz
	分周回路オプション	1/1, 1/3, 1/4	1/1	1/1
他	パッケージ	DIP24S MFP24S SSOP24	DIP30S-D MFP30S SSOP30	DIP30S-D MFP30S SSOP30
	ウォッチドッグタイ マ	有	有	無
	OTP	有 ( DIP24S MFP24S のみ )	有 ( DIP30S-D MFP30S のみ )	有 ( DIP30S-D MFP30S のみ )

注) 発振子および発振回路定数については, 推奨回路決定次第順次アナウンスしていくので, 開発進捗状況を必ず確認すること。

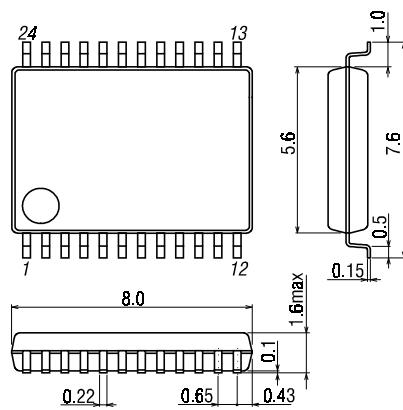
# LC651306/04/02/01A

## 端子配列

DIP24S・SSOP24・MFP24S



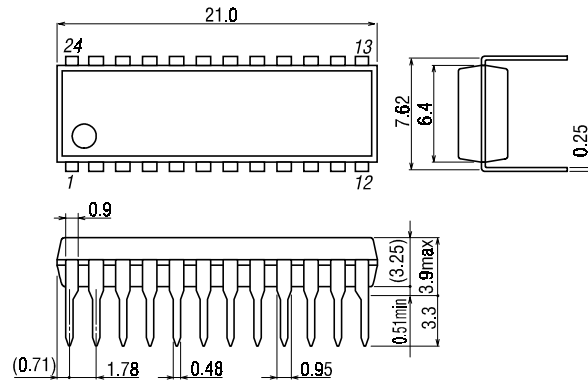
外形図 3175A (unit : mm)



SANYO : SSOP24 ( 275mil )

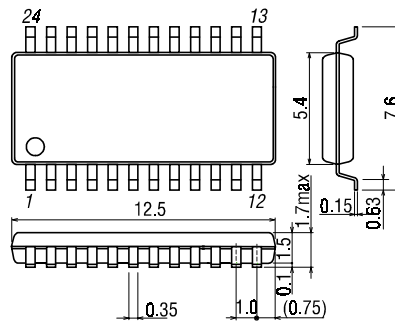
# LC651306/04/02/01A

外形图 3067A (unit : mm)



SANYO : DIP24S ( 300mil )

外形图 3112A (unit : mm)



SANYO : MFP24S ( 300mil )

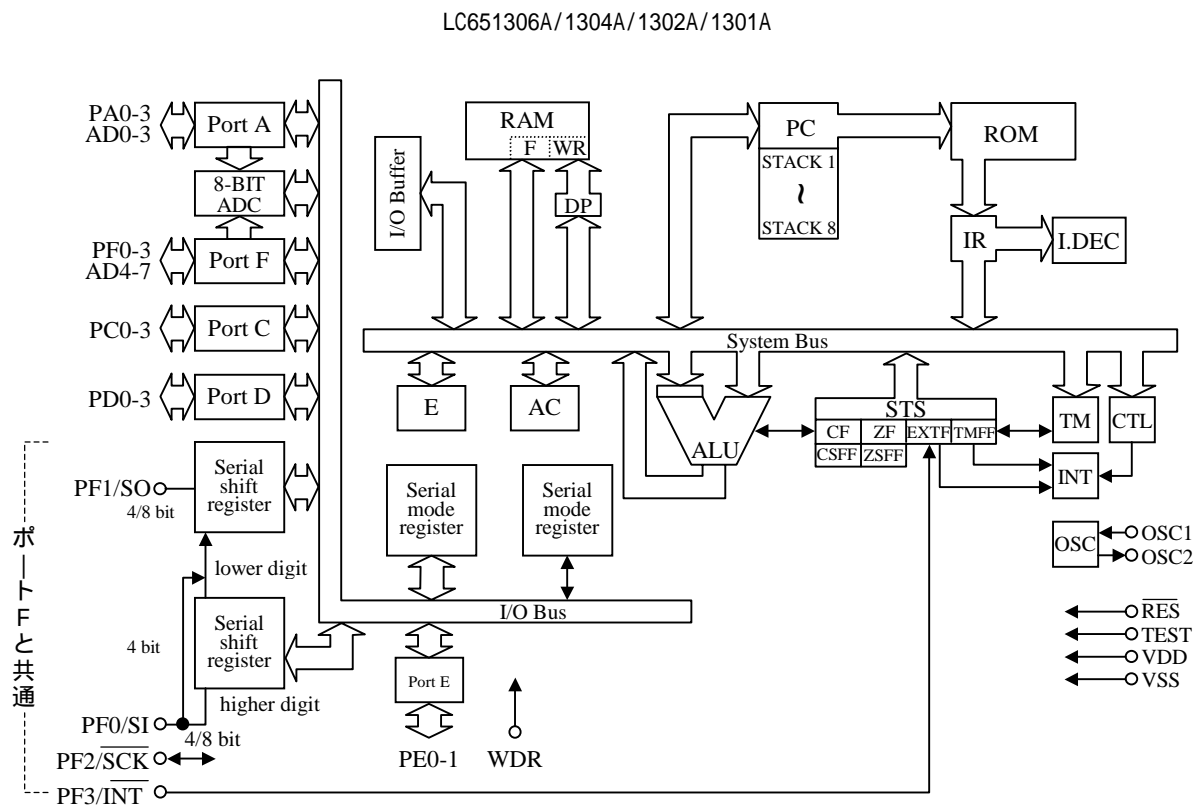
# LC651306/04/02/01A

端子名称

OSC1, OSC2	: OSC 用セラミック発振子, RC	TEST	: テスト
RES	: リセット	AD0-AD7	: AD コンバータアナログ入力
PA <sub>0-3</sub>	: 入出力共通ポート A <sub>0-3</sub>	SQR	: 矩形波出力
PC <sub>0-3</sub>	: 入出力共通ポート C <sub>0-3</sub>	WDR	: ウォッチドッグリセット端子
PD <sub>0-3</sub>	: 入出力共通ポート D <sub>0-3</sub>	INT	: 割り込み要求端子
PE <sub>0-1</sub>	: 入出力共通ポート E <sub>0-1</sub>	SI	: シリアル入力端子
PF <sub>0-3</sub>	: 入出力共通ポート F <sub>0-3</sub>	SO	: シリアル出力端子
		SCK	: シリアルクロック入出力端子

注) ・ SQR, WDR は PE<sub>0</sub>, PE<sub>1</sub> と共通端子。  
 ・ SI, SO, SCK および INT はそれぞれ PF<sub>0</sub> ~ PF<sub>3</sub> と共通端子。

## システムブロック図



RAM	: データ メモリ	ROM	: プログラム メモリ
F	: フラグ	PC	: プログラム カウンタ
WR	: ワーキングレジスタ	INT	: 割り込み制御
AC	: アキュムレータ	IR	: インストラクション レジスタ
ALU	: 論理演算ユニット	I. DEC	: インストラクション デコーダ
DP	: データ ポインタ	CF, CSF	: キャリーフラグ, キャリーセーブフラグ
E	: E レジスタ	ZF, ZSF	: ゼロフラグ, ゼロセーブフラグ
CTL	: コントロールレジスタ	EXTF	: 外部割り込み要求フラグ
OSC	: 発振回路	TMF	: 内部割り込み要求フラグ
TM	: タイマ		
STS	: ステータスレジスタ		

## LC651306/04/02/01A

### 開発サポート

LC651306/04/02/01 の開発にあたって、次のものを準備中です。

- ( 1 ) ユーザーズ・マニュアル  
「LC65F1306A/LC651300 シリーズ ユーザーズマニュアル」を参照する。
- ( 2 ) 開発ツールマニュアル  
「4ビットマイコン用 EVA86000 開発ツールマニュアル」を参照すること。
- ( 3 ) ソフトウェアマニュアル  
「LC65/66 シリーズ ソフトウェアマニュアル」
- ( 4 ) 開発ツール
  - a . プログラム開発用 ( EVA86000 システム )
  - b . プログラム評価用  
FLASH ROM 内蔵型マイコン <LC65F1306>

### 端子機能

名称	ピン	入出力	機能	オプション	リセット時	未使用時
VDD VSS	1 1	- -	電源	-	-	-
OSC1 OSC2	1 1	入力 出力	<ul style="list-style-type: none"> <li>・システムクロック発振用 RC, セラミック共振子外付け用端子</li> <li>・外部クロック入力時, OSC2 端子は開放</li> </ul>	2 端子 RC 発振, 外部クロック 2 端子セラミック発振分周オプション 1. 分周器なし 2. 1/3 分周 3. 1/4 分周	-	-
PA0-PA3/ AD0-AD3	4	入出力	<ul style="list-style-type: none"> <li>・入出力ポート A0~3 4ビット単位での入力 (IP 命令)</li> <li>・4ビット単位での出力 (OP 命令)</li> <li>・1ビット単位での判定 (BP, BNP 命令)</li> <li>・1ビット単位でのセット, リセット (SPB, RPB 命令)</li> <li>・PA3 はスタンバイのコントロールを行う</li> <li>・HALT 命令実行サイクル中は PA3 端子にチャタリングが入らないようにすること</li> <li>・4 端子とも機能兼用端子 PA0/AD0: AD コンバータ入力 AD0 PA1/AD1: AD コンバータ入力 AD1 PA2/AD2: AD コンバータ入力 AD2 PA3/AD3: AD コンバータ入力 AD3</li> </ul>	出力オープンドレインプルアップ付き, の指定はビット単位で可能	“ H ” 出力 (出力 Nch トランジスタ OFF)	オープンドレイン出力オプションを選択し, VSS へ接続する
PC0-PC3	4	入出力	<ul style="list-style-type: none"> <li>・入出力ポート C0~3 機能は PA0~3 と同じ (注)</li> <li>・リセット時の出力を, オプションで “ H ” または “ L ” に指定できる (注) スタンバイコントロールの機能はない</li> </ul>	出力オープンドレインプルアップ付き リセット時出力 “ H ” リセット時出力 “ L ” ・, の指定はビット単位 ・, の指定は4ビット一括	・ “ H ” 出力 ・ “ L ” 出力 (オプションによる)	PA0-3 と同じ
PD0-PD3	4	入出力	<ul style="list-style-type: none"> <li>・入出力ポート D0~3 機能, オプション共 P0-3 と同じ</li> </ul>	PC0-3 と同じ	PC0-3 と同じ	PA0-3 と同じ

LC651306/04/02/01A

名称	ピン	入出力	機能	オプション	リセット時	未使用時
PE0-PE1 /WDR	2	入出力	<ul style="list-style-type: none"> <li>入出力ポート E0~1 4ビット単位での入力 (IP 命令)</li> <li>4ビット単位での出力 (OP 命令)</li> <li>1ビット単位でのセット, リセット (SPB, RPB 命令)</li> <li>1ビット単位での判定 (BP, BNP 命令)</li> <li>PE0 は, 連続パルス(64Tcyc)出力機能付き</li> <li>PE1 はオプションによってウォッチドッグリセット端子 WDR となる</li> </ul>	出力オープン ドレイン プルアップ付き , の指定は ビット単位で可能 通常ポート PE1 ウォッチドッグリ セット WDR , の指定可能	“ H ” 出力 (出力 Nch トランジスタ OFF)	PA0-3 と 同じ
PF0/SI/AD4 PF1/SO/AD5 PF2/SCK/AD6 PF3/INT/AD7	4	入出力	<ul style="list-style-type: none"> <li>入出力ポート F0~3 機能, オプションは PE0~1 と 同じ (注)</li> <li>PF0~3 はシリアルインタ フェース, INT 入力と兼用にな っている プログラムによりどちらにする か選択できる SI...シリアル入力ポート SO...シリアル出力ポート SCK...シリアルクロック用 入出力 INT...割り込み要求入力 シリアル入出力の4ビット/ 8ビット切り換えはプログラ ムにより選択可 (注) 連続パルス出力機能はな い</li> <li>4 端子とも機能兼用端子 PF0/AD4:AD コンバ-タ入力 AD4 PF1/AD5:AD コンバ-タ入力 AD5 PF2/AD6:AD コンバ-タ入力 AD6 PF3/AD7:AD コンバ-タ入力 AD7</li> </ul>	PA0-3 と同じ	PA0-3 と同じ シリアルポートは デisable  割り込み ソースは INT	PA0-3 と 同じ
RES	1	入力	<ul style="list-style-type: none"> <li>システムリセット入力</li> <li>パワーアップリセットは, 外 付け C を接続。</li> <li>リセットスタートは, “ L ” レベルを4クロックサイクル以 上入力。</li> </ul>	-	-	-
TEST	1	入力	<ul style="list-style-type: none"> <li>LSI のテスト用端子 通常 VSS へ接続。</li> </ul>	-	-	必ず VSS へ接続す る。

# LC651306/04/02/01A

## 発振回路オプション

オプション名	回路	条件・その他
1. 外部クロック		OSC2 端子は開放
2. 2端子 RC 発振		
2. セラミック発振子		

## 分周器オプション

オプション名	回路	条件・その他
1. 分周器なし (1/1)		<ul style="list-style-type: none"> <li>発振周波数，外部クロックは 4330kHz をこえない</li> </ul>
2. 1/3 分周器内蔵		<ul style="list-style-type: none"> <li>外部クロックおよびセラミック発振の 2 つのオプションのみ適応</li> <li>発振周波数，外部クロックは 4330kHz をこえない</li> </ul>
3. 1/4 分周器内蔵		<ul style="list-style-type: none"> <li>外部クロックおよびセラミック発振の 2 つのオプションのみ適応</li> <li>発振周波数，外部クロックは 4330kHz をこえない</li> </ul>

注意：発振オプションおよび分周器オプションを次の表にまとめてある。充分注意すること。



# LC651306/04/02/01A

LC651306A/1304A/1302A/1301A の発振分周オプション表

回路形式	周波数	分周オプション (サイクルタイム)	VDD 範囲	備考
セラミック発振	400kHz	1/1(10 $\mu$ s)	2.5 ~ 6V	1/3, 1/4 分周での使用は できない
	800kHz	1/1(5 $\mu$ s)	2.5 ~ 6V	
		1/3(15 $\mu$ s)	2.5 ~ 6V	
		1/4(20 $\mu$ s)	2.5 ~ 6V	
1MHz	1/1(4 $\mu$ s)	2.5 ~ 6V		
	1/3(12 $\mu$ s)	2.5 ~ 6V		
	1/4(16 $\mu$ s)	2.5 ~ 6V		
4MHz	1/1(1 $\mu$ s)	2.5 ~ 6V		
	1/3(3 $\mu$ s)	2.5 ~ 6V		
	1/4(4 $\mu$ s)	2.5 ~ 6V		
2 端子 RC 発振回路による 外部クロック使用	200k ~ 4330kHz	1/1(20 ~ 0.92 $\mu$ s)	2.5 ~ 6V	
	600k ~ 4330kHz	1/3(20 ~ 2.77 $\mu$ s)	2.5 ~ 6V	
	800k ~ 4330kHz	1/4(20 ~ 3.70 $\mu$ s)	2.5 ~ 6V	
2 端子 RC	1/1 分周, 推奨定数で用いる。やむ を得ず, 推奨定数以外で用いる時 は, 外部クロックと同じ周波数, VDD 範囲を守って使用のこと		2.5 ~ 6V	
セラミック発振オプション での外部クロック使用	外部クロック駆動はできない。外部クロック駆動を行う場合は, 2 端子 RC 発振 オプションを指定すること			

リセット時のポート C, D 出力レベルオプション

入出力ポート C, D はそれぞれ 4 ビット一括で、リセット時の出力レベルを次の 2 つのオプションから選択できる。

オプション名	条件・その他
1. リセット時出力 “H” レベル	ポート C, D の 4 ビット一括
2. リセット時出力 “L” レベル	ポート C, D の 4 ビット一括

ポート出力形式オプション

入出力ポートは、個別に次の 2 つのオプションを選択できる (ビット単位)。

オプション名	回路	対象ポート
1. オープンドレイン出力		ポート A, C, D, E, F
2. プルアップ抵抗付き出力		

ウォッチドッグリセットオプション

PE1/WDR 端子をノーマルポート PE1 として使用するか、ウォッチドッグリセット用端子 WDR として使用するかオプション選択できる。

## LC651306/04/02/01A

### 1. 絶対最大定格 / Ta=25 , VSS=0V

項目	記号	条件	適用端子・備考	規格	unit
最大電源電圧	VDD max		VDD	-0.3 ~ +7.0	V
出力電圧	VO		OSC2	発生する電圧まで許容する	
入力電圧	VI(1)		OSC1 (注1)	-0.3 ~ VDD+0.3	
	VI(2)		TEST, RES AV+, AV-	-0.3 ~ VDD+0.3	
入出力電圧	VI0(1)	PC0 ~ 3, PD0 ~ 3	OD仕様のPort	-0.3 ~ +15	
	VI0(2)	PC0 ~ 3, PD0 ~ 3	PU仕様のPort	-0.3 ~ VDD+0.3	
	VI0(3)	PA0 ~ 3, PE0, 1, PF0 ~ 3		-0.3 ~ VDD+0.3	
ピーク出力電流	IOP		入出力Port	-2 ~ +20	mA
平均出力電流	IOA	1端子当たり 100ms間の平均	入出力Port	-2 ~ +20	
	IOA(1)	PC0 ~ 3, PD0 ~ 3 および, PE0 ~ 1の合計電流 (注2)	PC0 ~ 3 PD0 ~ 3 PE0 ~ 1	-15 ~ +100	
	IOA(2)	PF0 ~ 3 および, PA0 ~ 3の合計電流 (注2)	PF0 ~ 3 PA0 ~ 3	-15 ~ +100	
許容消費電力	Pd max(1)	Ta=-40 ~ +85 (DIPパッケージ)		310	mW
	Pd max(2)	Ta=-40 ~ +85 (MFPパッケージ)		220	
	Pd max(3)	Ta=-40 ~ +85 (SSOPパッケージ)		160	
動作周囲温度	Topr			-40 ~ +85	
保存周囲温度	Tstg			-55 ~ +125	

### 2. 許容動作範囲 / Ta=-40 ~ +85 , VSS=0V, VDD=2.5 ~ 6.0V (指定のない場合)

項目	記号	条件	適用端子・備考	規格			unit	
				min.	typ.	max.		
動作電源電圧	VDD		VDD	2.5		6.0	V	
スタンバイ電源電圧	VST	RAM, レジスタ保持 (注3)	VDD	1.8		6.0		
入力「H」レベル電圧	VIH(1)	出力 Nch Tr. オフ	OD仕様のPort C, D	0.7VDD		13.5		
	VIH(2)	出力 Nch Tr. オフ	PU仕様のPort C, D	0.7VDD		VDD		
	VIH(3)	出力 Nch Tr. オフ	Port A, E, F	0.7VDD		VDD		
	VIH(4)	出力 Nch Tr. オフ	OD仕様の $\overline{INT}$ $\overline{SCK}$ , SI	0.8VDD		VDD		
	VIH(5)	出力 Nch Tr. オフ	PU仕様の $\overline{INT}$ $\overline{SCK}$ , SI	0.8VDD		VDD		
	VIH(6)		VDD=1.8 ~ 6V	RES	0.8VDD			VDD
	VIH(7)		外部クロック仕様	OSC1	0.8VDD			VDD

LC651306/04/02/01A

項目	記号	条件		適用端子・備考	規格			
					min.	typ.	max.	unit
入力「L」 レベル電圧	VIL(1)	出力 Nch Tr. オフ	VDD=4 ~ 6V	Port	VSS		0.3VDD	V
	VIL(2)	出力 Nch Tr. オフ	2.5 ~ 6V	Port	VSS		0.25VDD	
	VIL(3)	出力 Nch Tr. オフ	VDD=4 ~ 6V	$\overline{\text{INT}}$ , $\overline{\text{SCK}}$ , SI	VSS		0.25VDD	
	VIL(4)	出力 Nch Tr. オフ	2.5 ~ 6V	$\overline{\text{INT}}$ , $\overline{\text{SCK}}$ , SI	VSS		0.2VDD	
	VIL(5)	外部クロック仕様	VDD=4 ~ 6V	OSC1	VSS		0.25VDD	
	VIL(6)	外部クロック仕様	2.5 ~ 6V	OSC1	VSS		0.2VDD	
	VIL(7)		VDD=4 ~ 6V	TEST	VSS		0.3VDD	
	VIL(8)		2.5 ~ 6V	TEST	VSS		0.25VDD	
	VIL(9)		VDD=4 ~ 6V	$\overline{\text{RES}}$	VSS		0.25VDD	
	VIL(10)		2.5 ~ 6V	$\overline{\text{RES}}$	VSS		0.2VDD	
動作周波数 (サイクルタイム)	fop (Tcyc)		VDD=2.5 ~ 6V		200 (20)		4330 (0.92)	kHz ( $\mu\text{s}$ )
外部クロック条件 周波数	text	図 1 .	VDD=2.5 ~ 6V	OSC1	200		4330	kHz
パルス幅	textH, textL		VDD=2.5 ~ 6V	OSC1	69			ns
立上り/立下り時間	textR, textF		VDD=2.5 ~ 6V	OSC1			50	
発振推奨定数 2 端子 RC 発振 セラミック発振 (注 4)	Cext Rext	図 2	VDD=2.5 ~ 6V	OSC1, OSC2		270 ± 5% 5.6 ± 1%		pF k $\Omega$
		図 3				表 1 参照		

## LC651306/04/02/01A

3. 電気的特性 / Ta=-40 ~ +85 , VSS=0V, VDD=2.5 ~ 6.0V (指定のない場合)

項目	記号	条件	適用端子・備考	規格			
				min.	typ.	max.	unit
入力「H」 レベル電流	I1H(1)	・出力 Nch トランジスタオフ 〔Nch トランジスタの オフリーク電流を含む〕 ・VIN=13.5V	オープンドレイン 仕様のポート C,D			5.0	μA
	I1H(2)	・出力 Nch トランジスタオフ 〔Nch トランジスタの オフリーク電流を含む〕 ・VIN=VDD	オープンドレイン 仕様のポート A,E,F			1.0	
	I1H(3)	外部クロック時, VIN=VDD	OSC1			1.0	
入力「L」 レベル電流	I1L(1)	・出力 Nch トランジスタオフ ・VIN=VSS	オープンドレイン 仕様のポート	-1.0			
	I1L(2)	・出力 Nch トランジスタオフ ・VIN=VSS	プルアップ付き 仕様のポート	-1.3	-0.35		mA
	I1L(3)	VIN=VSS	$\overline{RES}$	-45	-10		μA
	I1L(4)	外部クロック時, VIN=VSS	OSC1	-1.0			
出力「H」 レベル電圧	VOH(1)	・IOH=-50μA ・VDD=4.0 ~ 6.0V	プルアップ付き 仕様のポート	VDD-1.2			V
	VOH(2)	IOH=-10μA	プルアップ付き 仕様のポート	VDD-0.5			
出力「L」 レベル電圧	VOL(1)	・IOL=10mA ・VDD=4.0 ~ 6.0V	ポート			1.5	
	VOL(2)	IOL=1mA, 全ポートの IOL が各々 1mA 以下の時	ポート			0.5	
シュミット 特性	ヒステリシス電圧	VHIS	$\overline{RES}$ , $\overline{INT}$ , $\overline{SCK}$ , S I シュミット仕様 時の OSC1 (注5)		0.1VDD		
	Hレベルシュミット電圧	VtH		0.4VDD		0.8VDD	
	Lレベルシュミット電圧	VtL		0.2VDD		0.6VDD	
消費電流 (注 6)  2端子RC発振 セラミック発振  外部クロック  スタンバイ時	IDDOP(1)	・動作時, 出力 Nch Tr. オフ ・ポート=VDD ・図2 fosc=800kHz (TYP)	VDD		1.5	4	mA
	IDDOP(2)	・図3 4MHz, 1/1分周	VDD		2.0	6	
	IDDOP(3)	・図3 4MHz, 1/3分周	VDD		1.5	5	
	IDDOP(4)	・図3 4MHz, 1/4分周	VDD		1.5	4	
	IDDOP(5)	・図3 400kHz	VDD		1.0	2.5	
	IDDOP(6)	・図3 800kHz	VDD		1.5	4	
	IDDOP(7)	・200kHz ~ 4330kHz, 1/1分周			2.0	6	
	IDDOP(8)	・600kHz ~ 4330kHz, 1/3分周 ・800kHz ~ 4330kHz, 1/4分周	VDD		1.5	5	
IDDst	出力 Nch Tr. オフ VDD=6V ポート=VDD VDD=2.5V	VDD VDD		0.05 0.025	10 5	μA	

# LC651306/04/02/01A

項目	記号	条件	適用端子・備考	規格			
				min.	typ.	max.	unit
発振特性 セラミック発振 発振周波数	fCFOSC (注7)	・図3 fo=400kHz	OSC1,OSC2	392	400	408	kHz
		・図3 fo=800kHz	OSC1,OSC2	784	800	816	
		・図3 fo=1MHz	OSC1,OSC2	980	1000	1020	
発振安定時間 (注8)	tCFS	・図4 fo=400kHz ・図4 fo=800kHz, 1MHz, 4MHz, 1/1分周, 1/3分周, 1/4分周				10 10	ms
2端子RC発振 発振周波数	fMOSC	・図2 Cext=270pF ± 5% ・図2 Rext=5.6kΩ ± 1%	OSC1,OSC2	587	800	1298	kHz
ブルアップ抵抗 I/Oポート RES	RPP	・出力 Nch Tr. オフ ・VIN=VSS VDD=5V	PU仕様のPort	8	14	30	kΩ
	Ru	VIN=VSS VDD=5V	RES	200	500	800	
外部リセット特性 リセット時間	tRST				図5参照		
端子容量	Cp	・f=1MHz ・被測定端子以外 VIN=VSS			10		pF
シリアルクロック 入力クロック サイクルタイム	tCKCY(1)	図6	SCK	2.0			μs
	出力クロック サイクルタイム	tCKCY(2)	図6	SCK		64 × TCYC (注9)	
	入力クロック 「L」レベル パルス幅	tCKL(1)	図6	SCK	0.6		
	出力クロック 「L」レベル パルス幅	tCKL(2)	図6	SCK		32 × TCYC	
	入力クロック 「H」レベル パルス幅	tCKH(1)	図6	SCK	0.6		
	出力クロック 「H」レベル パルス幅	tCKH(2)	図6	SCK		32 × TCYC	
	シリアル入力 データセット アップ時間	tICK	・SCKのに対して規定する ・図6	SI	0.2		
データ ホールド時間	tCKI	SI		0.2			
シリアル出力 出力遅延時間	tCKO	・SCKのから規定する ・Nch ODのみ外付け 1kΩ 外付け 50pF ・図6	SO			0.4	

# LC651306/04/02/01A

項目	記号	条件	VDD[V]	適用端子・備考	規格			
					min.	typ.	max.	unit
パルス出力 周期 「H」レベル パルス幅 「L」レベル パルス幅	tPCY	・図7		PE0		64 × TCYC		μs
	tPH	・TCYC=4 × システム クロック		PE0		32 × TCYC ± 10%		
	tPL	・Nch OD のみ外付け 1kΩ 外付け 50pF		PE0		32 × TCYC ± 10%		
A/D変換特性	分解能		3 to 6			8		bit
	絶対精度	AV <sub>+</sub> =VDD AV <sub>-</sub> =VSS				± 1	± 2	LSB
	変換時間	TCAD	AD スピード 1/1 26*TCYC の時			24 (TCYC= 0.92μs)	312 (TCYC= 12μs)	μs
			AD スピード 1/2 51*TCYC の時			47 (TCYC= 0.92μs)	612 (TCYC= 12μs)	
	アナログ入 力電圧範囲	VAIN			AD0 ~ AD7	VSS	VDD	V
	アナログ ポート入力 電流	IAIN	出力オフリーク電流を 含む VAIN=VDD VAIN=VSS		AD0 ~ AD7 (入出力共通 ポートは OD 仕 様)		1	μA
				-1				
ウォッチ ドッグタイ マ	推奨定数 (注10)	Cw	3 to 6	WDR		0.1 ± 5%	μF	
		Rw		WDR		680 ± 1%	kΩ	
		RI		WDR		100 ± 1%	Ω	
	クリア時間 (ディスチャ ージ)	tWCT	図8参照	WDR	100		μs	
	クリア周期 (チャージ)	tWCCY	図8参照	WDR	36		ms	
	推奨定数 (注10)	Cw	2.5 to 6	WDR		0.01 ± 5%	μF	
		Rw		WDR		680 ± 1%	kΩ	
		RI		WDR		100 ± 1%	Ω	
	クリア時間 (ディスチャ ージ)	tWCT	図8参照	WDR	10		μs	
	クリア周期 (チャージ)	tWCCY	図8参照	WDR	4.2		ms	

- (注1) 図3の発振回路および推奨定数で内部発振させた場合、発生する発振振幅まで許容するものとする。
- (注2) 100ms間の平均
- (注3) HALT 命令を実行してスタンバイ状態となるまでは必ず動作電源電圧 VDD を保持すること。また、HALT 命令実行サイクル中は、PA3 端子にチャタリングが入らないようにする。
- (注4) 弊社指定の発振特性評価基板を用いて、発振子メーカによって安定に発振することを確認された推奨回路定数。
- (注5) OSC1 は発振オプションで2端子 RC 発振、外部クロック発振を選択した時にシュミット仕様になる。
- (注6) 弊社の特性評価基板を使い、推奨回路定数を外付けしたときの測定結果であり、LSI の出力トランジスタとプルアップ抵抗付トランジスタに流れる電流を含みません。
- (注7) fCFOSC は表1の推奨回路定数を外付けしたときの周波数を示す。
- (注8) VDD が動作電源電圧範囲の下限を上回ってから、発振が安定するまでに必要な時間を示す(図4参照)。
- (注9) TCYC=4 × システムクロック周期
- (注10) 結露しやすい環境下で使用される場合は、PE1 と隣接する端子とのリークや外付け RC 定数のリーク等に十分注意して下さい。

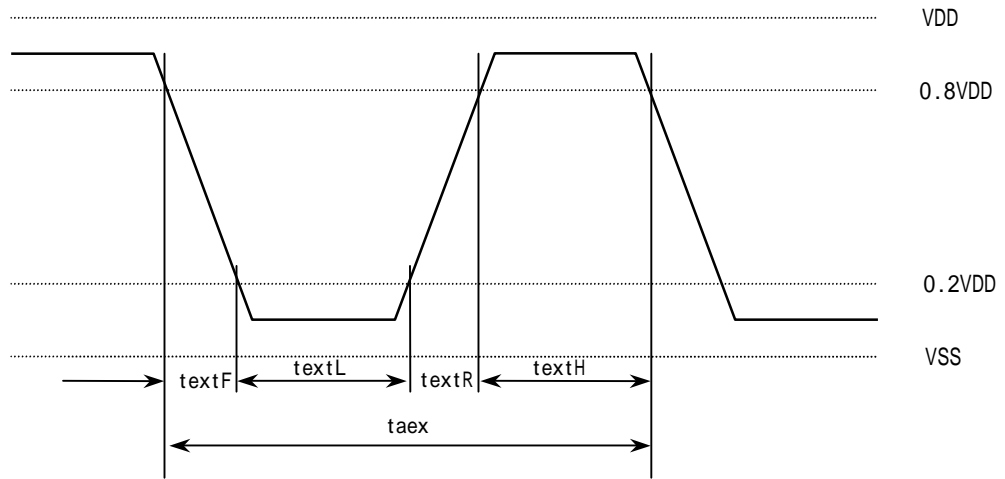
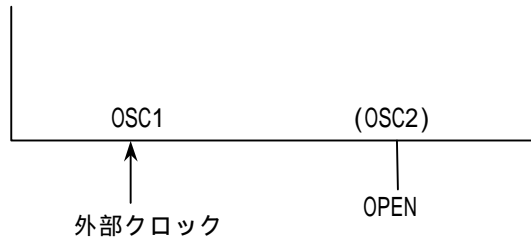


図1 外部クロック入力波形

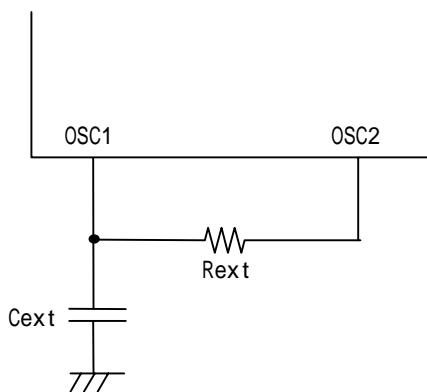


図2 2端子RC発振回路

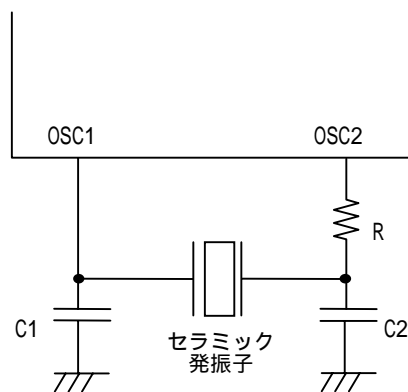


図3 セラミック発振回路



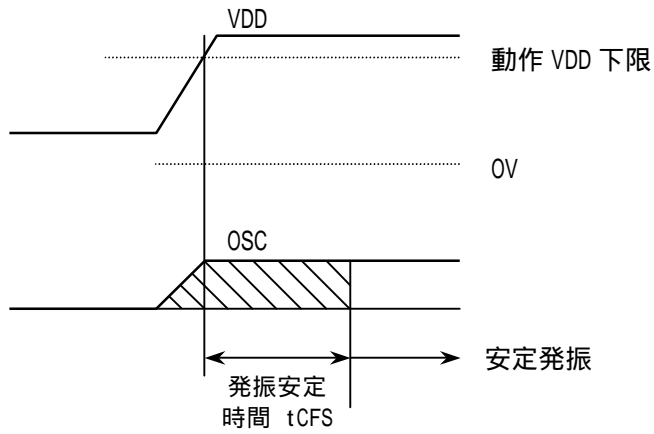


図4 発振安定時間

表1 セラミック発振推奨定数

評価後記載

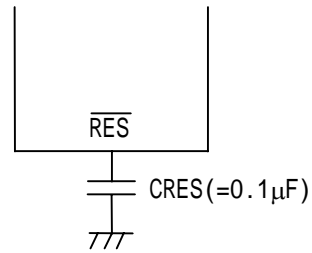


図5 リセット回路

(注) 電源の立ち上がり時間がゼロの時、  
 CRES=0.1μF にてリセット時間は  
 10ms ~ 100ms となる。  
 電源の立ち上がり時間が大きい場合、  
 必ずリセット時間が 10ms 以上となる  
 よう CRES の値を増加する。

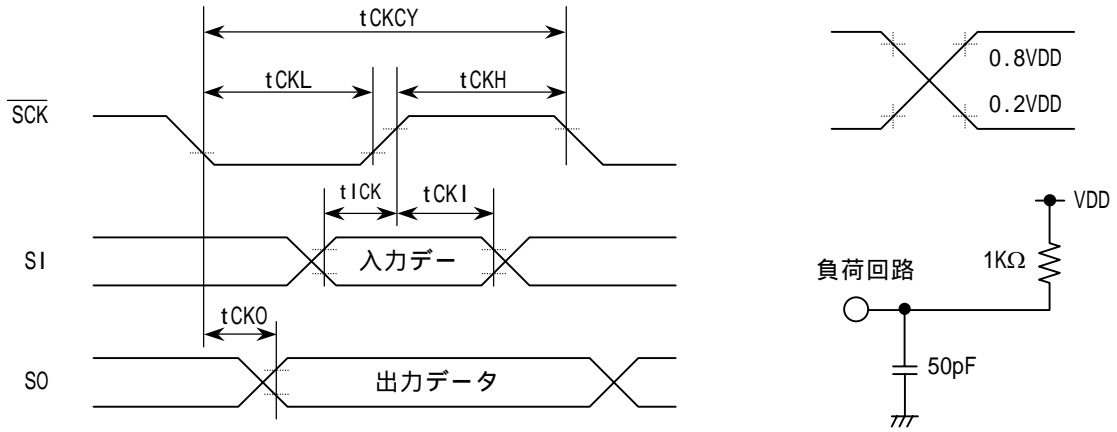


図6 シリアル入出力タイミング

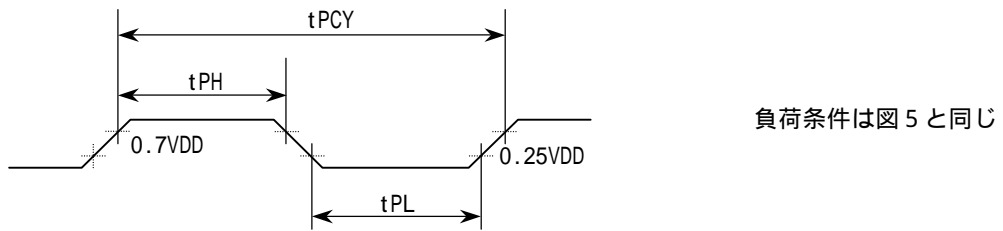
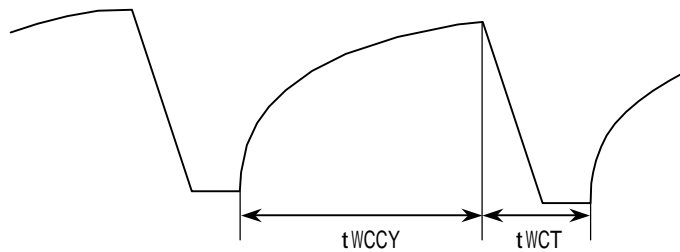
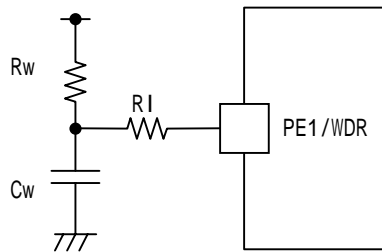


図7 ポート PE0 パルス出力タイミング



$t_{WCCY}$ : 外付け  $C_w, R_w, R_I$  時定数によるチャージ時間  
 $t_{WCT}$ : プログラム処理によるディスチャージ時間

図8 ウォッチドグタイマ波形

LC651306A/1304A/1302A/1301A の RC 発振特性

評価後記載

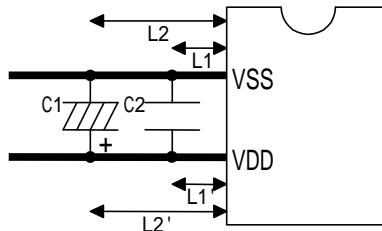
**基板作成におけるお願い**

本機種を使用する量産セットとしての基板を設計する上で、マイコンの視点から捉えたノイズに関する注意事項及びその対策例を示します。これらは、ノイズを要因とする不具合(マイコンの誤動作やプログラムの暴走など)を防止・回避する上で、有効な設計手法です。

**1. (VDD, VSS : 電源端子)**

VDD ~ VSS 端子間には、以下の条件を満たすようにコンデンサを挿入する。

- ・ VDD, VSS 端子から各コンデンサ C1, C2 間までの配線長は、できるだけ等しく ( $L1=L1'$ ,  $L2=L2'$ )、かつ最短とする。
- ・ コンデンサは大容量のもの C1 と小容量のもの C2 を並列に挿入する。
- ・ VDD, VSS の各パターンは、他のものより太くする。



**2. (OSC1, OSC2 : クロック入出力端子)**

**セラミック発振オプション選択時 : (図 2 - 1)**

- ・ クロック入出力端子(入力 : OSC1, 出力 : OSC2)と外付け部品との配線長 ( $L_{osc}$ ) はできるだけ短くする。
- ・ 発振子に接続したコンデンサ (VSS 側) とマイコンの VSS 端子までの配線長 ( $L_{vss} + L1[L2]$ ) はできるだけ短くする。
- ・ 発振回路で使用される VSS と他の VSS は、できるだけ端子に近いところから分離する。
- ・ 発振定数(コンデンサ C1, C2, 制限抵抗  $R_d$  等)はセット基板の配線容量等により、本カタログの推奨定数を変更して周波数の調整が必要になる場合があるので、発振子メーカーとよく相談の上ご使用下さい。

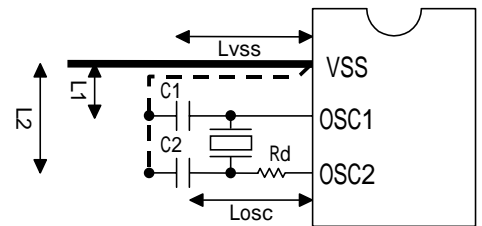


図 2 - 1 . 発振回路例 1 (セラミック発振の場合)

**2 端子 RC 発振オプション選択時 : (図 2 - 2)**

- ・ クロック入出力端子(入力 : OSC1, 出力 : OSC2)と外付け部品(コンデンサ  $C_{ext}$ , 抵抗  $R_{ext}$ )との配線長 ( $L_{osc}$ ) はできるだけ短くする。
- ・ 発振子に接続したコンデンサ (VSS 側) とマイコンの VSS 端子までの配線長 ( $L_{vss} + L_c$ ) はできるだけ短くする。
- ・ 発振回路で使用される VSS と他の VSS は、できるだけ端子に近いところから分離する。

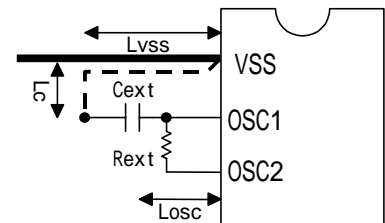


図 2 - 2 . 発振回路例 2 (2 端子 RC 発振の場合)

**外部発振オプション選択時 : (図 2 - 3)**

- ・ クロック入力端子 (OSC1) と外部発振器との配線長 ( $L_{osc}$ ) はできるだけ短くする。
- ・ クロック出力端子 (OSC2) は開放にする。
- ・ 外部発振器にて使用する VDD, VSS の配線長 ( $L_{osc}$ ) もできるだけ短くする。

**他共通の注意事項 :**

- ・ 変化が急峻な信号、中耐圧ポートにつながる振幅が大きな信号、大きな電流が流れる信号等は、できるだけ発振回路から遠ざけるようにし、クロックに関連した配線との交差をさせないようにする。

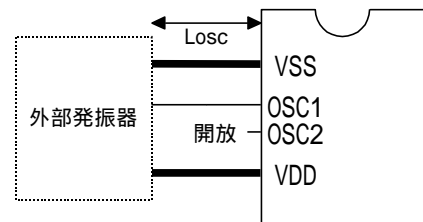


図 2 - 3 . 発振回路例 3 (外部発振の場合)

3. ( $\overline{\text{RES}}$  : リセット端子)

- ・ RES 端子から外付け回路へ接続する配線長(Lres)はできるだけ短くする。
- ・  $\overline{\text{RES}}$  ~ VSS 間に挿入するコンデンサ(Cres)までの配線長(L1, L2)はできるだけ短くする。

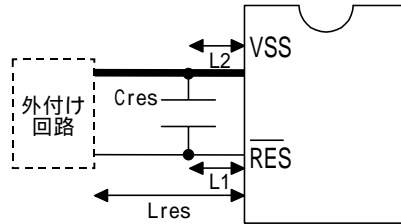


図 3 . RES 端子の配線例

4. (TEST : テスト用端子)

- ・ TEST ~ VSS 端子間の接続の配線長(L)はできるだけ短くする。
- ・ TEST ~ VSS 端子間の配線は、できるだけ VSS 端子の近いところから行う。

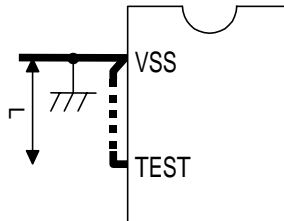


図 4 . TEST 端子の配線例

5. (AD0 ~ AD7 : アナログ入力端子)

AD コンバータ入力端子やコンパレータ入力端子などに代表されるアナログ入力端子の配線は、以下の条件を満たすように接続する。

- ・ 制限抵抗(RI)とアナログ入力端子までの配線長(L1)はできるだけ短くする。
- ・ アナログ入力端子と AV- (AD 変換用基準電圧入力端子)端子間に挿入するコンデンサ(C)は、できるだけ AV- 端子に近くする [配線長(L1+L2)を短くする]。

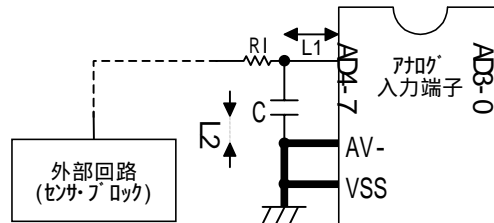


図 5 . アナログ入力端子の配線例

6. (入出力端子)

本機種の全端子は入出力共通となっております。

- ・ 入力として使う場合は制限抵抗を挿入し、かつその端子までの配線長はできるだけ短くする。
- [ 補足 ] 基板設計だけでなく、下記に示すマイコンのオプション形式の選択、プログラム仕様を考慮することで、マイコンの不具合(誤動作・暴走等)を防止・回避するのに有効となります。
- ・ マイコンの電源が不安定で外部からの信号を入力するような場合、その入力端子に対して出力形式オプションを中耐圧(N-ch オープンドレイン)出力とし、さらに制限抵抗を端子近くに挿入する。
- ・ 外部信号を端子から入力する場合は、必ずキーのチャタリング除去処理を行う。
- ・ 端子の出力データは、定期的に出力命令(OP, SPB)で端子に再出力する。
- ・ 入出力共通端子において端子に入力されるデータを読むには、出力命令(OP, SPB)により、その都度出力の値を“ 1 ”にしておく。

7. (未使用端子)

- ・ 機種毎のユーザーズマニュアル、または半導体開発速報の端子機能をご覧ください。

この資料の情報は一例を示すもので、量産セットとしての設計を保証するものではありません。従って実際の設計(回路定数の選定を含む)にあたり、本資料を参考の上、十分なシステム評価・検討をお願い致します。

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。