

MN50000 Series

CMOS ゲートアレイ / CMOS Gate Arrays

■ 概要

MN50000 シリーズは、2層 Al 配線を用いたマスタスライス方式による CMOS ゲートアレイです。

マスタチップには、ベーシックセルと、I/O セルが配置されています。LSI 開発に当たっての論理設計から試作評価まで、統一化された CAD システムによってフルサポートされていますので、短期間に確実なオリジナル LSI 開発が可能です。

■ Description

The MN50000 Series are CMOS Gate Arrays which use the Master slice system with double-layer aluminum wiring.

The master chip contains basic cells and input/output cells. Every process of LSI development from logic design to product evaluation is fully supported by an integrated CAD system, thus providing reliable original LSI development in a short period of time.

■ 特徴

- 高集積
- CAD システムによるフルサポート
- 安価な開発費
- 短期開発
- 豊富な論理セル
- 豊富な入出力形式
- インタフェース論理レベルは、標準 TTL および CMOS 対応可能
- 全ピンとも入力/出力/入出力共通が選択可能
- 出力形式はオープンドレイン / 3 ステートが選択可能
- 水晶発振回路、シュミット回路ともに搭載可能
- 高速動作……3.5ns/ゲート(内部ゲート)
(F.O=3, 配線長 L=3mm)
- 広い動作電源電圧範囲……2~6V
- 大出力電流……4mA(at5V)保証
- キメ細かなサービス体制

■ ゲートアレイ・マスタスライスファミリ

形名	MN50003	MN50005	MN50007	MN50010	MN50015	MN50020	MN50030	MN50040	
ゲート数	312	520	730	1008	1530	2014	3003	4008	
最大信号端子数	入力	32	40	50	58	72	84	110	128
	出力	32	40	50	58	72	84	110	128
	合計	32	40	50	58	72	84	110	128
電源端子	2	2	2	4	4	4	8	8	
パッケージ*	DIP	16,22,28,40	22,28,40,42	22,28,40	28,40	40	40	—	—
	SDIP	28,40	28,40	28,40,64	40,64	40,64	40,64	64	64
	FLP	40	40	40,64	40,64	40,64,84	40,64,84	64,84,100	64,84,100
	SO	20,28	28	—	—	—	—	—	—
	PIP	—	—	—	—	88	88	88,100,144	88,100,144

*DIP=Dual-In-Line Plastic Package, SDIP=Shrunk Dual-In-Line Plastic Package, FLP=Flat Package, SO=Small Outline (PANAFLAT Package), PIP=Plug in Package

■ 代表特性例 MN50015

● 絶対最大定格 / Absolute Maximum Ratings ($T_a=25^{\circ}\text{C}$)

Item	Symbol	Rating	Unit
電源電圧	V_{DD}	$-0.3 \sim +7.0$	V
入力電圧	V_I	$-0.3 \sim V_{DD} + 0.3$	V
出力電圧	V_O	$-0.3 \sim V_{DD} + 0.3$	V
出力電流	I_O	± 20	mA
許容損失	P_D	500	mW
保存温度	T_{stg}	$-55 \sim +150$	$^{\circ}\text{C}$

● 推奨動作条件 / Operating Conditions

Item	Symbol	Rating	Unit
動作電源電圧	V_{DD}	4.5 ~ 5.5	V
動作温度	T_{opr}	$-20 \sim +75$	$^{\circ}\text{C}$
クロック周波数	f_{max}	15	MHz

● DC 特性 / DC Characteristics ($V_{DD}=5V \pm 10\%$, $V_{SS}=0$, $T_{opr} = -20 \sim +75^{\circ}\text{C}$)

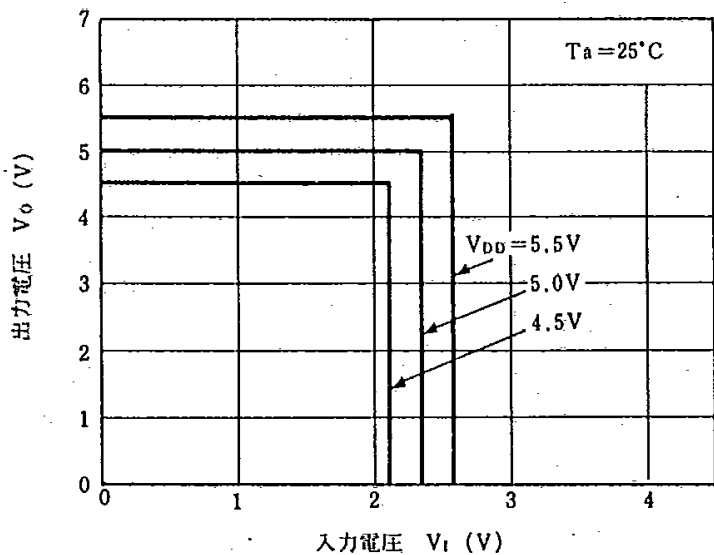
Item	Symbol	Condition	min.	typ.	max.	Unit
静止電源電流	I_{DDs}	$V_I = V_{DD}$ or V_{SS} , $X_I = V_{DD}$			120	μA
動作電源電流	I_{DDO}	$f=1\text{MHz}$, $V_I = V_{DD}$ or V_{SS} , 出力開放			20	mA
CMOSレベル 入力ピン 入力電圧	Hレベル	$V_{DD}=5V$	V_{OH1}	$V_{DD} \times 0.7$		V
	Lレベル		V_{IL1}		$V_{DD} \times 0.2$	V
TTL入力ピン 入力電圧	Hレベル	$V_{DD}=5V$	V_{IH2}	2.2		V
	Lレベル		V_{IL2}		0.8	V
入力リーク	I_{LI}	PULL UP/DOWNなし XI入力を除く $V_I = V_{DD}$ or V_{SS}	-10		10	μA
出力電圧	Hレベル	$I_{OH} = -4\text{mA}$, $V_I = V_{DD}$ or V_{SS}	$V_{DD} - 0.8$			V
	Lレベル	$I_{OL} = 4\text{mA}$, $V_I = V_{DD}$ or V_{SS}			0.4	V
出力リーク電流	I_{OZ}	被測定ピン \rightarrow Hi Z状態 or V_{SS} , $V_I = V_{DD}$ or V_{SS}	-10		10	μA

● 入出力容量 / Input-Output Capacitance ($T_a=25 \pm 2^{\circ}\text{C}$)

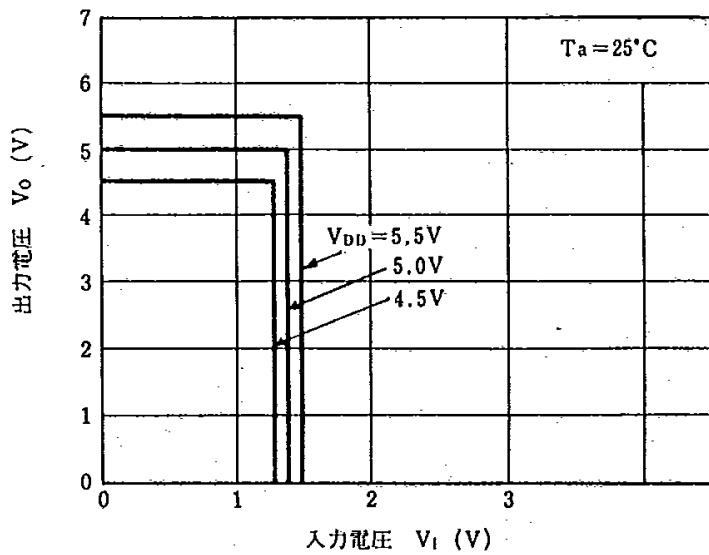
Item	Symbol	Condition	min.	typ.	max.	Unit
入力端子	C_{iN}	$V_{DD} = V_I = 0V$, $f=1\text{MHz}$		4	8	pF
出力端子	C_{oUT}			6	15	pF
入出力端子	$C_{I/O}$			8	20	pF

標準特性曲線図

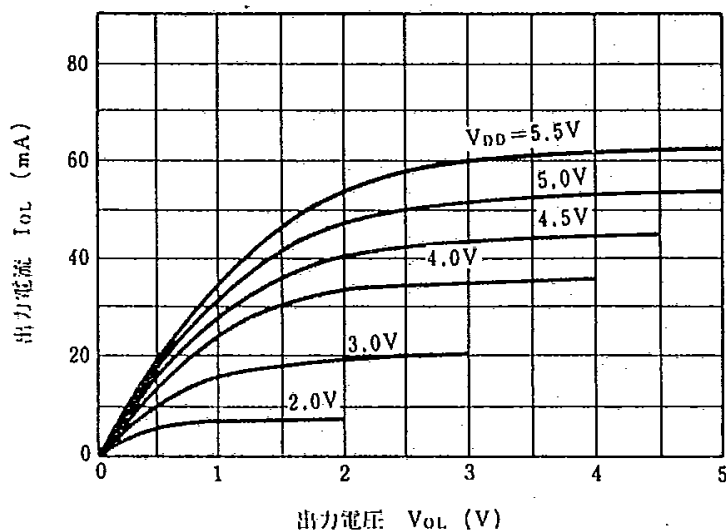
$V_0 - V_1$ (CMOSレベル入力バッファ)



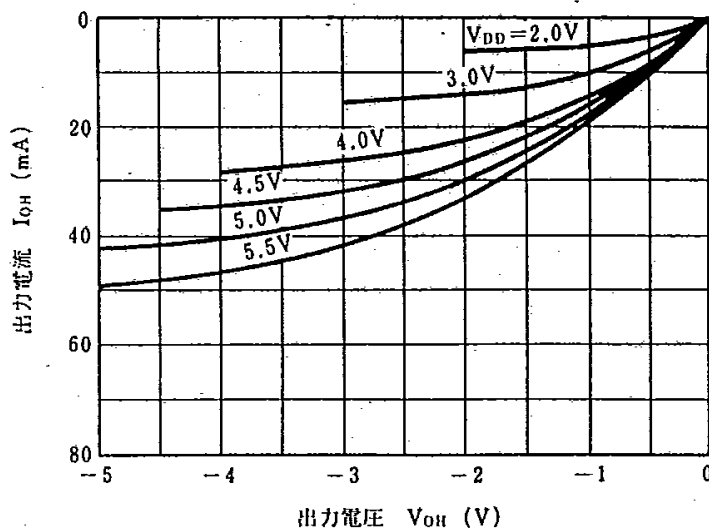
$V_0 - V_1$ (TTLレベル入力バッファ)



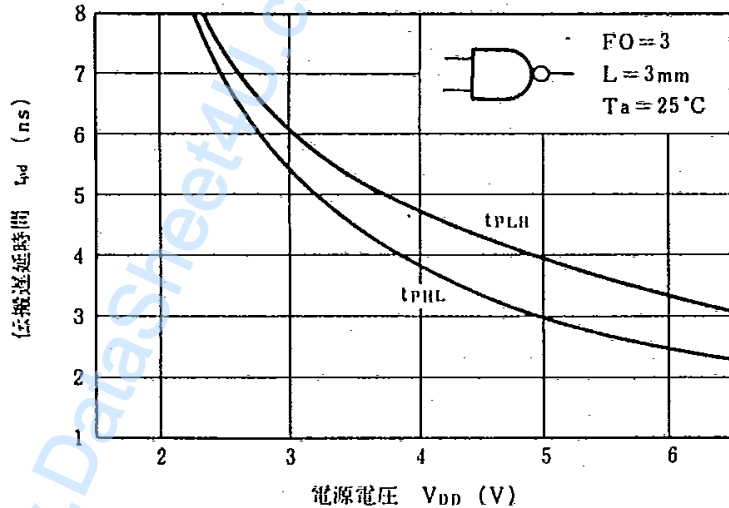
$I_{OL} - V_{OL}$ (N-CHANNEL)



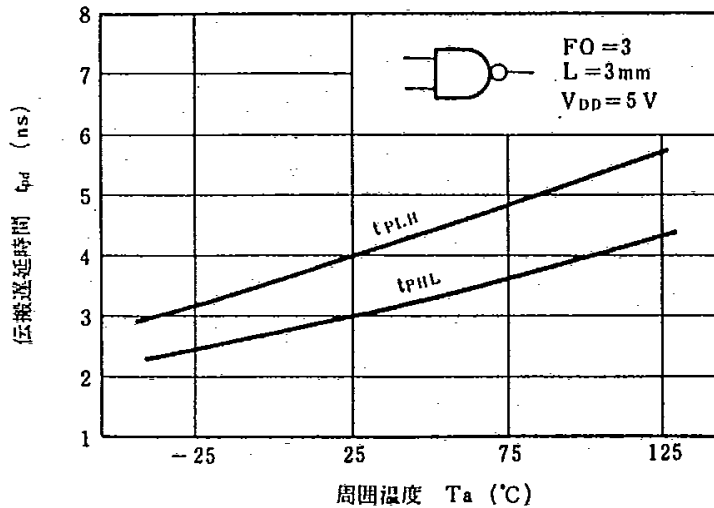
$I_{OH} - V_{OH}$ (P-CHANNEL)



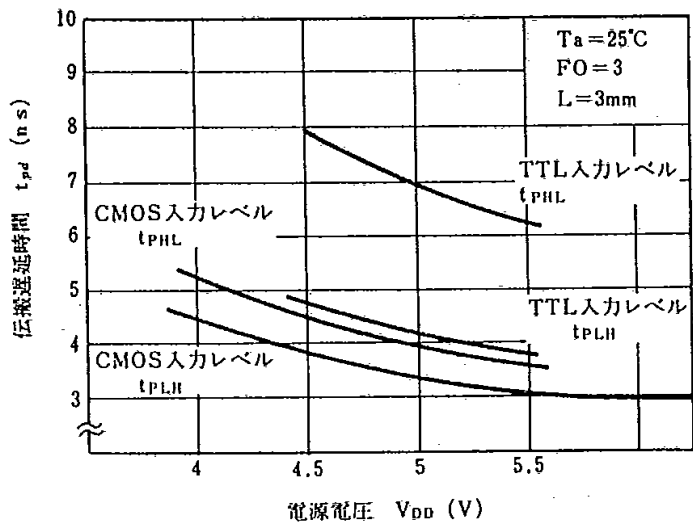
$t_{pd} - V_{DD}$ (2-Input NAND)



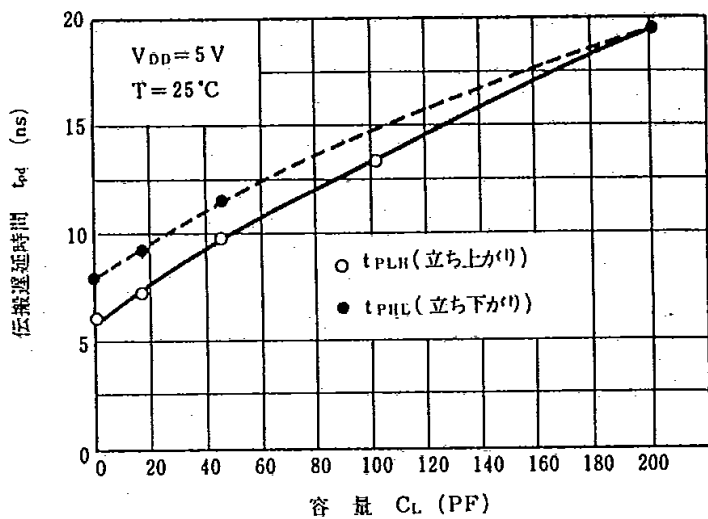
$t_{pd} - T_a$ (2-Input NAND)



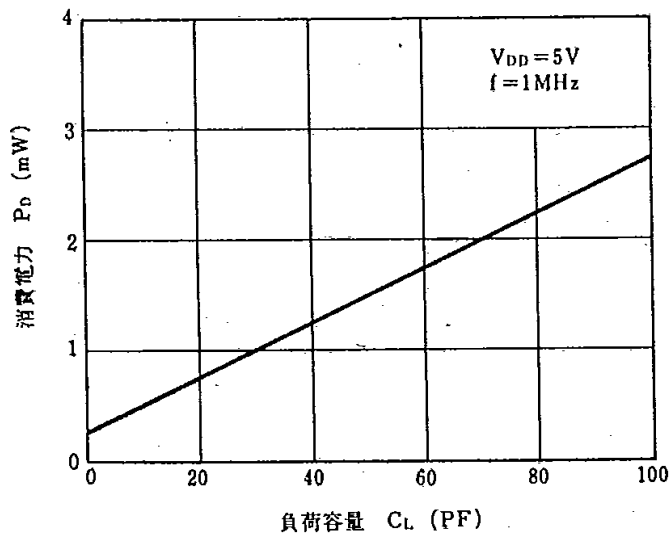
$t_{pd}-V_{DD}$ (入力バッファ)



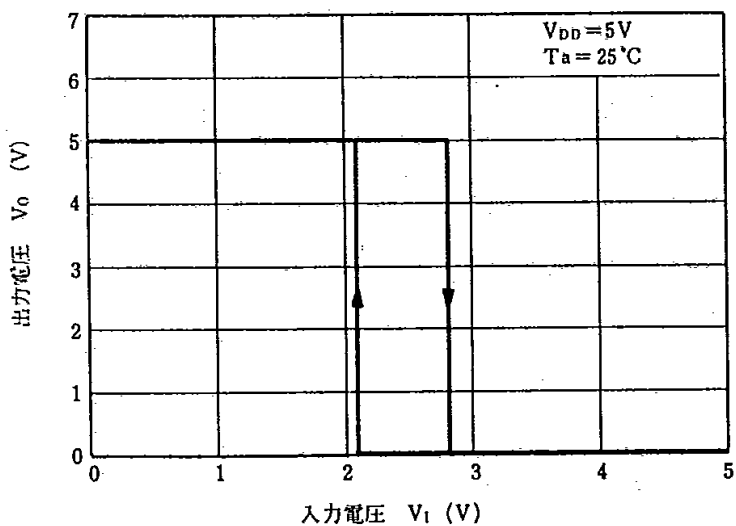
$t_{pd}-C_L$ (出力バッファ)



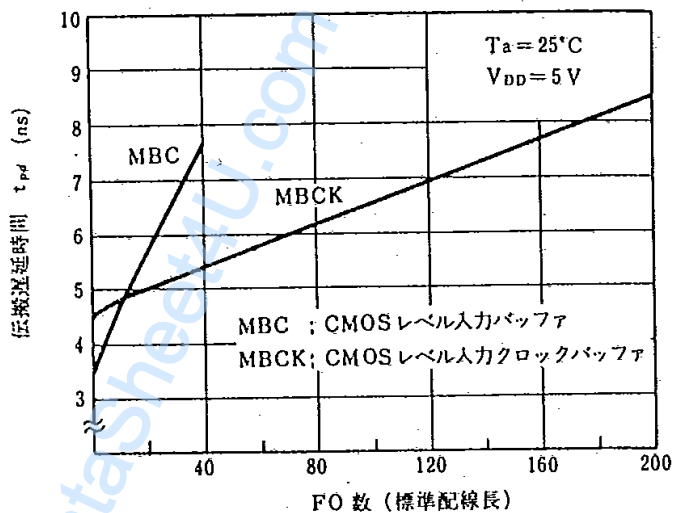
P_D-C_L (出力バッファ)



V_O-V_I (シュミット入力バッファ)



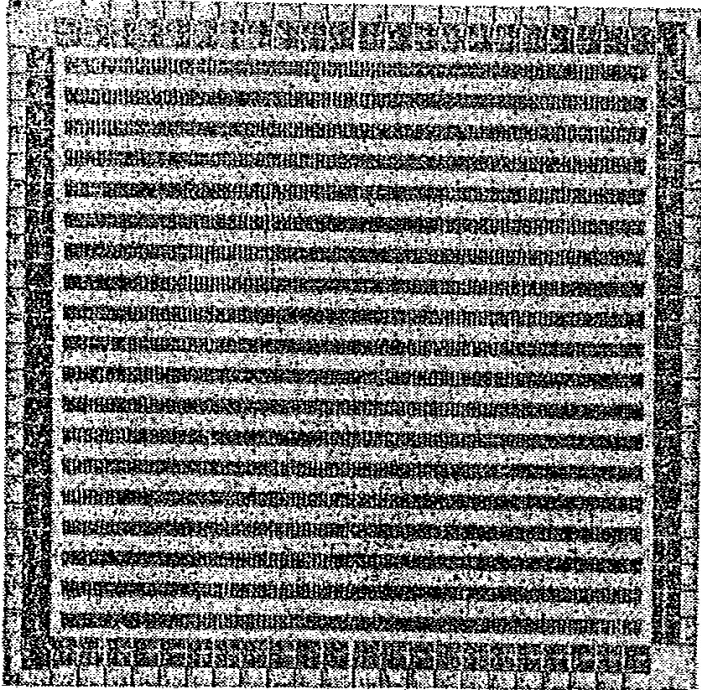
$t_{pd}-FO$ 数 (入力バッファ)



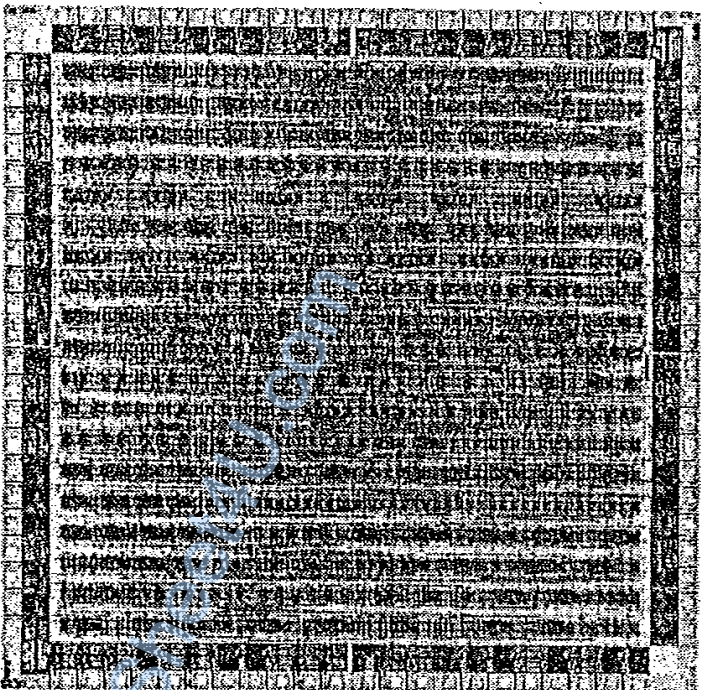
www.DataSheetSU.com

■ ゲートアレイのチップ構成

ゲートアレイのチップ写真を図1に示します。内部にはセルと呼ばれる単位の回路がアレイ状に並べてあり、セルアレイのまわりを入出力バッファが取り囲む形となっています。



(a) ゲートアレイ配線前チップ



(b) ゲートアレイ配線済チップ

図1 ゲートアレイのチップ写真

1. 基本セル

各種ゲートやフリップフロップなどを構成するためのトランジスタのかたまりをいいます。2入力NANDゲート1個が構成可能な4個のトランジスタを基本セルとしています。

(図2 参照)

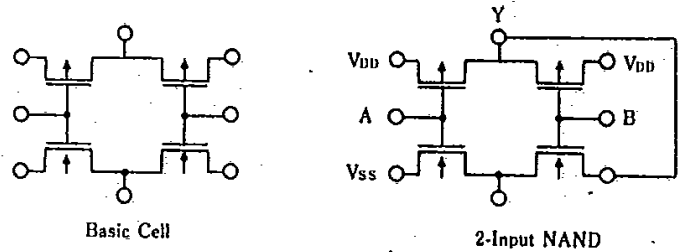


図2 基本セル

2. 入出力バッファセル

LSI内部ゲートとLSI外部とのインタフェースを行なう入力バッファゲート、および出力バッファゲートを構成するためのトランジスタのかたまりをいいます。次に特長を述べます。

- 入力バッファ…… CMOSレベル, TTLレベル
クロックバッファ, プルアップダウン
シュミット回路に対応可能
- 出力バッファ…… 3ステート, オープンドレインに対応可能
大出力電流 $I_{OH} = -4mA$
 $I_{OL} = 4mA$
- 入出力バッファ…… I/O, 3ステート I/O に対応可能

3. 発振回路専用セル

水晶を外付けすることにより、30kHzから20MHzまで電源電圧変動および温度変化に対して安定に動作する発振回路を構成するためのトランジスタとフィードバック素子を内蔵したセルをいいます。

■ ゲートアレイ CAD サポート

ゲートアレイ LSIは、短期間開発、低開発費、多品種少量生産など多くの優位性をもっています。特にオリジナル LSIの開発期間を短縮する上で、マスタスライス方式の採用とともに CAD システムが大きな役割を果たしています。ゲートアレイ LSIの集積度が高くなるほど、論理機能の確認は CAD 論理シミュレーションに頼ることとなります。論理シミュレーション結果が期待どおりでない場合は、論理設計段階あるいはそれ以前に戻って検討、修正を行ない、再度シミュレーションが必要となります。通常シミュレーションは1回でパスすることはほとんどなく、やり直しが必要となります。したがって、シミュレーション結果が期待どおりでない場合、顧客の論理設計内容の問題点について半導体メーカー側が立ち入った解析ができにくい場合が多々あります。ここで、論理機能確認シミュレーション作業を効率良く行なうためには、論理設計者自身がシミュレーションを行なうことで解決できる場合が多くあります。

松下電子工業では、顧客が論理設計結果を論理図で半導体メーカーに渡す論理回路図インタフェースと、顧客が次のような特定の論理シミュレータを使った場合のインタフェースを確立しています。

1. 論理回路図インタフェース

図5に示しますように論理回路図とタイミング設計を顧客側で行ない、論理シミュレーション以降を松下電子工業が行なう方法です。インタフェースに必要なデータは以下のとおりです。

- a. 松下電子工業提供の標準論理セルライブラリを使用した論理回路図。オプションである機械論理図が必要な場合は、松下電子工業専用の論理テンプレートおよび論理回路シートを使ってください。
- b. 松下電子工業提供のタイミングチャートかタイミングパターン記述言語を使ったタイミングデータ
- c. 必要な場合のクリティカルパス指定
- d. 端子位置指定図

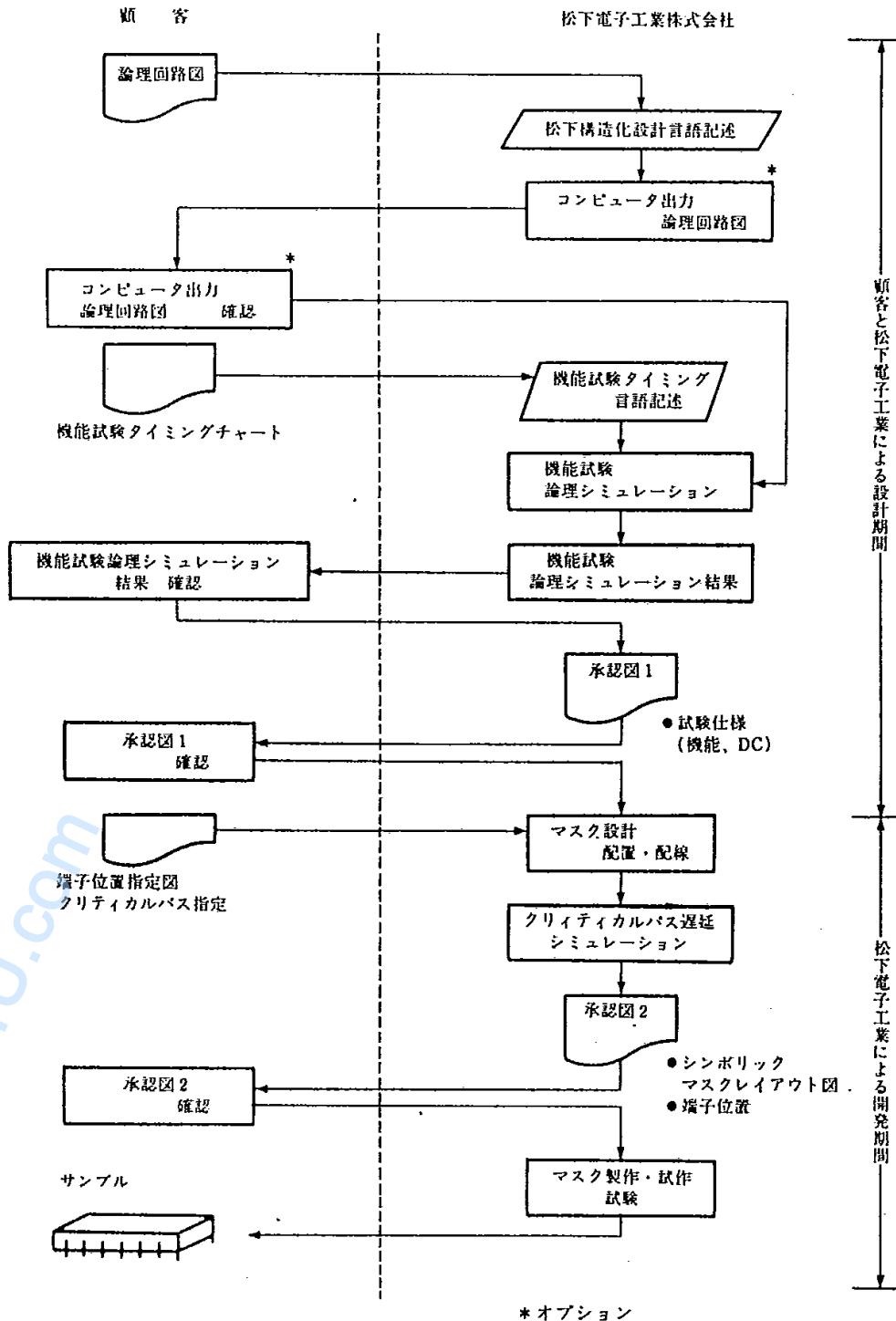


図 3 論理回路図インタフェース

2. LOGICIAN™ インタフェース

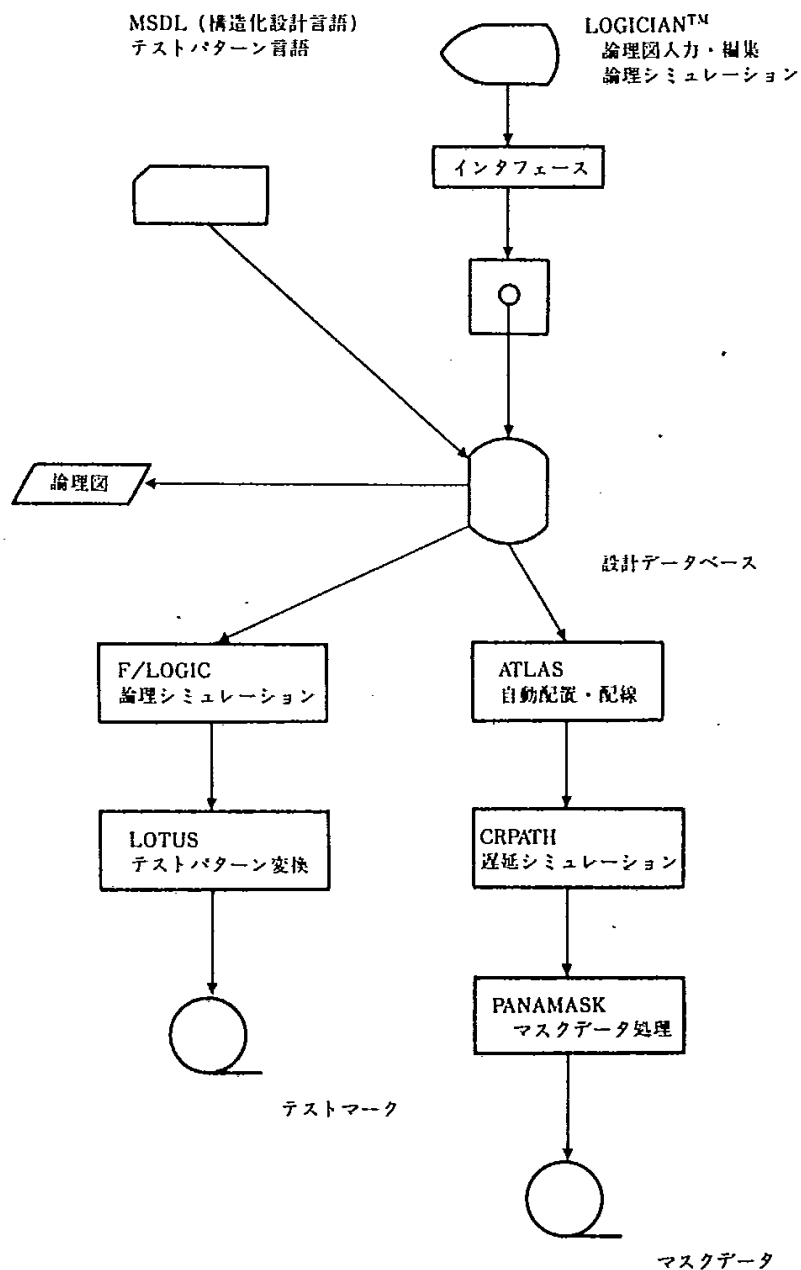
デザインワークステーション LOGICIAN™ を使って論理シミュレーション作業までを顧客側で行なう方法です。松下電子工業では、デザインワークステーションメーカーと共同で、論理回路図とタイミングパターンとのインタフェースを確立しており、松下電子工業の配置配線とテスタパターン変換 CAD ソフトウェアとの結合ができます。デザインワークステーションでの論理シミュレーションでは、松下電子工業提供のゲートアレイ標準論理セルライブラリを使い、マスクレイアウトに即したシミュレーションが可能となります。

1. と同様にマスク設計に関して、c, d のデータが必要とされます。

図4に CAD システム体系を示します。論理シミュレーションで動作が確認された論理回路データから自動的に配置配線を行ないます。二層アルミ配線のマスク設計自動化により、ゲート使用率90%を達成しています。

自動配線結果に対してクリティカルパス遅延シミュレーションを実施して設計検証の自動化を行なっております。さらに論理シミュレーション結果からテスタのパターンファイルに自動変換し、出荷テストに使用します。

注) LOGICIAN=Daisy Systems Corporation のトレードマーク



注) LOGICIAN=Daisy Systems Corporation のトレードマーク

図 4 CAD システム