

# AN5011

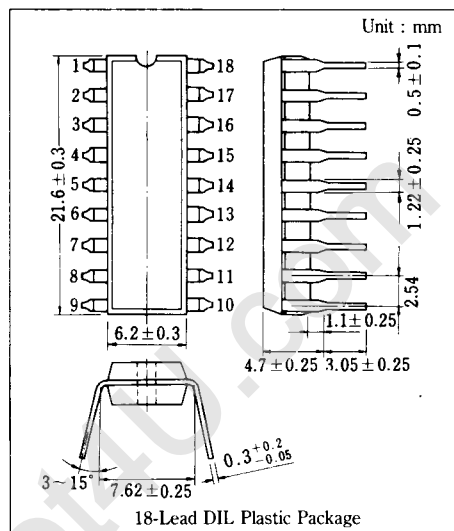
## テレビ電子選局回路 / TV Electronic Channel Selection Circuit

### ■ 概要

AN 5011 は、プリセットボリューム方式の電子チューナ選局回路用に設計された半導体集積回路です。

### ■ 特徴

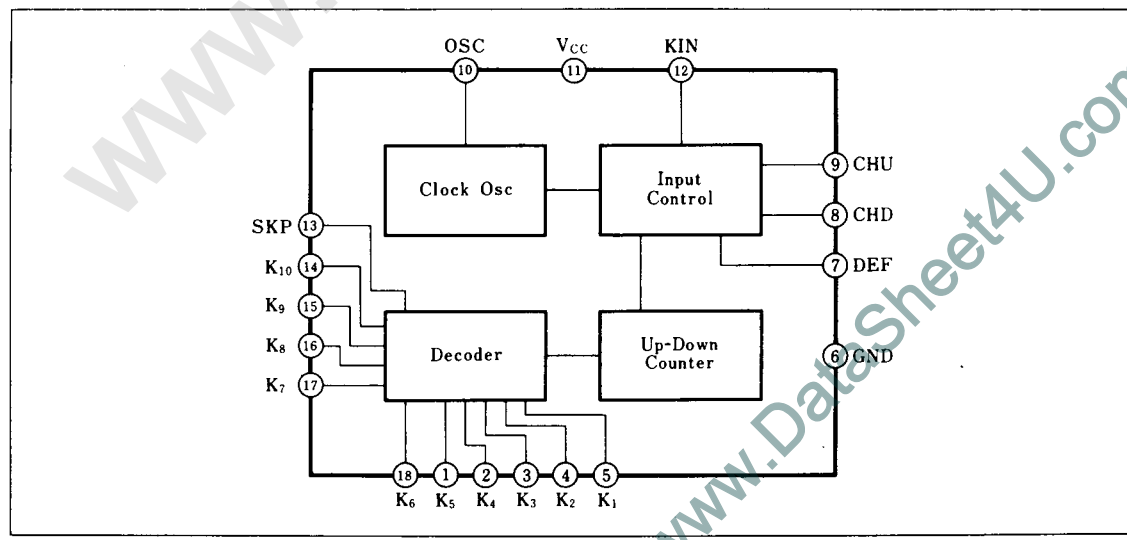
- 10 局までの選曲回路の簡易化が可能
- クロック発振回路, 入力コントロール回路, UP-DOWN カウンタ回路およびデコーダ回路を内蔵
- リモコンによる電子選局 (UP-DOWN 両方向可能)
- クロック発振周波数は外付け部品で変更可能 (0.7~2.5 kHz)
- 選局時に AFC ディフィートパルス出力端子あり
- 電源投入時のチャンネルイニシャライズは外付け回路で任意のチャンネルに設定可能
- 選局出力端子耐圧 : 40 V
- 選局出力飽和電圧 : < 0.15 V (5 mA)
- 電源電圧 : 6.0 V
- 選局 : 10 局, 飛びこし選局可能



### ■ Features

- Simplifies selection circuit up to 10 channels
- Incorporating clock oscillator, input control, UP-DOWN counter and decoder circuits
- Remote control system available (UP-DOWN two directional)
- Clock frequency changeable by external components
- Provided with pulse output
- Channel initialize when power is switched on can be set at any channel
- Selection output breakdown voltage : 40V
- Selection output saturation voltage : < 0.15V (5mA)
- Supply voltage : 6.0V
- Channel selection : 10 channels, jump over selection available

### ■ ブロック図 / Block Diagram



■ 絶対最大定格 / Absolute Maximum Ratings (Ta=25°C)

Item		Symbol	Rating		Unit
電 圧	電源電圧	V <sub>CC</sub>	7.2		V
	回路電圧	V <sub>K-6</sub> *1	-0.5	50	V
		V <sub>7-6</sub>	-0.5	14.4	V
		V <sub>11-6</sub>	-0.5	7.2	V
		V <sub>10-6</sub>	-0.5	7.2	V
電 流	電源電流	I <sub>tot</sub>	60		mA
	回路電流	I <sub>K</sub> *2	-5	15	mA
		I <sub>7</sub>	-5	15	mA
		I <sub>8</sub>	-5	10	mA
		I <sub>9</sub>	-5	10	mA
		I <sub>10</sub>	-5	10	mA
		I <sub>11</sub>	-5	60	mA
		I <sub>12</sub>	-5	10	mA
		I <sub>13</sub>	-5	10	mA
許容損失 (Ta=75°C)		P <sub>D</sub>	450		mW
温 度	動作周囲温度	T <sub>opr</sub>	-20 ~ +75		°C
	保存温度	T <sub>stg</sub>	-40 ~ +150		°C

\* 1 V<sub>K</sub>のKは端子①~⑤、⑭~⑰の各端子を示す。

\* 2 I<sub>K</sub>のKは端子①~⑤、⑭~⑰の各端子を示し、出力がLOWの時の定格を示す。

■ 電気的特性 / Electrical Characteristics (V<sub>CC</sub>=V<sub>5-3</sub>=12V, Ta=25°C)

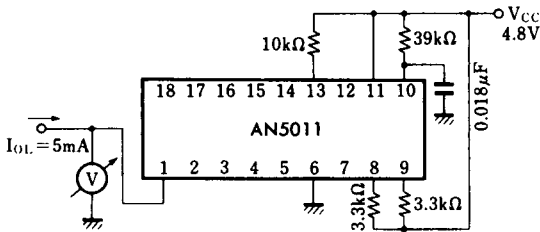
Item	Symbol	Test Circuit	Condition	min.	typ.	max.	Unit
出力電圧ローレベル(選局)	V <sub>OL(K)</sub>	1	V <sub>CC</sub> =4.8V, I <sub>OL</sub> =5mA			0.15	V
出力電流ハイレベル(選局)	I <sub>OH(K)</sub>	2	V <sub>CC</sub> =7.2V, V <sub>OH</sub> =35V			5	μA
出力電圧ローレベル(DEF)	V <sub>OL(D)</sub>	3	V <sub>CC</sub> =4.8V, I <sub>OL</sub> =5mA			5	V
出力電流ハイレベル(DEF)	I <sub>OH(D)</sub>	4	V <sub>CC</sub> =7.2V, V <sub>OH</sub> =14.4V			5	μA
入力電流ローレベル(CHD)	I <sub>IL(CHD)</sub>	5	V <sub>CC</sub> =7.2V, V <sub>IL</sub> =0V	-5			μA
入力電流ローレベル(CHU)	I <sub>IL(CHU)</sub>	7	V <sub>CC</sub> =7.2V, V <sub>IL</sub> =0V	-5			μA
入力電流ハイレベル(CHD)	I <sub>IH(CHD)</sub> *1	6	V <sub>CC</sub> =4.8V	50			μA
入力電流ハイレベル(CHU)	I <sub>IH(CHU)</sub> *1	8	V <sub>CC</sub> =4.8V	50			μA
入力電流ローレベル(KIN)	I <sub>IL(KI)</sub>	9	V <sub>CC</sub> =7.2V, V <sub>IL</sub> =0V	-10			μA
入力電流ハイレベル(KIN)	I <sub>IH(KI)</sub> *2	10	V <sub>CC</sub> =4.8V	200			μA
入力電流ローレベル(SKIP)	I <sub>IL(SK)</sub>	11	V <sub>CC</sub> =7.2V, V <sub>IL</sub> =0V	-5			μA
入力電流ハイレベル(SKIP)	I <sub>IH(SK)</sub> *1	12	V <sub>CC</sub> =4.8V	50			μA
入力電流ローレベル(OSC)	I <sub>IL(OS)</sub>	13	V <sub>CC</sub> =7.2V, V <sub>IL</sub> =1.0V			5	μA
入力電流ハイレベル(OSC)	I <sub>IH(OS)</sub>	14	V <sub>CC</sub> =4.8V, V <sub>IH</sub> =4V	1.7		3.2	mA
発振周波数(Clock)	f <sub>osc</sub>	15	V <sub>CC</sub> =6V	1.5	2.0	2.5	kHz
全回路電流	I <sub>tot</sub>	16	V <sub>CC</sub> =6V	23	35	50	mA

\* 1 DEF端子(⑦)が“H”レベル(3.0V以上)であること。

\* 2 DEF端子(⑦)が“L”レベル(1.0V以下)であること。

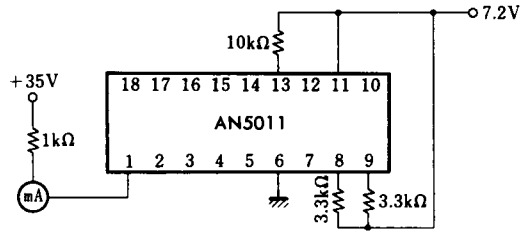
注) 動作電源電圧 V<sub>CCopr</sub>=4.8~7.2V

Test Circuit 1 ( $V_{OL(K)}$ )



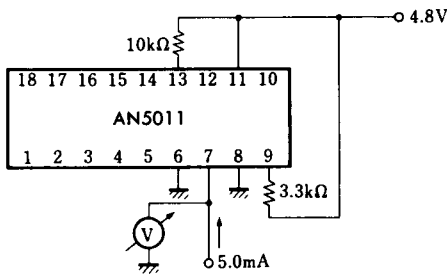
注) 測定端子は①~⑤と⑭~⑰の各端子。最初に端子⑫(KIN)と⑤(KI)を短絡し、測定端子を⑤に設定する。その後CHU, CHD端子をローレベルにし、K1~K16を順次設定する。測定端子以外は開放。

Test Circuit 2 ( $I_{OH(K)}$ )

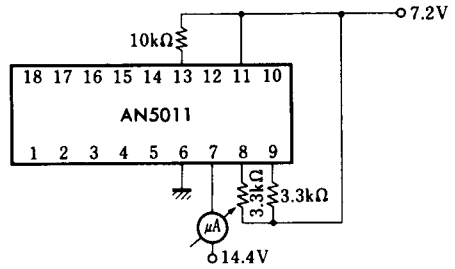


注) 測定端子は①~⑤と⑭~⑰の各端子。測定端子以外は開放。

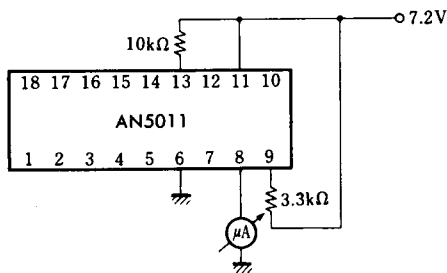
Test Circuit 3 ( $V_{OL(D)}$ )



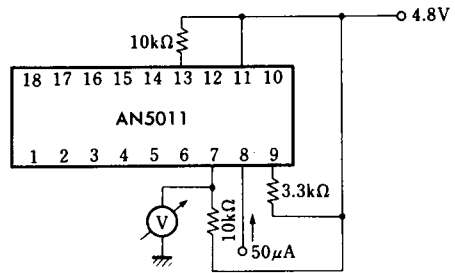
Test Circuit 4 ( $I_{OH(D)}$ )



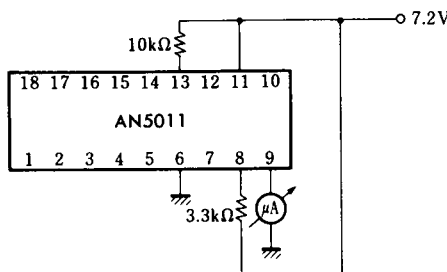
Test Circuit 5 ( $I_{IL(CHD)}$ )



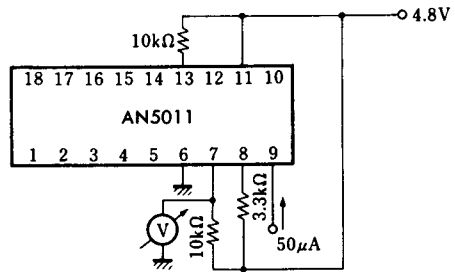
Test Circuit 6 ( $I_{IH(CHD)}$ )



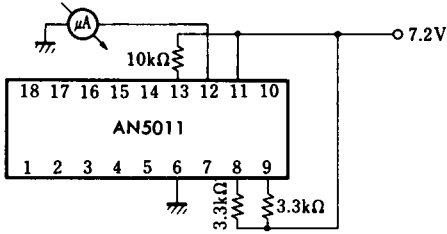
Test Circuit 7 ( $I_{IL(CHU)}$ )



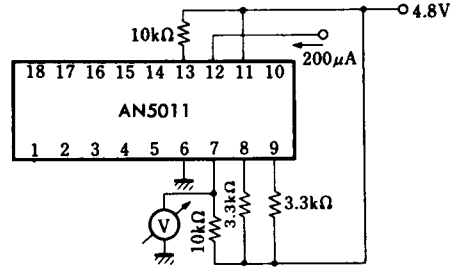
Test Circuit 8 ( $I_{IH(CHU)}$ )



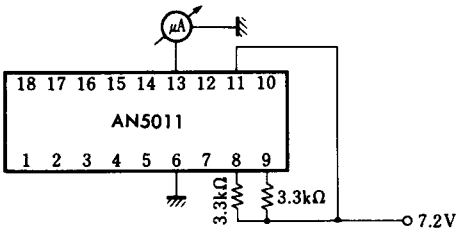
Test Circuit 9 ( $I_{IL(KI)}$ )



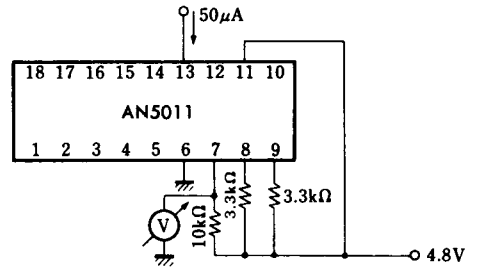
Test Circuit 10 ( $I_{IH(KI)}$ )



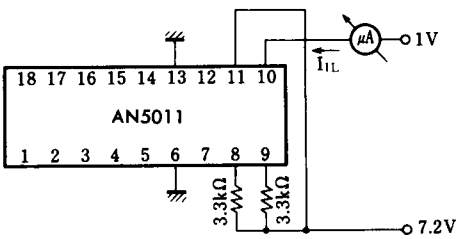
Test Circuit 11 ( $I_{IL(SK)}$ )



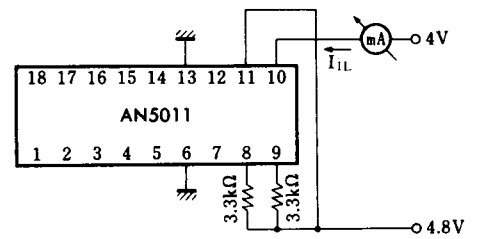
Test Circuit 12 ( $I_{IH(SK)}$ )



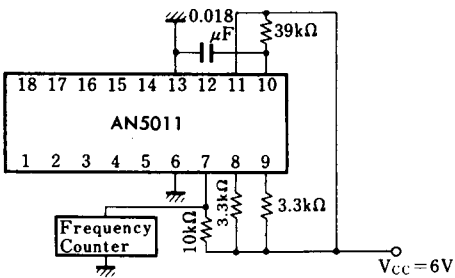
Test Circuit 13 ( $I_{IL(OS)}$ )



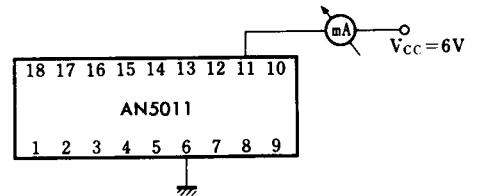
Test Circuit 14 ( $I_{IH(OS)}$ )



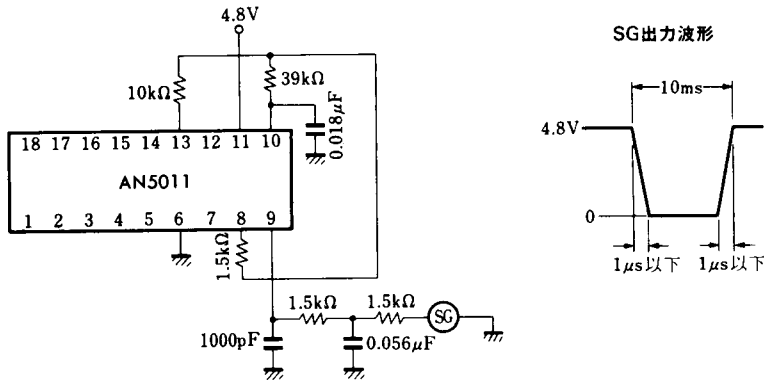
Test Circuit 15 ( $f_{osc}$ )



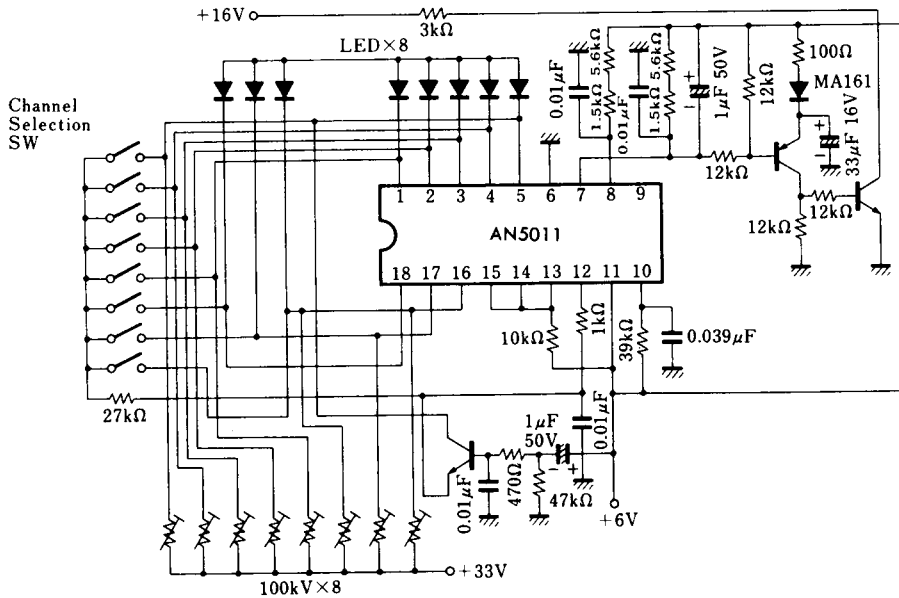
Test Circuit 16 ( $I_{tot}$ )



Test Circuit 17 (CHU, CHD 入力による順次選局動作)



■ 応用回路例 / Application Circuit



■ 端子名 / Pin

Pin No.	端子名	Pin Name	Pin No.	端子名	Pin Name
1	選局出力 (5)	Ch.Selection Output (5)	10	発振フィルタ	Osc. Filter
2	選局出力 (4)	Ch.Selection Output (4)	11	電源電圧	Vcc
3	選局出力 (3)	Ch.Selection Output (3)	12	キー入力	Key Input
4	選局出力 (2)	Ch.Selection Output (2)	13	スキップ入力	Skip Input
5	選局出力 (1)	Ch.Selection Output (1)	14	選局出力 (10)	Ch.Selection Output (10)
6	アース	GND	15	選局出力 (9)	Ch.Selection Output (9)
7	AFT ディフィート入力	AFT Defeat Input	16	選局出力 (8)	Ch.Selection Output (8)
8	Ch. ダウン入力	Ch.Down Input	17	選局出力 (7)	Ch.Selection Output (7)
9	Ch. アップ入力	Ch.Up Input	18	選局出力 (6)	Ch.Selection Output (6)