

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

ADJ-602-155C(H)

日立シングルチップマイクロコンピュータ
H8S/2148 シリーズ、H8S/2144 シリーズ、
H8S/2148F-ZTATTM、H8S/2147N F-ZTATTM、
H8S/2144F-ZTATTM、H8S/2142F-ZTATTM
ハードウェアマニュアル

H8S/2148	HD6432148SW, HD6432148S, HD64F2148, HD64F2148V, HD64F2148A, HD64F2148AV
H8S/2147	HD6432147SW, HD6432147S, HD64F2147A, HD64F2147AV
H8S/2147N	HD64F2147N, HD64F2147NV
H8S/2144	HD6432144S, HD64F2144, HD64F2144V, HD64F2144A, HD64F2144AV
H8S/2143	HD6432143S
H8S/2142	HD6432142, HD64F2142R, HD64F2142RV

H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2148F-ZTATTM、H8S/2147N F-ZTATTM、
H8S/2144F-ZTATTM、H8S/2142F-ZTATTM ハードウェアマニュアル

発行年月日 1997年7月 第1版

2001年11月 第4版

発行 株式会社 日立製作所

半導体グループ ビジネス企画本部

編集 株式会社 日立小平セミコン

技術ドキュメントグループ

©株式会社 日立製作所 1997

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

はじめに

本 LSI は、内部 32 ビット構成の H8S/2000 CPU を核に、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

本 LSI は、ROM、RAM、16 ビットフリーランニングタイマ(FRT)、8 ビットタイマ(TMR)、ウォッチドックタイマ(WDT)、2 種類の PWM タイマ(PWM、PWMX)、シリアルコミュニケーションインタフェース(SCI、IrDA)、PS/2 対応のキーボードバッファコントローラ、ホストインタフェース(HIF)、D/A 変換器(DAC)、A/D 変換器(ADC)、I/O ポートなどの周辺機能を内蔵しています。内蔵 ROM はフラッシュメモリ(F-ZTAT™*)で、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】 * F-ZTAT™は(株)日立製作所の商標です。

対象者 このマニュアルは、H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2147N を用いた応用システムを設計するユーザーを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2147N のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- ・機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- ・CPU 機能の詳細を理解したいとき。

別冊の「H8S/2600 シリーズ、H8S/2000 シリーズ プログラミングマニュアル」を参照してください。

- ・レジスタ名がわかっていて、詳細機能を知りたいとき。

「付録 B. 内部 I/O レジスタ」にアドレス、ビット内容、初期化についてまとめています。

凡例 ビット表記順：左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://www.hitachisemiconductor.com/jp/>)

- ・ H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2147N に関するユーザーズマニュアル

資料名	資料番号
H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2147N ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ プログラミングマニュアル	ADJ-602-112

- ・ 開発ツール関連ユーザーズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	ADJ-702-303
シミュレータ・デバッガ (Windows 版) ユーザーズマニュアル	ADJ-702-163
シミュレータ・デバッガ (UNIX 版) ユーザーズマニュアル	ADJ-702-109
Hitachi Embedded Workshop ユーザーズマニュアル	ADJ-702-275

- ・ アプリケーションノート

資料名	資料番号
C/C++ コンパイラ編	ADJ-502-051
H8S シリーズマイコンテクニカル Q&A	ADJ-502-065
F-ZTAT マイコンテクニカル Q&A	ADJ-502-055

本マニュアルは、H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2147N のハードウェアについて説明しています。命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ プログラミングマニュアル」を併せてご覧ください。

【注】 * F-ZTAT™ (Flexible-ZTAT) は (株) 日立製作所の商標です。

内蔵周辺機能一覧

シリーズ名	H8S/2148 シリーズ	H8S/2147N	H8S/2144 シリーズ
製品名	H8S/2148、2147	H8S/2147N	H8S/2144、 2143、2142
バスコントローラ (BSC)	(16 ビット)	(16 ビット)	(16 ビット)
データトランスファコントローラ (DTC)		-	-
8 ビット PWM タイマ (PWM)	×16	×16	-
14 ビット PWM タイマ (PWMX)	×2	×2	×2
16 ビットフリーランニングタイマ (FRT)	×1	×1	×1
8 ビットタイマ (TMR)	×4	×3	×3
タイマコネクション		-	-
ウォッチドッグタイマ (WDT)	×2	×2	×2
シリアルコミュニケーション インタフェース (SCI)	×3	×3	×3
I ² C バスインタフェース (IIC)	×2 (オプション)	×2	-
キーボードバッファコントローラ (PS/2 対応)	×3	×3	-
ホストインタフェース (HIF)	×4	×4	-
D/A 変換器	×2	×2	×2
A/D 変換器	アナログ入力	×8	×8
	拡張 A/D 入力	×16	×16

本版で改訂または追加された 主な箇所

章	節 / 項	タイトル	ページ	変更内容（詳細はマニュアル参照）
1. 概要	1.1	概要	7	製品ラインアップ修正
	1.2	内部ブロック図	8	内部ブロック図修正
	1.3.3	端子機能	26 ~ 32	表 1.5 端子機能 VCL、SCK0 ~ SCK2、P52 ~ P50、P97 ~ P90 の名称および機能修正と注修正
2. CPU	2.6.1	概要	52	表 2.1 命令分類 表中の*4、*5 追加と注追加
	2.6.2	命令とアドレッシングモードの組み合わせ	54	表 2.2 命令とアドレッシングモードの組み合わせ 表中*2、*3 追加と注追加
	2.6.3	命令機能別一覧	56	表 2.3 データ転送命令 表中の*追加と注追加
			58	表 2.4 算術演算命令 表中の*追加と注追加
	2.10	使用上の注意	82	追加
3. MCU 動作モード	3.2.2	システムコントロールレジスタ (SYSCR)	88	ビット 7 の説明追加とビット 6 の注追加
	3.2.3	バスコントロールレジスタ (BCR)	90	ビット 1 ~ 0 の注追加
	3.2.4	シリアルタイムコントロールレジスタ (STCR)	91	ビット 7 ~ 5 とビット 1、0 の説明修正
	3.5	各動作モードのアドレスマップ	95 ~ 105	説明修正と H8S/2148F-ZTAT A マスク品の各動作モードのアドレスマップと H8S/2147F-ZTAT A マスク品の各動作モードのアドレスマップ追加
4. 例外処理	4.3	割込み	115	説明修正
	4.6	スタック使用上の注意	118	図 4.6 SP を奇数に設定したときの動作 図中のアドレス修正

章	節 / 項	タイトル	ページ	変更内容（詳細はマニュアル参照）
5. 割込みコントローラ	5.1.1	特長	121	ICRにより、優先順位を設定可能部分の説明修正
	5.1.2	ブロック図	122	図 5.1 割込みコントローラのブロック図で内部割込み要因修正
	5.1.4	レジスタ構成	123	表 5.2 割込みコントローラのレジスタ構成 *3 修正
	5.2.2	インタラプトコントロール レジスタ A ~ C (ICRA ~ ICRC)	125	説明修正
	5.2.5	IRQ ステータスレジスタ (ISR)	128	ビット 7 ~ 0 の注追加
	5.2.6	キーボードマトリクス割込み レジスタ (KMIMR)	130	説明修正と注修正
	5.2.7	キーボードマトリクス割込み マスクレジスタ (KMIMRA)	131	ビット 7 ~ 0 の説明修正
	5.3.1	外部割込み	135	(2) IRQ7 ~ IRQ0 割込み 説明追加「IRQ6 端子を.....0 にクリアしてください」
	5.3.2	内部割込み	136	説明修正 PC ブレークをアドレスブレークに修正
	5.3.3	割込み例外処理ベクタテーブル	137	表 5.4 割込み要因とベクタアドレスおよび割込み優先順位一覧 (1) PC ブレークをアドレスブレーク (PC ブレーク) に修正
	5.5.1	割込み制御モードと割込み動作	142	説明修正
			143	表 5.6 割込み制御モードと選択される割込み 修正
			145	(3) 説明修正
	5.5.3	割込み制御モード 1	147	説明修正と図 5.9 割込み制御モード 1 の状態遷移例修正
6. バスコントローラ	6.2.2	ウェイトステートコントロール レジスタ (WSCR)	164	ビット 7 説明追加
	6.3.4	I/O セレクト信号	168	表 6.4 IOS 信号出力範囲の設定 注追加
7. データトランスファ コントローラ (DTC)	7.3.3	DTC ベクタテーブル	205	表 7.4 割込み要因と DTC ベクタアドレスおよび対応する DTCE 修正
8. I/O ポート	8.1	概要	220	表 8.1 H8S/2148 シリーズポートの機能一覧 ポート 2 の拡張モード 2、3 説明修正
			223	表 8.2 H8S/2147N ポートの機能一覧 ポート 2 の拡張モード 2、3 説明修正

章	節 / 項	タイトル	ページ	変更内容 (詳細はマニュアル参照)
8. I/O ポート	8.8	ポート 7	258	図 8.15 ポート 7 の端子機能 修正
	8.12.3	端子機能	279	表 8.26 ポート B の端子機能 PB3/D3/CS4 ~ PB0/D0/HIRQ3 の説明修正
9. 8 ビット PWM タイマ (PWM)	9.1.4	レジスタ構成	285	表 9.2 レジスタ構成 注追加
10. 14 ビット PWM タイマ (PWMX)	10.1.4	レジスタ構成	300	表 10.2 レジスタ構成 注*2 修正
11 16 ビットフリーランニングタイマ (FRT)	11.3.9	ICRD と OCRDM のマスク信号生成タイミング	343	図 11.16 インพุットキャプチャマスク信号のクリアタイミング図修正
	11.6	使用上の注意	349	図 11.21 OCRAR/OCRAF のライトとコンペアマッチ競合 追加
12. 8 ビットタイマ (TMR)	12.2.6	シリアルタイマコントロールレジスタ (STCR)	369	ビット 7~4 とビット 3 の説明修正
	12.3.6	インพุットキャプチャ動作	380、381	追加
13. タイマコネクション	13.3.1	PWM デコード (PDC 信号生成)	407	図 13.2 PWM デコードタイミングチャート 修正
	13.3.3	8 ビットタイマ分周波形期測定	408	説明修正
			409	表 13.5 TCR と TCSR の設定例 TMR1 の TCR ビット 4、3 説明修正
14. ウォッチドックタイマ (WDT)	14.2.2	タイマコントロール / ステータスレジスタ (TCSR)	426	ビット 7 注追加
	14.5.6	OVF フラグのクリア	437	追加
15. シリアルコミュニケーションインタフェース (SCI、IrDA)	15.1.1	特長	442	送受信クロックを出力可能の項目追加
	15.3.5	IrDA 動作	502	図 15.22 IrDA の送信 / 受信動作 修正
16 I ² C バスインタフェース (IIC)	16.2.5	I ² C バスコントロールレジスタ (ICCR)	528	ビット 1 表中の IRIC1 の I ² C バスフォーマットでマスタモードの説明 (3) 修正
	16.2.7	シリアルタイマコントロールレジスタ (STCR)	537	ビット 3 の説明修正
17. キーボードバッファコントローラ	17.1.4	レジスタ構成	571	表 17.2 レジスタ構成修正
	17.2.4	モジュールストップコントロールレジスタ (MSTPCR)	577	追加
18. ホストインタフェース	18.5	使用上の注意	612	修正
19. D/A 変換	19.3	動作説明	620	図 19.2 D/A 変換器の動作例 修正

章	節 / 項	タイトル	ページ	変更内容（詳細はマニュアル参照）
20. A/D 変換器	20.2.3	A/D コントロールレジスタ (ADCR)	631	ビット 5~0 説明修正
21. RAM	21.3.2	シングルチップモード	651	説明修正
22. ROM	22.4.3	フラッシュメモリの動作モード	660	図 22.3 フラッシュメモリに関する状態遷移 修正
	22.6.1	ブートモード	676	(3) ブートモード使用時の注意事項 (e) 説明修正
	22.10.1	ライターモードの設定	688	注追加
	22.11	フラッシュメモリの書き込み / 消去時の注意	700	(1) 説明修正
	22.12	F-ZTAT マイコンのマスクROM 化時の注意事項	702	追加
23. ROM	23.4.2	ブロック図	709	図 23.2 フラッシュメモリのブロック図 注 追加
	23.4.3	フラッシュメモリの動作モード	710	図 23.3 フラッシュメモリに関する状態遷移 修正
24. クロック発振器	24.1.1	ブロック図	753	図 24.1 クロック発振器のブロック図 修正
	24.9	クロック選択回路	763	追加
25. 低消費電力状態	25.1.1	レジスタ構成	771	表 25.3 レジスタ構成 注追加
	25.5.1	モジュールストップモード	781	表 25.4 MSTP ビットと内蔵周辺機能の対応 MSTP2 ビット モジュール追加
	25.10.1	サブアクティブモード	788	説明修正
26. 電気的特性	26.3.3	AC 特性	844	表 26.25 I ² C バスタイミング SCL、SDA 出 力立下がり時間追加
A. 命令	A.1	命令セット一覧	925	表 A.1 命令セット一覧 表中の*追加と注の 追加
	A.2	命令コード一覧	934	表中の*と注追加
	A.4	命令実行ステート数	950	表 A.5 命令実行状態 (サイクル数) 表中の* と注追加
	A.5	命令実行中のバス状態	958	表 A.6 命令の実行状態 表中の*と注追加
B. 内部 I/O レジスタ	B.2	レジスタ選択条件	975	PCSR、SYSCR2 の H8S/2144 シリーズ レジスタ選択条件修正
			975	アドレス H'FF94、H'FF95 のレジスタ選択条 件修正

章	節 / 項	タイトル	ページ	変更内容（詳細はマニュアル参照）
B. 内部 I/O レジスタ	B.2	レジスタ選択条件	976	アドレス H'FF98、H'FF99、H'FF9A、H'FF9B、H'FF9C、H'FF9D のレジスタ選択条件修正
	B.3	機能一覧	992	アドレス H'FEEB 説明追加
			1004	アドレス H'FF86、H'FF87 の MSTP2 ビットのモジュール追加
			1034	アドレス H'FFC4 IOS イネーブル 注追加
C. I/O ポート	C.2	ポート 2 ブロック図	1061 ~ 1063	図 C.2、C.3、C.4 ポート 2 ブロック図修正
	C.4	ポート 4 ブロック図	1065 ~ 1071	図 C.6、C.7、C.8、C.9、C.10、C.11、C.12 ポート 4 ブロック図修正
	C.5	ポート 5 ブロック図	1072 ~ 1074	図 C.13、C.14、C.15 ポート 5 ブロック図 修正
	C.8	ポート 8 ブロック図	1081 ~ 1086	図 C.23、C.24、C.25、C.26、C.27、C.28、 ポート 8 ブロック図修正
	C.9	ポート 9 ブロック図	1087 ~ 1089、 1091	図 C.29、C.30、C.31、C.33 ポート 9 ブロック図修正
	C.10	ポート A ブロック図	1092 ~ 1094	図 C.34、C.35、C.36 ポート A ブロック図 修正
	C.11	ポート B ブロック図	1095 ~ 1097	図 C.37、C.38、C.39 ポート B ブロック図 修正
G. 型名一覧			1103	表 G.1 H8S/2148 シリーズ、H8S/2144 シリ ーズ型名一覧 備考の開発中削除

目次

第1章 概要

1.1	概要	3	
1.2	内部ブロック図.....	8	
1.3	端子説明.....	11	
	1.3.1	ピン配置図	11
	1.3.2	動作モード別端子機能一覧.....	14
	1.3.3	端子機能.....	26

第2章 CPU

2.1	概要	35	
	2.1.1	特長	35
	2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点.....	36
	2.1.3	H8/300 CPU との相違点.....	37
	2.1.4	H8/300H CPU との相違点.....	37
2.2	CPU 動作モード	38	
2.3	アドレス空間.....	43	
2.4	レジスタ構成.....	44	
	2.4.1	概要	44
	2.4.2	汎用レジスタ	45
	2.4.3	コントロールレジスタ.....	46
	2.4.4	CPU 内部レジスタの初期値.....	48
2.5	データ構成	49	
	2.5.1	汎用レジスタのデータ構成.....	49
	2.5.2	メモリ上でのデータ構成	51
2.6	命令セット	52	
	2.6.1	概要	52
	2.6.2	命令とアドレッシングモードの組み合わせ.....	54

	2.6.3	命令の機能別一覧	55
	2.6.4	命令の基本フォーマット	64
	2.6.5	ビット操作命令使用上の注意.....	65
2.7		アドレッシングモードと実効アドレスの計算方法.....	66
	2.7.1	アドレッシングモード.....	66
	2.7.2	実効アドレスの計算方法	70
2.8		処理状態.....	74
	2.8.1	概要	74
	2.8.2	リセット状態.....	75
	2.8.3	例外処理状態.....	76
	2.8.4	プログラム実行状態.....	77
	2.8.5	バス権解放状態.....	78
	2.8.6	低消費電力状態.....	78
2.9		基本動作タイミング.....	79
	2.9.1	概要	79
	2.9.2	内蔵メモリ (ROM、RAM)	79
	2.9.3	内蔵周辺モジュールアクセスタイミング.....	80
	2.9.4	外部アドレス空間アクセスタイミング	81
2.10		使用上の注意.....	82
	2.10.1	TAS 命令	82
	2.10.2	STM/LDM 命令	82

第3章 MCU 動作モード

3.1		概要	85
	3.1.1	動作モードの選択	85
	3.1.2	レジスタ構成.....	86
3.2		各レジスタの説明	87
	3.2.1	モードコントロールレジスタ (MDCR)	87
	3.2.2	システムコントロールレジスタ (SYSCR)	88
	3.2.3	バスコントロールレジスタ (BCR)	90
	3.2.4	シリアルタイマコントロールレジスタ (STCR)	91
3.3		各動作モードの説明.....	93
	3.3.1	モード1.....	93
	3.3.2	モード2.....	93
	3.3.3	モード3.....	93
3.4		各動作モードにおける端子機能	94
3.5		各動作モードのアドレスマップ	95

第4章 例外処理

4.1	概要	109	
	4.1.1	例外処理の種類と優先度	109
	4.1.2	例外処理の動作.....	110
	4.1.3	例外処理要因とベクタテーブル	110
4.2	リセット.....	112	
	4.2.1	概要	112
	4.2.2	リセットシーケンス.....	112
	4.2.3	リセット直後の割込み.....	114
4.3	割込み.....	115	
4.4	トラップ命令.....	116	
4.5	例外処理後のスタックの状態.....	117	
4.6	スタック使用上の注意.....	118	

第5章 割込みコントローラ

5.1	概要	121	
	5.1.1	特長	121
	5.1.2	ブロック図	122
	5.1.3	端子構成.....	122
	5.1.4	レジスタ構成	123
5.2	各レジスタの説明	124	
	5.2.1	システムコントロールレジスタ (SYSCR)	124
	5.2.2	インタラプトコントロールレジスタ A ~ C (ICRA ~ ICRC)	125
	5.2.3	IRQ イネーブルレジスタ (IER)	126
	5.2.4	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	127
	5.2.5	IRQ ステータスレジスタ (ISR)	128
	5.2.6	キーボードマトリクス割込みマスクレジスタ (KMIMR)	130
	5.2.7	キーボードマトリクス割込みマスクレジスタ (KMIMRA)	130
	5.2.8	アドレスブレイクコントロールレジスタ (ABRKCR)	132
	5.2.9	ブレイクアドレスレジスタ A、B、C (BARA、BARB、BARC)	133
5.3	割込み要因	134	
	5.3.1	外部割込み	134
	5.3.2	内部割込み	136
	5.3.3	割込み例外処理ベクタテーブル	137
5.4	アドレスブレイク	139	
	5.4.1	特長	139
	5.4.2	ブロック図	139

	5.4.3	動作説明.....	140
	5.4.4	使用上の注意.....	140
5.5		割込み動作.....	142
	5.5.1	割込み制御モードと割込み動作.....	142
	5.5.2	割込み制御モード0.....	145
	5.5.3	割込み制御モード1.....	147
	5.5.4	割込み例外処理シーケンス.....	150
	5.5.5	割込み応答時間.....	151
5.6		使用上の注意.....	152
	5.6.1	割込みの発生とディスエーブルとの競合.....	152
	5.6.2	割込みを禁止している命令.....	153
	5.6.3	EEPMOV 命令実行中の割込み.....	153
5.7		割込みによる DTC の起動.....	154
	5.7.1	概要.....	154
	5.7.2	ブロック図.....	154
	5.7.3	動作説明.....	155

第6章 バスコントローラ

6.1		概要.....	159
	6.1.1	特長.....	159
	6.1.2	ブロック図.....	160
	6.1.3	端子構成.....	161
	6.1.4	レジスタ構成.....	161
6.2		各レジスタの説明.....	162
	6.2.1	バスコントロールレジスタ (BCR).....	162
	6.2.2	ウェイトステートコントロールレジスタ (WSCR).....	163
6.3		バス制御の概要.....	166
	6.3.1	バス仕様.....	166
	6.3.2	アドバンスモード.....	167
	6.3.3	ノーマルモード.....	167
	6.3.4	I/O セレクト信号.....	168
6.4		基本バスインタフェース.....	169
	6.4.1	概要.....	169
	6.4.2	データサイズとデータアライメント.....	169
	6.4.3	有効ストローク.....	171
	6.4.4	基本タイミング.....	172
	6.4.5	ウェイト制御.....	180

6.5	バーストROM インタフェース	182
	6.5.1 概要	182
	6.5.2 基本タイミング	182
	6.5.3 ウェイト制御	183
6.6	アイドルサイクル	184
	6.6.1 動作説明	184
	6.6.2 アイドルサイクルでの端子状態	185
6.7	バスアービトレーション	186
	6.7.1 概要	186
	6.7.2 動作説明	186
	6.7.3 バス権移行タイミング	187

第7章 データトランスファコントローラ (DTC) 【H8S/2148 シリーズに内蔵】

7.1	概要	191
	7.1.1 特長	191
	7.1.2 ブロック図	191
	7.1.3 レジスタ構成	193
7.2	各レジスタの説明	194
	7.2.1 DTC モードレジスタ A (MRA)	194
	7.2.2 DTC モードレジスタ B (MRB)	196
	7.2.3 DTC ソースアドレスレジスタ (SAR)	197
	7.2.4 DTC デスティネーションアドレスレジスタ (DAR)	197
	7.2.5 DTC 転送カウントレジスタ A (CRA)	197
	7.2.6 DTC 転送カウントレジスタ B (CRB)	198
	7.2.7 DTC イネーブルレジスタ (DTCER)	198
	7.2.8 DTC ベクタレジスタ (DTVECR)	199
	7.2.9 モジュールストップコントロールレジスタ (MSTPCR)	200
7.3	動作説明	201
	7.3.1 概要	201
	7.3.2 起動要因	202
	7.3.3 DTC ベクタテーブル	204
	7.3.4 アドレス空間上でのレジスタ情報の配置	206
	7.3.5 ノーマルモード	207
	7.3.6 リピートモード	208
	7.3.7 ブロック転送モード	209
	7.3.8 チェイン転送	210
	7.3.9 動作タイミング	211

	7.3.10	DTC 実行ステート数	212
	7.3.11	DTC 使用手順	213
	7.3.12	DTC 使用例.....	214
7.4		割込み.....	216
7.5		使用上の注意.....	216

第8章 I/O ポート

8.1		概要	219
8.2		ポート 1.....	227
	8.2.1	概要	227
	8.2.2	レジスタ構成	228
	8.2.3	モード別端子機能	230
	8.2.4	入力プルアップ MOS.....	231
8.3		ポート 2.....	232
	8.3.1	概要	232
	8.3.2	レジスタ構成	233
	8.3.3	モード別端子機能	235
	8.3.4	入力プルアップ MOS.....	237
8.4		ポート 3.....	238
	8.4.1	概要	238
	8.4.2	レジスタ構成	239
	8.4.3	モード別端子機能	241
	8.4.4	入力プルアップ MOS.....	242
8.5		ポート 4.....	243
	8.5.1	概要	243
	8.5.2	レジスタ構成	243
	8.5.3	端子機能.....	244
8.6		ポート 5.....	248
	8.6.1	概要	248
	8.6.2	レジスタ構成	248
	8.6.3	端子機能.....	250
8.7		ポート 6.....	251
	8.7.1	概要	251
	8.7.2	レジスタ構成	252
	8.7.3	端子機能.....	254
	8.7.4	入力プルアップ MOS.....	257
8.8		ポート 7.....	258

	8.8.1	概要	258
	8.8.2	レジスタ構成	258
	8.8.3	端子機能	259
8.9	ポート 8		260
	8.9.1	概要	260
	8.9.2	レジスタ構成	260
	8.9.3	端子機能	261
8.10	ポート 9		264
	8.10.1	概要	264
	8.10.2	レジスタ構成	265
	8.10.3	端子機能	266
8.11	ポート A		269
	8.11.1	概要	269
	8.11.2	レジスタ構成	269
	8.11.3	端子機能	271
	8.11.4	入力プルアップ MOS	274
8.12	ポート B		275
	8.12.1	概要	275
	8.12.2	レジスタ構成	276
	8.12.3	端子機能	278
	8.12.4	入力プルアップ MOS	280

第9章 8ビットPWMタイマ (PWM) 【H8S/2148 シリーズ、H8S/2147N に内蔵】

9.1	概要	283	
	9.1.1	特長	283
	9.1.2	ブロック図	284
	9.1.3	端子構成	285
	9.1.4	レジスタ構成	285
9.2	各レジスタの説明	286	
	9.2.1	PWM レジスタセレクト (PWSL)	286
	9.2.2	PWM データレジスタ (PWDR0 ~ PWDR15)	289
	9.2.3	PWM データポラリティレジスタ (PWDpra、PwDPRB)	289
	9.2.4	PWM アウトプットイネーブルレジスタ (PWOERA、PWOERB)	290
	9.2.5	周辺クロックセレクトレジスタ (PCSR)	291
	9.2.6	ポート 1 データディレクションレジスタ (P1DDR)	292
	9.2.7	ポート 2 データディレクションレジスタ (P2DDR)	292

9.2.8	ポート1データレジスタ (P1DR)	292
9.2.9	ポート2データレジスタ (P2DR)	293
9.2.10	モジュールストップコントロールレジスタ (MSTPCR)	293
9.3	PWM タイマの動作	294
9.3.1	PWM データレジスタの内容と出力波形の対応	294

第10章 14ビットPWMタイマ (PWMX)

10.1	概要	299
10.1.1	特長	299
10.1.2	ブロック図	299
10.1.3	端子構成	300
10.1.4	レジスタ構成	300
10.2	各レジスタの説明	301
10.2.1	PWM (D/A) カウンタ (DACNT)	301
10.2.2	D/A データレジスタ A、B (DADRA、B)	302
10.2.3	PWM (D/A) コントロールレジスタ (DACR)	303
10.2.4	モジュールストップコントロールレジスタ (MSTPCR)	305
10.3	バスマスタとのインタフェース	307
10.4	動作説明	310

第11章 16ビットフリーランニングタイマ (FRT)

11.1	概要	315
11.1.1	特長	315
11.1.2	ブロック図	316
11.1.3	端子構成	317
11.1.4	レジスタ構成	318
11.2	各レジスタの説明	319
11.2.1	フリーランニングカウンタ (FRC)	319
11.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	319
11.2.3	インプットキャプチャレジスタ A~D (ICRA~ICRD)	320
11.2.4	アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)	321
11.2.5	アウトプットコンペアレジスタ DM (OCRDM)	322
11.2.6	タイマインタラプトイネーブルレジスタ (TIER)	322
11.2.7	タイマコントロール/ステータスレジスタ (TCSR)	325
11.2.8	タイマコントロールレジスタ (TCR)	329
11.2.9	タイマアウトプットコンペアコントロールレジスタ (TOCR)	332

11.2.10	モジュールストップコントロールレジスタ (MSTPCR)	335
11.3	動作説明.....	336
11.3.1	FRCのカウントタイミング.....	336
11.3.2	アウトプットコンペア出力タイミング	337
11.3.3	FRCのクリアタイミング	338
11.3.4	インプットキャプチャ入力タイミング	338
11.3.5	インプットキャプチャフラグ (ICFA ~ D) のセットタイミング.....	341
11.3.6	アウトプットコンペアフラグ (OCFA、B) のセットタイミング	341
11.3.7	タイマオーバーフローフラグ (OVF) のセットタイミング.....	342
11.3.8	OCRA と OCRAR / OCRAF の自動加算タイミング	342
11.3.9	ICRD と OCRDM のマスク信号生成タイミング	343
11.4	割込み要因	344
11.5	FRTの使用例.....	345
11.6	使用上の注意.....	346

第 12 章 8 ビットタイマ (TMR)

12.1	概要	355
12.1.1	特長	355
12.1.2	ブロック図	356
12.1.3	端子構成.....	357
12.1.4	レジスタ構成.....	358
12.2	各レジスタの説明	359
12.2.1	タイマカウンタ (TCNT)	359
12.2.2	タイムコンスタントレジスタ A (TCORA)	360
12.2.3	タイムコンスタントレジスタ B (TCORB)	361
12.2.4	タイマコントロールレジスタ (TCR)	362
12.2.5	タイマコントロール / ステータスレジスタ (TCSR)	365
12.2.6	シリアルタイマコントロールレジスタ (STCR)	369
12.2.7	システムコントロールレジスタ (SYSCR)	370
12.2.8	タイマコネクションレジスタ S (TCONRS)	371
12.2.9	インプットキャプチャレジスタ (TICR) 【TMRX 追加機能】	371
12.2.10	タイムコンスタントレジスタ C (TCORC) 【TMRX 追加機能】	372
12.2.11	インプットキャプチャレジスタ R、F (TICRR、TICRF) 【TMRX 追加機能】	372
12.2.12	タイマインプットセレクトレジスタ (TISR) 【TMRX 追加機能】	373
12.2.13	モジュールストップコントロールレジスタ (MSTPCR)	374
12.3	動作説明.....	375

12.3.1	TCNTのカウンタタイミング	375
12.3.2	コンペアマッチタイミング	376
12.3.3	TCNTの外部リセットタイミング	378
12.3.4	オーバフローフラグ (OVF) のセットタイミング	378
12.3.5	カスケード接続時の動作	378
12.3.6	インプットキャプチャ動作	380
12.4	割込み要因	382
12.5	8ビットタイマの使用例	383
12.6	使用上の注意	384
12.6.1	TCNTのライトとカウンタクリアの競合	384
12.6.2	TCNTのライトとカウンタアップの競合	385
12.6.3	TCORのライトとコンペアマッチの競合	385
12.6.4	コンペアマッチ A、B の競合	386
12.6.5	内部クロックの切り替えと TCNT の動作	387

第 13 章 タイマコネクション【H8S/2148 シリーズに内蔵】

13.1	概要	391
13.1.1	特長	391
13.1.2	ブロック図	392
13.1.3	端子構成	393
13.1.4	レジスタ構成	394
13.2	各レジスタの説明	395
13.2.1	タイマコネクションレジスタ I (TCONRI)	395
13.2.2	タイマコネクションレジスタ O (TCONRO)	397
13.2.3	タイマコネクションレジスタ S (TCONRS)	399
13.2.4	エッジセンスレジスタ (SEDGR)	401
13.2.5	モジュールストップコントロールレジスタ (MSTPCR)	404
13.3	動作説明	406
13.3.1	PWM デコード (PDC 信号生成)	406
13.3.2	クランプ波形生成 (CL1・CL2・CL3 信号生成)	407
13.3.3	8ビットタイマ分周波形周期測定	408
13.3.4	IHI 信号の 2fH モディファイ	410
13.3.5	IVI 信号の立ち下がりモディファイ・IHI 同期	411
13.3.6	内部同期信号の生成 (IHG 信号、IVG 信号、CL4 信号の生成)	413
13.3.7	HSYNCO 出力	415
13.3.8	VSYNCO 出力	416
13.3.9	CBLANK 出力	417

第 14 章 ウォッチドッグタイマ (WDT)

14.1	概要	421
14.1.1	特長	421
14.1.2	ブロック図	422
14.1.3	端子構成	424
14.1.4	レジスタ構成	424
14.2	各レジスタの説明	425
14.2.1	タイマカウンタ (TCNT)	425
14.2.2	タイマコントロール/ステータスレジスタ (TCSR)	425
14.2.3	システムコントロールレジスタ (SYSCR)	429
14.2.4	レジスタアクセス時の注意	429
14.3	動作説明	431
14.3.1	ウォッチドッグタイマモード時の動作	431
14.3.2	インターバルタイマモード時の動作	433
14.3.3	オーバフローフラグ (OVF) のセットタイミング	433
14.3.4	RESO 信号出力タイミング	434
14.4	割込み	435
14.5	使用上の注意	435
14.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	435
14.5.2	CKS2~CKS0 ビットの書き換え	435
14.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	436
14.5.4	RESO 信号によるシステムのリセット	436
14.5.5	高速モード、サブアクティブモード、ウォッチモード間遷移時の カウンタ値	436
14.5.6	OVF フラグのクリア	437

第 15 章 シリアルコミュニケーションインタフェース (SCI、IrDA)

15.1	概要	441
15.1.1	特長	441
15.1.2	ブロック図	442
15.1.3	端子構成	444
15.1.4	レジスタ構成	445
15.2	各レジスタの説明	446
15.2.1	レシーブシフトレジスタ (RSR)	446
15.2.2	レシーブデータレジスタ (RDR)	446
15.2.3	トランスミットシフトレジスタ (TSR)	447
15.2.4	トランスミットデータレジスタ (TDR)	447

15.2.5	シリアルモードレジスタ (SMR)	448
15.2.6	シリアルコントロールレジスタ (SCR)	451
15.2.7	シリアルステータスレジスタ (SSR)	455
15.2.8	ビットレートレジスタ (BRR)	459
15.2.9	シリアルインタフェースモードレジスタ (SCMR)	468
15.2.10	モジュールストップコントロールレジスタ (MSTPCR)	469
15.2.11	キーボードコンパレータコントロールレジスタ (KBCOMP)	470
15.3	動作説明.....	472
15.3.1	概要	472
15.3.2	調歩同期式モード時の動作.....	474
15.3.3	マルチプロセッサ通信機能.....	485
15.3.4	クロック同期式モード時の動作	492
15.3.5	IrDA 動作.....	501
15.4	SCI 割込み.....	504
15.5	使用上の注意.....	505

第 16 章 I²C バスインタフェース (IIC) 【オプション】

【H8S/2148 シリーズ、H8S/2147N に内蔵】

16.1	概要	511
16.1.1	特長	511
16.1.2	ブロック図	512
16.1.3	端子構成.....	514
16.1.4	レジスタ構成.....	515
16.2	各レジスタの説明	516
16.2.1	I ² C バスデータレジスタ (ICDR)	516
16.2.2	スレーブアドレスレジスタ (SAR)	518
16.2.3	第 2 スレーブアドレスレジスタ (SARX)	520
16.2.4	I ² C バスモードレジスタ (ICMR)	521
16.2.5	I ² C バスコントロールレジスタ (ICCR)	524
16.2.6	I ² C バスステータスレジスタ (ICSR)	530
16.2.7	シリアルタイマコントロールレジスタ (STCR)	536
16.2.8	DDC スイッチレジスタ (DDCSWR)	537
16.2.9	モジュールストップコントロールレジスタ (MSTPCR)	540
16.3	動作説明.....	541
16.3.1	I ² C バスデータフォーマット	541
16.3.2	マスタ送信動作.....	543
16.3.3	マスタ受信動作.....	545

16.3.4	スレーブ受信動作	547
16.3.5	スレーブ送信動作	549
16.3.6	IRIC セットタイミングと SCL 制御.....	551
16.3.7	フォーマットレスから I2C バスフォーマットへの自動切り替え	552
16.3.8	DTC による動作.....	553
16.3.9	ノイズ除去回路.....	554
16.3.10	使用例.....	555
16.3.11	内部状態の初期化	558
16.4	使用上の注意.....	560

第 17 章 キーボードバッファコントローラ 【H8S/2148 シリーズ、H8S/2147N に内蔵】

17.1	概要	569
17.1.1	特長	569
17.1.2	ブロック図	570
17.1.3	端子構成.....	571
17.1.4	レジスタ構成.....	571
17.2	各レジスタの説明	572
17.2.1	キーボードコントロールレジスタ H (KBCRH)	572
17.2.2	キーボードコントロールレジスタ L (KBCRL)	575
17.2.3	キーボードデータバッファレジスタ (KBBR)	576
17.2.4	モジュールストップコントロールレジスタ (MSTPCR)	577
17.3	動作説明.....	578
17.3.1	受信動作.....	578
17.3.2	送信動作.....	579
17.3.3	受信中断動作.....	582
17.3.4	KCLKI、KDI リードタイミング	584
17.3.5	KCLKO、KDO ライトタイミング.....	584
17.3.6	KBF セットタイミングと KCLK 制御.....	585
17.3.7	受信タイミング.....	586
17.3.8	KCLK 立ち下がり割込みの動作.....	587
17.3.9	使用上の注意.....	588

第 18 章 ホストインタフェース【H8S/2148 シリーズ、H8S/2147N に内蔵】

18.1	概要	591
18.1.1	特長	591

	18.1.2	ブロック図	592
	18.1.3	端子構成.....	593
	18.1.4	レジスタ構成.....	594
18.2		各レジスタの説明	595
	18.2.1	システムコントロールレジスタ (SYSCR)	595
	18.2.2	システムコントロールレジスタ 2 (SYSCR2)	596
	18.2.3	ホストインタフェースコントロールレジスタ (HICR)	598
	18.2.4	入力データレジスタ (IDR)	599
	18.2.5	出力データレジスタ 1 (ODR)	599
	18.2.6	ステータスレジスタ (STR)	600
	18.2.7	モジュールストップコントロールレジスタ (MSTPCR)	602
18.3		動作説明.....	603
	18.3.1	ホストインタフェースの起動.....	603
	18.3.2	コントロール状態	605
	18.3.3	GATE A20.....	606
	18.3.4	ホストインタフェース端子シャットダウン機能.....	608
18.4		割込み要因	610
	18.4.1	IBF1、IBF2、IBF3、IBF4.....	610
	18.4.2	HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4.....	610
18.5		使用上の注意.....	612

第 19 章 D/A 変換器

19.1		概要	615
	19.1.1	特長	615
	19.1.2	ブロック図	615
	19.1.3	端子構成.....	616
	19.1.4	レジスタ構成.....	616
19.2		各レジスタの説明	617
	19.2.1	D/A データレジスタ 0、1 (DADR0、DADR1)	617
	19.2.2	D/A コントロールレジスタ (DACR)	617
	19.2.3	モジュールストップコントロールレジスタ (MSTPCR)	619
19.3		動作説明.....	620

第 20 章 A/D 変換器

20.1		概要	623
	20.1.1	特長	623

20.1.2	ブロック図	624
20.1.3	端子構成	625
20.1.4	レジスタ構成	626
20.2	各レジスタの説明	627
20.2.1	A/D データレジスタ A ~ D (ADDR _A ~ ADDR _D)	627
20.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	628
20.2.3	A/D コントロールレジスタ (ADCR)	630
20.2.4	キーボードコンパレータコントロールレジスタ (KBCOMP)	631
20.2.5	モジュールストップコントロールレジスタ (MSTPCR)	633
20.3	バスマスタとのインタフェース	634
20.4	動作説明	635
20.4.1	シングルモード (SCAN = 0)	635
20.4.2	スキャンモード (SCAN = 1)	637
20.4.3	入力サンプリングと A/D 変換時間	639
20.4.4	外部トリガ入力タイミング	640
20.5	割込み	641
20.6	使用上の注意	641

第 21 章 RAM

21.1	概要	649
21.1.1	ブロック図	649
21.1.2	レジスタ構成	649
21.2	システムコントロールレジスタ (SYSCR)	650
21.3	動作説明	651
21.3.1	拡張モード (モード 1、2、3 (EXPE = 1))	651
21.3.2	シングルチップモード (モード 2、3 (EXPE = 0))	651

第 22 章 ROM

マスク ROM 版
H8S/2148 F-ZTAT
H8S/2147N F-ZTAT
H8S/2144 F-ZTAT
H8S/2142 F-ZTAT

22.1	概要	655
22.1.1	ブロック図	655
22.1.2	レジスタ構成	655
22.2	レジスタの説明	656
22.2.1	モードコントロールレジスタ (MDCR)	656

22.3	動作説明.....	657
22.4	フラッシュメモリの概要	658
	22.4.1 特長	658
	22.4.2 ブロック図	659
	22.4.3 フラッシュメモリの動作モード	660
	22.4.4 端子構成.....	664
	22.4.5 レジスタ構成	664
22.5	フラッシュメモリのレジスタの説明.....	665
	22.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)	665
	22.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)	667
	22.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)	669
	22.5.4 シリアルタイマコントロールレジスタ (STCR)	670
22.6	オンボードプログラミングモード	671
	22.6.1 ブートモード	672
	22.6.2 ユーザプログラムモード	678
22.7	フラッシュメモリの書き込み / 消去.....	679
	22.7.1 プログラムモード	679
	22.7.2 プログラムベリファイモード.....	680
	22.7.3 イレースモード.....	682
	22.7.4 イレースベリファイモード.....	682
22.8	フラッシュメモリのプロテクト	685
	22.8.1 ハードウェアプロテクト	685
	22.8.2 ソフトウェアプロテクト	685
	22.8.3 エラープロテクト	686
22.9	フラッシュメモリの書き込み / 消去時の割込み処理	687
22.10	フラッシュメモリのライターモード	688
	22.10.1 ライターモードの設定	688
	22.10.2 ソケットアダプタとメモリマップ	688
	22.10.3 ライターモードの動作	689
	22.10.4 メモリ読み出しモード	691
	22.10.5 自動書き込みモード	694
	22.10.6 自動消去モード	696
	22.10.7 ステータス読み出しモード	697
	22.10.8 ステータスポーリング	698
	22.10.9 ライターモードへの遷移時間	699
	22.10.10 メモリ書き込み注意事項	699
22.11	フラッシュメモリの書き込み / 消去時の注意	700
22.12	F-ZTAT マイコンのマスク ROM 化時の注意事項	702

第 23 章 ROM H8S/2148 F-ZTAT A マスク品
H8S/2147 F-ZTAT A マスク品
H8S/2144 F-ZTAT A マスク品

23.1	概要	705	
	23.1.1	ブロック図	705
	23.1.2	レジスタ構成	705
23.2	レジスタの説明	706	
	23.2.1	モードコントロールレジスタ (MDCR)	706
23.3	動作説明	707	
23.4	フラッシュメモリの概要	708	
	23.4.1	特長	708
	23.4.2	ブロック図	709
	23.4.3	フラッシュメモリの動作モード	710
	23.4.4	端子構成	714
	23.4.5	レジスタ構成	714
23.5	フラッシュメモリのレジスタの説明	715	
	23.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	715
	23.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	717
	23.5.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2)	719
	23.5.4	シリアルタイマコントロールレジスタ (STCR)	720
23.6	オンボードプログラミングモード	721	
	23.6.1	ブートモード	722
	23.6.2	ユーザプログラムモード	728
23.7	フラッシュメモリの書き込み / 消去	729	
	23.7.1	プログラムモード	729
	23.7.2	プログラムベリファイモード	730
	23.7.3	イレースモード	732
	23.7.4	イレースベリファイモード	732
23.8	フラッシュメモリのプロテクト	734	
	23.8.1	ハードウェアプロテクト	734
	23.8.2	ソフトウェアプロテクト	734
	23.8.3	エラープロテクト	735
23.9	フラッシュメモリの書き込み / 消去時の割込み処理	736	
23.10	フラッシュメモリのライターモード	737	
	23.10.1	ライターモードの設定	737
	23.10.2	ソケットアダプタとメモリマップ	737
	23.10.3	ライターモードの動作	738
	23.10.4	メモリ読み出しモード	740

23.10.5	自動書き込みモード	743
23.10.6	自動消去モード	745
23.10.7	ステータス読み出しモード	746
23.10.8	ステータスポーリング	747
23.10.9	ライターモードへの遷移時間	748
23.10.10	メモリ書き込み注意事項	748
23.11	フラッシュメモリの書き込み / 消去時の注意	749
23.12	F-ZTAT マイコンのマスク ROM 化時の注意事項	750

第 24 章 クロック発振器

24.1	概要	753
24.1.1	ブロック図	753
24.1.2	レジスタ構成	753
24.2	各レジスタの説明	754
24.2.1	スタンバイコントロールレジスタ (SBYCR)	754
24.2.2	ローパワーコントロールレジスタ (LPWRCCR)	755
24.3	発振器	756
24.3.1	水晶発振子を接続する方法	756
24.3.2	外部クロックを入力する方法	758
24.4	デューティ補正回路	761
24.5	中速クロック分周器	761
24.6	バスマスタクロック選択回路	761
24.7	サブクロック入力回路	761
24.8	サブクロック波形成形回路	762
24.9	クロック選択回路	763

第 25 章 低消費電力状態

25.1	概要	767
25.1.1	レジスタ構成	771
25.2	各レジスタの説明	772
25.2.1	スタンバイコントロールレジスタ (SBYCR)	772
25.2.2	ローパワーコントロールレジスタ (LPWRCCR)	774
25.2.3	タイマコントロール / ステータスレジスタ (TCSR)	776
25.2.4	モジュールストップコントロールレジスタ (MSTPCR)	777
25.3	中速モード	778
25.4	スリープモード	779

25.4.1	スリープモード.....	779
25.4.2	スリープモードの解除.....	779
25.5	モジュールストップモード.....	780
25.5.1	モジュールストップモード.....	780
25.5.2	使用上の注意.....	781
25.6	ソフトウェアスタンバイモード.....	782
25.6.1	ソフトウェアスタンバイモード.....	782
25.6.2	ソフトウェアスタンバイモードの解除.....	782
25.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定.....	783
25.6.4	ソフトウェアスタンバイモードの応用例.....	783
25.6.5	使用上の注意.....	784
25.7	ハードウェアスタンバイモード.....	785
25.7.1	ハードウェアスタンバイモード.....	785
25.7.2	ハードウェアスタンバイモードのタイミング.....	785
25.8	ウォッチモード.....	786
25.8.1	ウォッチモード.....	786
25.8.2	ウォッチモードの解除.....	786
25.9	サブスリープモード.....	787
25.9.1	サブスリープモード.....	787
25.9.2	サブスリープモードの解除.....	787
25.10	サブアクティブモード.....	788
25.10.1	サブアクティブモード.....	788
25.10.2	サブアクティブモードの解除.....	788
25.11	直接遷移.....	789
25.11.1	直接遷移の概要.....	789

第 26 章 電気的特性

26.1	電源電圧と動作範囲.....	793
26.2	H8S/2148 F-ZTAT の電気的特性.....	796
26.2.1	絶対最大定格.....	796
26.2.2	DC 特性.....	797
26.2.3	AC 特性.....	810
26.2.4	A/D 変換特性.....	817
26.2.5	D/A 変換特性.....	819
26.2.6	フラッシュメモリ特性.....	820
26.2.7	使用上の注意.....	822
26.3	H8S/2148 F-ZTAT (A マスク品)、H8S/2147 F-ZTAT (A マスク品)、H8S/2148 マスク ROM 品、	

	H8S/2147 マスク ROM 品の電気的特性	823
	26.3.1 絶対最大定格	823
	26.3.2 DC 特性	825
	26.3.3 AC 特性	837
	26.3.4 A/D 変換特性	845
	26.3.5 D/A 変換特性	847
	26.3.6 フラッシュメモリ特性	848
	26.3.7 使用上の注意	850
26.4	H8S/2147N F-ZTAT の電気的特性	851
	26.4.1 絶対最大定格	851
	26.4.2 DC 特性	852
	26.4.3 AC 特性	860
	26.4.4 A/D 変換特性	868
	26.4.5 D/A 変換特性	870
	26.4.6 フラッシュメモリ特性	871
	26.4.7 使用上の注意	873
26.5	H8S/2144 F-ZTAT、H8S/2142 F-ZTAT、H8S/2142 マスク ROM 品の電気的特性	874
	26.5.1 絶対最大定格	874
	26.5.2 DC 特性	875
	26.5.3 AC 特性	882
	26.5.4 A/D 変換特性	886
	26.5.5 D/A 変換特性	888
	26.5.6 フラッシュメモリ特性	889
	26.5.7 使用上の注意	891
26.6	H8S/2144 F-ZTAT (A マスク品)、H8S/2144 マスク ROM 品、H8S/2143 マスク ROM 品の 電気的特性	892
	26.6.1 絶対最大定格	892
	26.6.2 DC 特性	893
	26.6.3 AC 特性	901
	26.6.4 A/D 変換特性	905
	26.6.5 D/A 変換特性	907
	26.6.6 フラッシュメモリ特性	908
	26.6.7 使用上の注意	910
26.7	動作タイミング	911
	26.7.1 AC 特性測定条件	911
	26.7.2 クロックタイミング	911
	26.7.3 制御信号タイミング	912
	26.7.4 バスタイミング	913

26.7.5	内蔵周辺モジュールタイミング	916
--------	----------------------	-----

付録

A.	命令	923
	A.1 命令セット一覧.....	923
	A.2 命令コード一覧.....	934
	A.3 オペレーションコードマップ.....	944
	A.4 命令実行ステート数.....	948
	A.5 命令実行中のバス状態.....	958
B.	内部 I/O レジスタ	968
	B.1 アドレス一覧.....	968
	B.2 レジスタ選択条件	974
	B.3 機能一覧.....	981
C.	I/O ポートのブロック図.....	1060
	C.1 ポート 1 ブロック図.....	1060
	C.2 ポート 2 ブロック図.....	1061
	C.3 ポート 3 ブロック図.....	1064
	C.4 ポート 4 ブロック図.....	1065
	C.5 ポート 5 ブロック図.....	1072
	C.6 ポート 6 ブロック図.....	1075
	C.7 ポート 7 ブロック図.....	1080
	C.8 ポート 8 ブロック図.....	1081
	C.9 ポート 9 ブロック図.....	1087
	C.10 ポート A ブロック図.....	1092
	C.11 ポート B ブロック図.....	1095
D.	端子状態.....	1098
	D.1 各処理状態におけるポートの状態.....	1098
E.	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて	1100
	E.1 ハードウェアスタンバイモードの遷移タイミング.....	1100
	E.2 ハードウェアスタンバイモードからの復帰タイミング.....	1100
F.	ROM 発注手順	1101
	F.1 ROM 書き換え品開発の流れ (発注手順)	1101
	F.2 ROM 発注時の注意事項.....	1102
G.	型名一覧.....	1103
H.	外形寸法図	1105

1. 概要

第1章 目次

1.1	概要	3	
1.2	内部ブロック図.....	8	
1.3	端子説明.....	11	
	1.3.1	ピン配置図	11
	1.3.2	動作モード別端子機能一覧.....	14
	1.3.3	端子機能.....	26

1.1 概要

H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2147N は、日立オリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、データトランスファコントローラ (DTC) のバスマスタ、ROM、RAM のメモリ、16 ビットフリーランニングタイマ (FRT)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、2 種類の PWM タイマ (PWM、PWMX)、シリアルコミュニケーションインタフェース (SCI)、PS/2 対応のキーボードバッファコントローラ、ホストインタフェース (HIF)、D/A 変換器 (DAC)、A/D 変換器 (ADC)、I/O ポートの周辺機能などを内蔵しています。さらに、オプションとして、I²C バスインタフェース (IIC) を内蔵することができます。

内蔵 ROM は、フラッシュメモリ (F-ZTAT™*1) またはマスク ROM であり、128k / 96k / 64k バイトの容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 1~3 があり、アドレス空間やシングルチップモード / 外部拡張モードの選択ができます。

H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2147N の特長を表 1.1 に示します。

【注】 *1 F-ZTAT は (株) 日立製作所の商標です。

表 1.1 概要 (1)

項 目	仕 様																														
CPU	<p>汎用レジスタマシン</p> <ul style="list-style-type: none"> ・ 16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) リアルタイム制御向き的高速動作 ・ 最高動作周波数 : 20MHz / 5V、10MHz / 3V ・ 高速演算 8 / 16 / 32 ビットレジスタ間加減算 : 50ns (20MHz 動作時) 16 × 16 ビットレジスタ間乗算 : 1000ns (20MHz 動作時) 32 ÷ 16 ビットレジスタ間除算 : 1000ns (20MHz 動作時) 高速動作に適した命令セット ・ 65 種類の基本命令 ・ 8 / 16 / 32 ビット転送 / 演算命令 ・ 符号なし / 符号付き乗除算命令 ・ 強力なビット操作命令 2 種類の CPU 動作モード ・ ノーマルモード : アドレス空間 64k バイト ・ アドバンスモード : アドレス空間 16M バイト 																														
動作モード	<ul style="list-style-type: none"> ・ 3 種類の MCU 動作モード <table border="1" data-bbox="657 1308 1406 1532"> <thead> <tr> <th data-bbox="657 1308 730 1368">モード</th> <th data-bbox="730 1308 863 1368">CPU 動作モード</th> <th data-bbox="863 1308 1161 1368">内 容</th> <th data-bbox="1161 1308 1225 1368">内蔵 ROM</th> <th colspan="2" data-bbox="1225 1308 1406 1368">外部データバス</th> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <th data-bbox="1225 1368 1289 1402">初期値</th> <th data-bbox="1289 1368 1406 1402">最大値</th> </tr> </thead> <tbody> <tr> <td data-bbox="657 1368 730 1402">1</td> <td data-bbox="730 1368 863 1402">ノーマル</td> <td data-bbox="863 1368 1161 1402">内蔵ROM無効拡張モード</td> <td data-bbox="1161 1368 1225 1402">無効</td> <td data-bbox="1225 1368 1289 1402">8ビット</td> <td data-bbox="1289 1368 1406 1402">16ビット</td> </tr> <tr> <td data-bbox="657 1402 730 1462">2</td> <td data-bbox="730 1402 863 1462">アドバンス</td> <td data-bbox="863 1402 1161 1462">内蔵ROM有効拡張モード シングルチップモード</td> <td data-bbox="1161 1402 1225 1462">有効</td> <td data-bbox="1225 1402 1289 1462">8ビット</td> <td data-bbox="1289 1402 1406 1462">16ビット</td> </tr> <tr> <td data-bbox="657 1462 730 1532">3</td> <td data-bbox="730 1462 863 1532">ノーマル</td> <td data-bbox="863 1462 1161 1532">内蔵ROM有効拡張モード シングルチップモード</td> <td data-bbox="1161 1462 1225 1532">有効</td> <td data-bbox="1225 1462 1289 1532">8ビット</td> <td data-bbox="1289 1462 1406 1532">16ビット</td> </tr> </tbody> </table>	モード	CPU 動作モード	内 容	内蔵 ROM	外部データバス						初期値	最大値	1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット	16ビット	2	アドバンス	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット	16ビット	3	ノーマル	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット	16ビット
モード	CPU 動作モード	内 容	内蔵 ROM	外部データバス																											
				初期値	最大値																										
1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット	16ビット																										
2	アドバンス	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット	16ビット																										
3	ノーマル	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット	16ビット																										
バスコントローラ	<ul style="list-style-type: none"> ・ 外部拡張エリアを 2 ステートまたは 3 ステートアクセス空間に設定可能 ・ 外部拡張エリアにプログラムウェイトのステート数を設定可能 																														
データ転送コントローラ (DTC) 【 H8S/2148 シリーズに内蔵 】	<ul style="list-style-type: none"> ・ 内部割込み / ソフトウェアによる起動 ・ 1 つの起動要因に対して、複数回・複数種類の転送が可能 ・ リピートモード / ブロック転送モードなどの転送可能 ・ DTC を起動した割込みを CPU に要求可能 																														

表 1.1 概要 (2)

項目	仕様
16 ビットフリーランニングタイマ (FRT) ×1 チャンネル	<ul style="list-style-type: none"> ・16 ビットフリーランニングカウンタ ×1 (外部イベントカウント可能) ・アウトプットコンペア出力 ×2 ・インプットキャプチャ入力 ×4 (バッファ動作可能)
8 ビットタイマ (TMR) ×2 チャンネル (TMR0、TMR1)	1 チャンネル当たり <ul style="list-style-type: none"> ・8 ビットアップカウンタ (外部イベントカウント可能) ・タイムコンスタントレジスタ ×2 ・2 チャンネルの接続が可能
タイマコネクション および 8 ビットタイマ (TMR) ×2 チャンネル (TMRX、TMR Y) 【タイマコネクションと TMRX は、H8S/2148 シ リーズに内蔵】	入出力および FRT、TMR1、TMRX、TMR Y を相互に接続可能 <ul style="list-style-type: none"> ・入力信号またはその分周波形のパルス幅や周期を測定 (FRT、TMR1) ・入力信号のエッジをモディファイした波形の出力が可能 (FRT、TMR1) ・入力信号のデューティの判定が可能 (TMRX) ・入力信号に同期した波形の出力が可能 (FRT、TMRX、TMR Y) ・周期的波形の自動生成が可能 (FRT、TMR Y)
ウォッチドッグタイマ (WDT) ×2 チャンネル	<ul style="list-style-type: none"> ・ウォッチドッグタイマ / インターバルタイマの選択が可能 ・サブクロックによる動作が可能 (1 チャンネルのみ)
8 ビット PWM タイマ (PWM) 【H8S/2148 シリーズ、 H8S/2147N に内蔵】	<ul style="list-style-type: none"> ・最大 16 出力 ・デューティ : 0 ~ 100% デューティのパルスを設定可能 ・分解能 : 1 / 256 ・最大キャリア周波数 : 1.25MHz (20MHz 動作時)
14 ビット PWM タイマ (PWMX)	<ul style="list-style-type: none"> ・最大 2 出力 ・分解能 : 1 / 16384 ・最大キャリア周波数 : 312.5kHz (20MHz 動作時)
シリアルコミュニケーションインタフェース (SCI) ×2 チャンネル (SCI0、SCI1)	<ul style="list-style-type: none"> ・調歩同期式モード / クロック同期式モードの選択が可能 ・マルチプロセッサ通信機能
IrDA 付き SCI ×1 チャンネル (SCI2)	<ul style="list-style-type: none"> ・調歩同期式モード / クロック同期式モードの選択が可能 ・マルチプロセッサ通信機能 ・IrDA 規格バージョン 1.0 に対応 ・TxD、RxD を IrDA フォーマットにエンコード / デコード

表 1.1 概要 (3)

項目	仕様												
キーボード バッファ コントローラ (PS2) ×3 チャンネル 【H8S/2148 シリーズ、 H8S/2147N に内蔵】	<ul style="list-style-type: none"> ・ PS/2 インタフェースに準拠 ・ 送信出力をソフトウェアで直接操作 ・ データ受信は 8 ビットシフトレジスタに入力 ・ データ受信完了割込み、パリティエラー検出、ストップビットモニタ 												
ホストインタフェース (HIF) 【H8S/2148 シリーズ、 H8S/2147N に内蔵】	<ul style="list-style-type: none"> ・ 8 ビットホストインタフェース (ISA) ポート ・ 5 つのホスト割込み要求 (HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4) ・ 通常および高速 GATE A20 出力 ・ 4 つのレジスタセット (それぞれ 2 つのデータレジスタとステータスレジスタから構成) 												
キーボード コントローラ	<ul style="list-style-type: none"> ・ マトリクスキーボードを、ウェイクアップ割込み付きキーボードスキャンおよびセンスポートの構成で制御 												
A/D 変換器	<ul style="list-style-type: none"> ・ 分解能：10 ビット ・ 入力：8 チャンネル (アナログ専用端子) 16 チャンネル (キーボードセンスポートと同一端子) ・ 高速変換：最小変換時間 6.7 μs (20MHz 動作時) ・ シングル / スキャンモードの選択が可能 ・ サンプル & ホールド機能 ・ 外部トリガ / タイマトリガによる A/D 変換の起動が可能 												
D/A 変換器	<ul style="list-style-type: none"> ・ 分解能 8 ビット ・ 出力：2 チャンネル 												
I/O ポート	<ul style="list-style-type: none"> ・ 入出力端子 74 本 (内 24 本は、LED 駆動可能) ・ 入力専用端子 8 本 ・ 入出力端子中 VCCB (別電源) 駆動端子 8 本 (H8S/2148 シリーズ、H8S/2147N) 												
メモリ	<ul style="list-style-type: none"> ・ フラッシュメモリまたはマスク ROM ・ 高速スタティック RAM <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>製品名</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>H8S/2144、H8S/2148</td> <td>128kバイト</td> <td>4kバイト</td> </tr> <tr> <td>H8S/2143</td> <td>96kバイト</td> <td>4kバイト</td> </tr> <tr> <td>H8S/2142、H8S/2147、 H8S/2147N</td> <td>64kバイト</td> <td>2kバイト</td> </tr> </tbody> </table>	製品名	ROM	RAM	H8S/2144、H8S/2148	128kバイト	4kバイト	H8S/2143	96kバイト	4kバイト	H8S/2142、H8S/2147、 H8S/2147N	64kバイト	2kバイト
製品名	ROM	RAM											
H8S/2144、H8S/2148	128kバイト	4kバイト											
H8S/2143	96kバイト	4kバイト											
H8S/2142、H8S/2147、 H8S/2147N	64kバイト	2kバイト											
割込みコントローラ	<ul style="list-style-type: none"> ・ 外部割込み端子 9 本 (NMI、$\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ7}}$) ・ 内部割込み要因 44 要因 ・ 3 レベルの優先順位設定が可能 												

表 1.1 概要 (4)

項目	仕様																																					
低消費電力状態	<ul style="list-style-type: none"> ・ 中速モード ・ スリープモード ・ モジュールストップモード ・ ソフトウェアスタンバイモード ・ ハードウェアスタンバイモード ・ サブクロック動作 																																					
クロック発振器	<ul style="list-style-type: none"> ・ デューティ補正回路内蔵 																																					
パッケージ	<ul style="list-style-type: none"> ・ 100 ピンプラスチック QFP (FP-100B) ・ 100 ピンプラスチック TQFP (TFP-100B) 																																					
I ² C バスインタフェース (IIC) ×2 チャンネル 【オプション】 【H8S/2148 シリーズ、H8S/2147N に内蔵】	<ul style="list-style-type: none"> ・ Philips 社提唱の I²C バスインタフェース方式準拠 ・ シングルマスタモード / スレーブモード内蔵 ・ アビトレーションロスト条件の判定が可能 ・ 2 つのスレーブアドレスをサポート 																																					
製品ラインアップ 【暫定】	<table border="1"> <thead> <tr> <th rowspan="2">シリーズ名</th> <th colspan="2">製品型名*2</th> <th rowspan="2">ROM / RAM (バイト)</th> <th rowspan="2">パッケージ</th> </tr> <tr> <th>マスクROM版</th> <th>F-ZTAT™版</th> </tr> </thead> <tbody> <tr> <td rowspan="4">H8S/2148</td> <td>HD6432148S</td> <td>HD64F2148</td> <td rowspan="2">128 / 4k</td> <td rowspan="4">FP-100B、TFP-100B</td> </tr> <tr> <td>HD6432148SW*1</td> <td>HD64F2148A</td> </tr> <tr> <td>HD6432147S</td> <td>HD64F2147A</td> <td rowspan="2">64k / 2k</td> </tr> <tr> <td>HD6432147SW*1</td> <td></td> </tr> <tr> <td>H8S/2147N</td> <td>-</td> <td>HD64F2147N</td> <td>64k / 2k</td> <td></td> </tr> <tr> <td rowspan="4">H8S/2144</td> <td>HD6432144S</td> <td>HD64F2144</td> <td rowspan="2">128k / 4k</td> <td rowspan="4"></td> </tr> <tr> <td></td> <td>HD64F2144A</td> </tr> <tr> <td>HD6432143S</td> <td>-</td> <td>96k / 4k</td> </tr> <tr> <td>HD6432142</td> <td>HD64F2142R</td> <td>64k / 2k</td> </tr> </tbody> </table> <p>【注】*1 WはI²Cバスオプションを表わします。 *2 3V品は型名に"V"が付加されています。 「付録G. 型名一覧」を参照してください。</p>	シリーズ名	製品型名*2		ROM / RAM (バイト)	パッケージ	マスクROM版	F-ZTAT™版	H8S/2148	HD6432148S	HD64F2148	128 / 4k	FP-100B、TFP-100B	HD6432148SW*1	HD64F2148A	HD6432147S	HD64F2147A	64k / 2k	HD6432147SW*1		H8S/2147N	-	HD64F2147N	64k / 2k		H8S/2144	HD6432144S	HD64F2144	128k / 4k			HD64F2144A	HD6432143S	-	96k / 4k	HD6432142	HD64F2142R	64k / 2k
シリーズ名	製品型名*2		ROM / RAM (バイト)	パッケージ																																		
	マスクROM版	F-ZTAT™版																																				
H8S/2148	HD6432148S	HD64F2148	128 / 4k	FP-100B、TFP-100B																																		
	HD6432148SW*1	HD64F2148A																																				
	HD6432147S	HD64F2147A	64k / 2k																																			
	HD6432147SW*1																																					
H8S/2147N	-	HD64F2147N	64k / 2k																																			
H8S/2144	HD6432144S	HD64F2144	128k / 4k																																			
		HD64F2144A																																				
	HD6432143S	-	96k / 4k																																			
	HD6432142	HD64F2142R	64k / 2k																																			

1.2 内部ブロック図

H8S/2148 シリーズの内部ブロック図を図 1.1 (a)に、H8S/2147N の内部ブロック図を図 1.1 (b)に、H8S/2144 シリーズの内部ブロック図を図 1.1 (c)に示します。

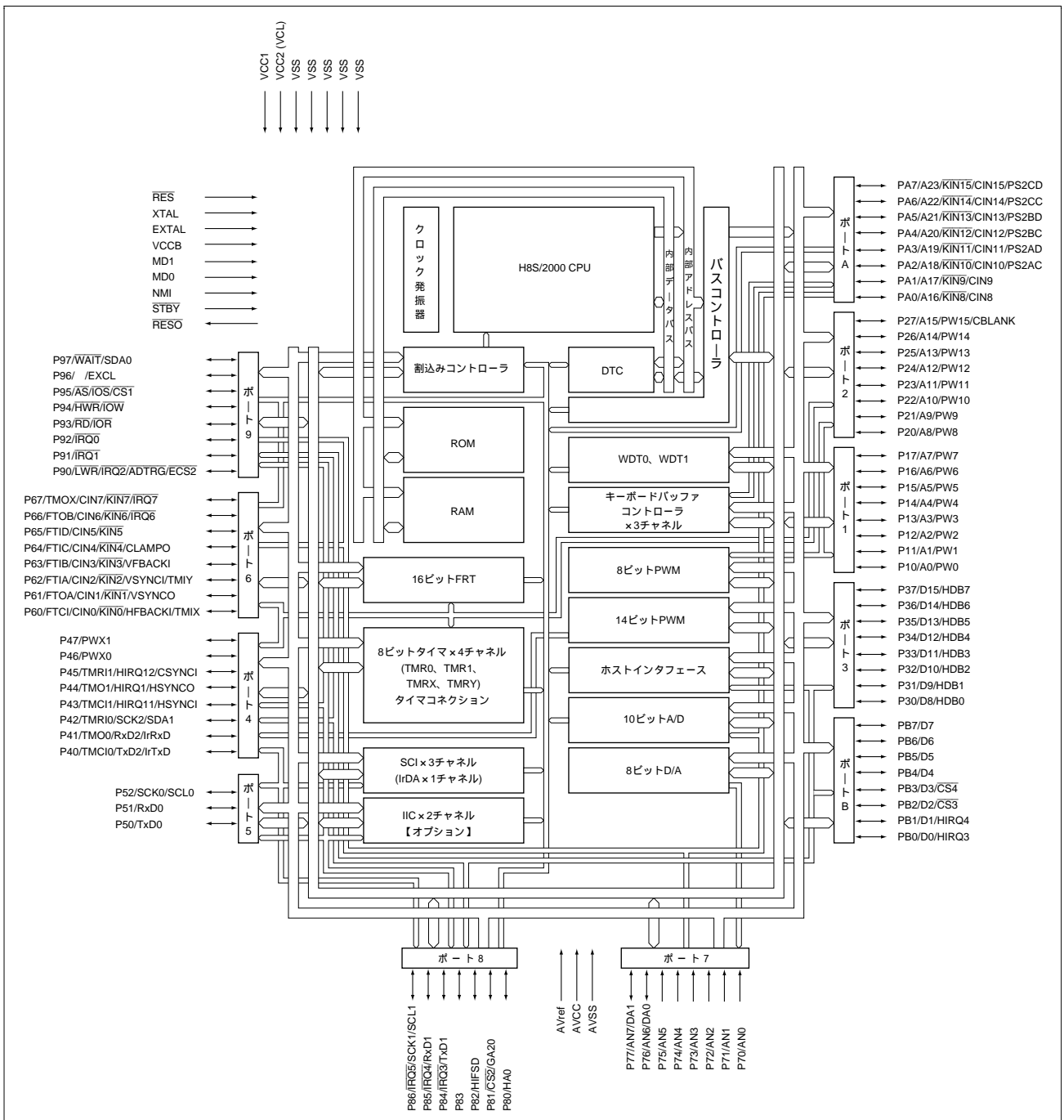


図 1.1 (a) H8S/2148 シリーズの内部ブロック図

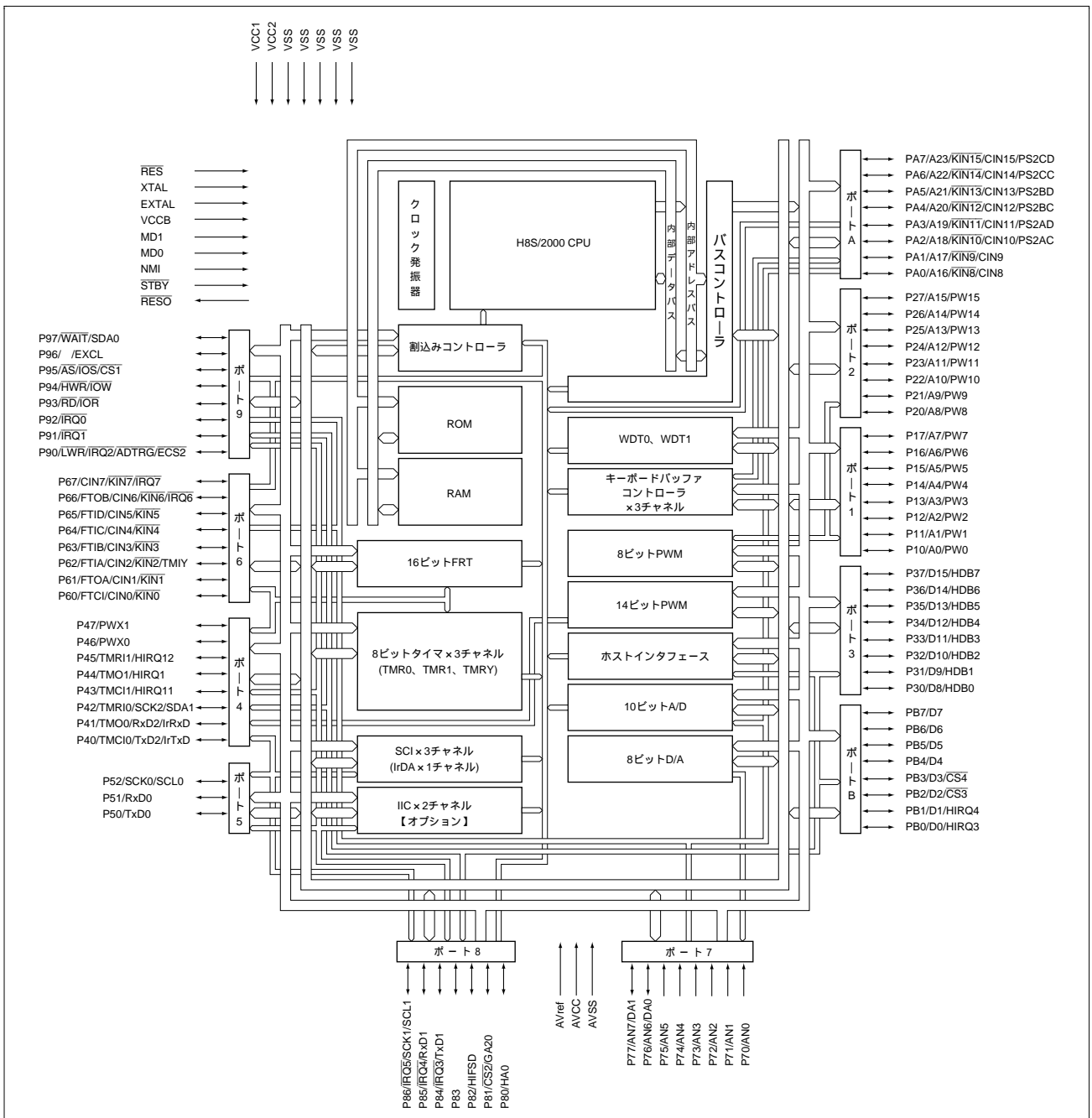


図 1.1 (b) H8S/2147N の内部ブロック図

1. 概要

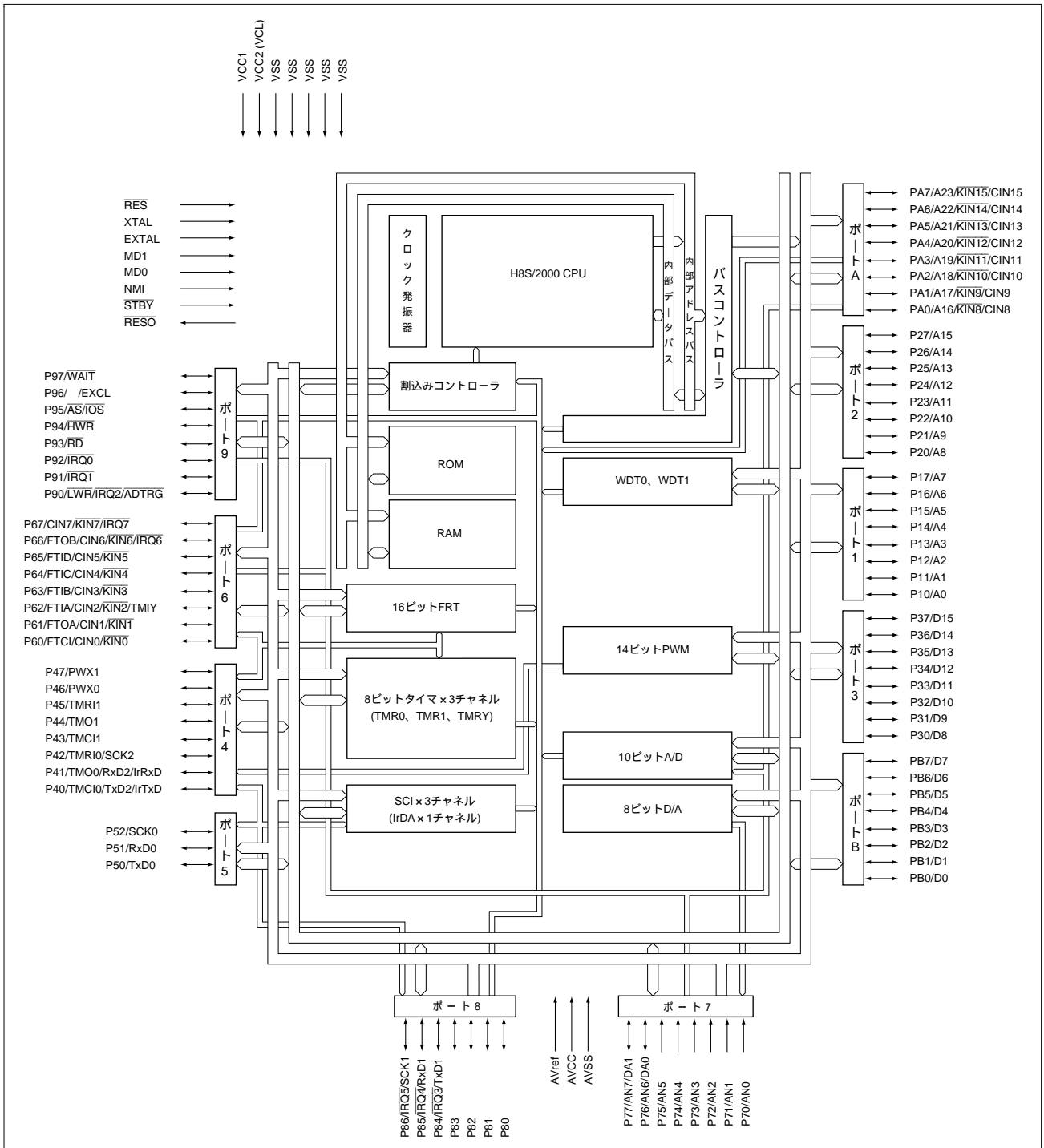


図 1.1 (c) H8S/2144 シリーズの内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

H8S/2148 シリーズのピン配置図を図 1.2(a)に、H8S/2147N のピン配置図を図 1.2(b)に、
H8S/2144 シリーズのピン配置図を図 1.2(c)に示します。

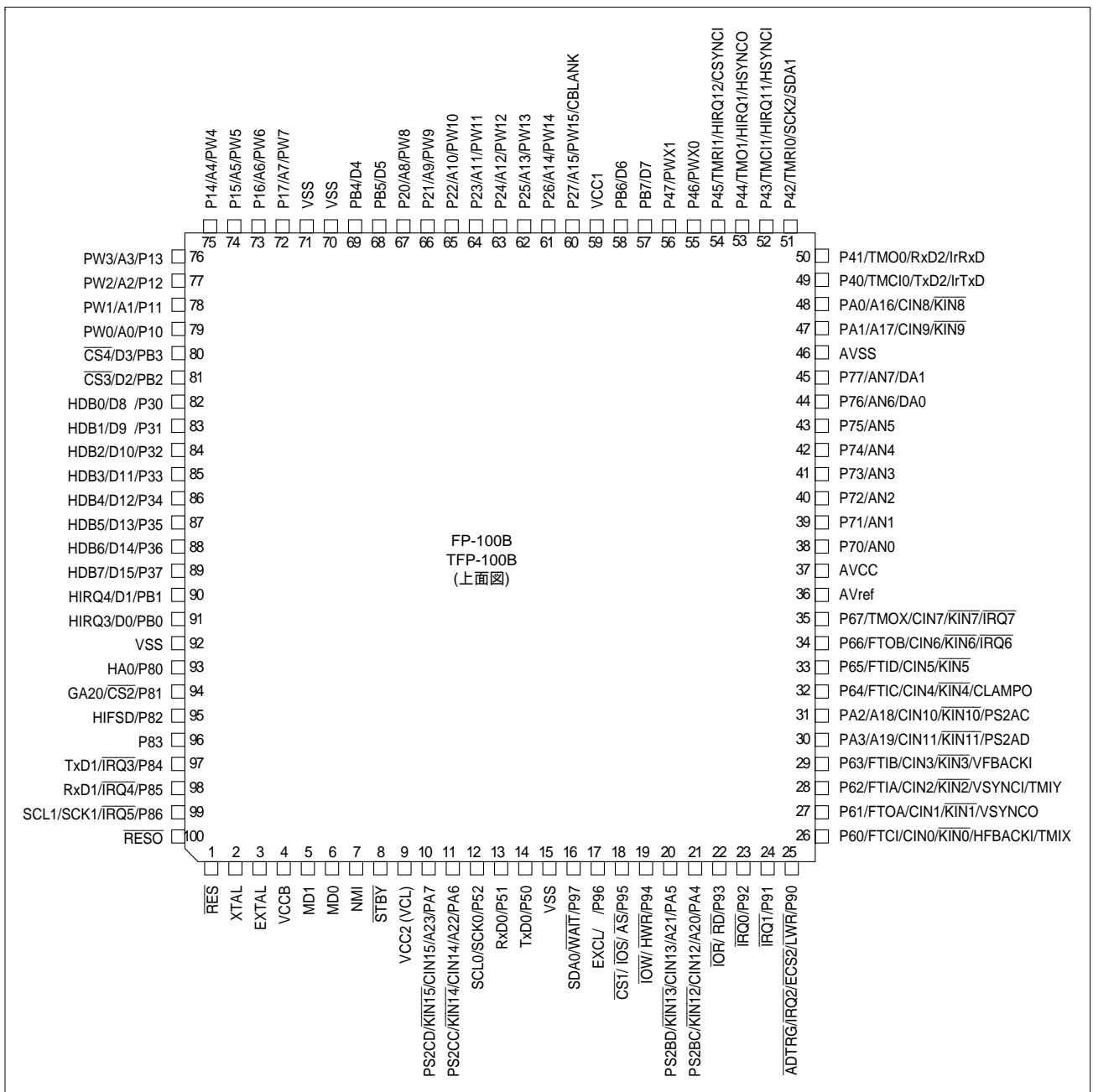


図 1.2 (a) H8S/2148 シリーズのピン配置図 (FP-100B、TFP-100B : 上面図)

1. 概要

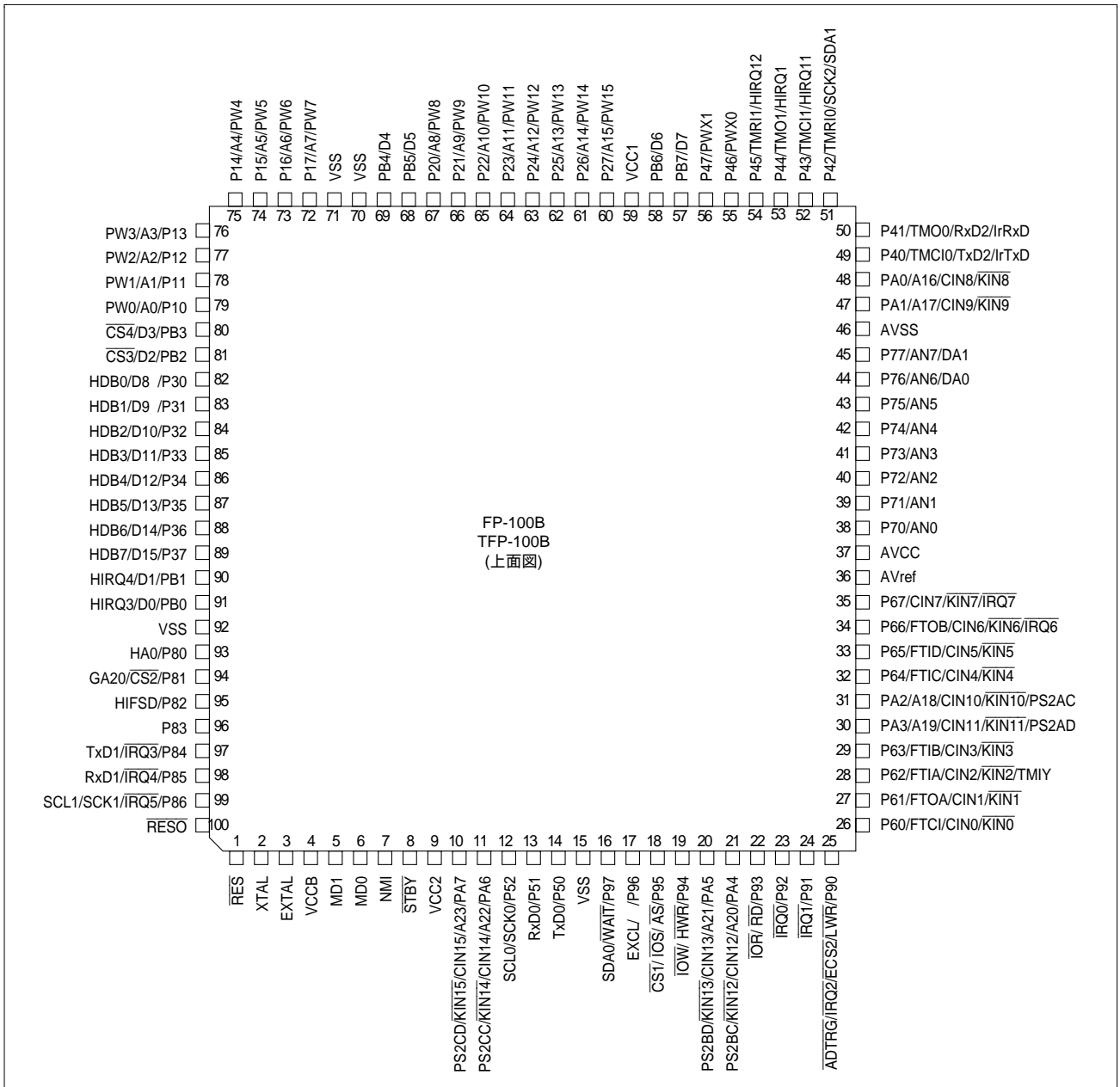


図 1.2 (b) H8S/2147N のピン配置図 (FP-100B、TFP-100B : 上面図)

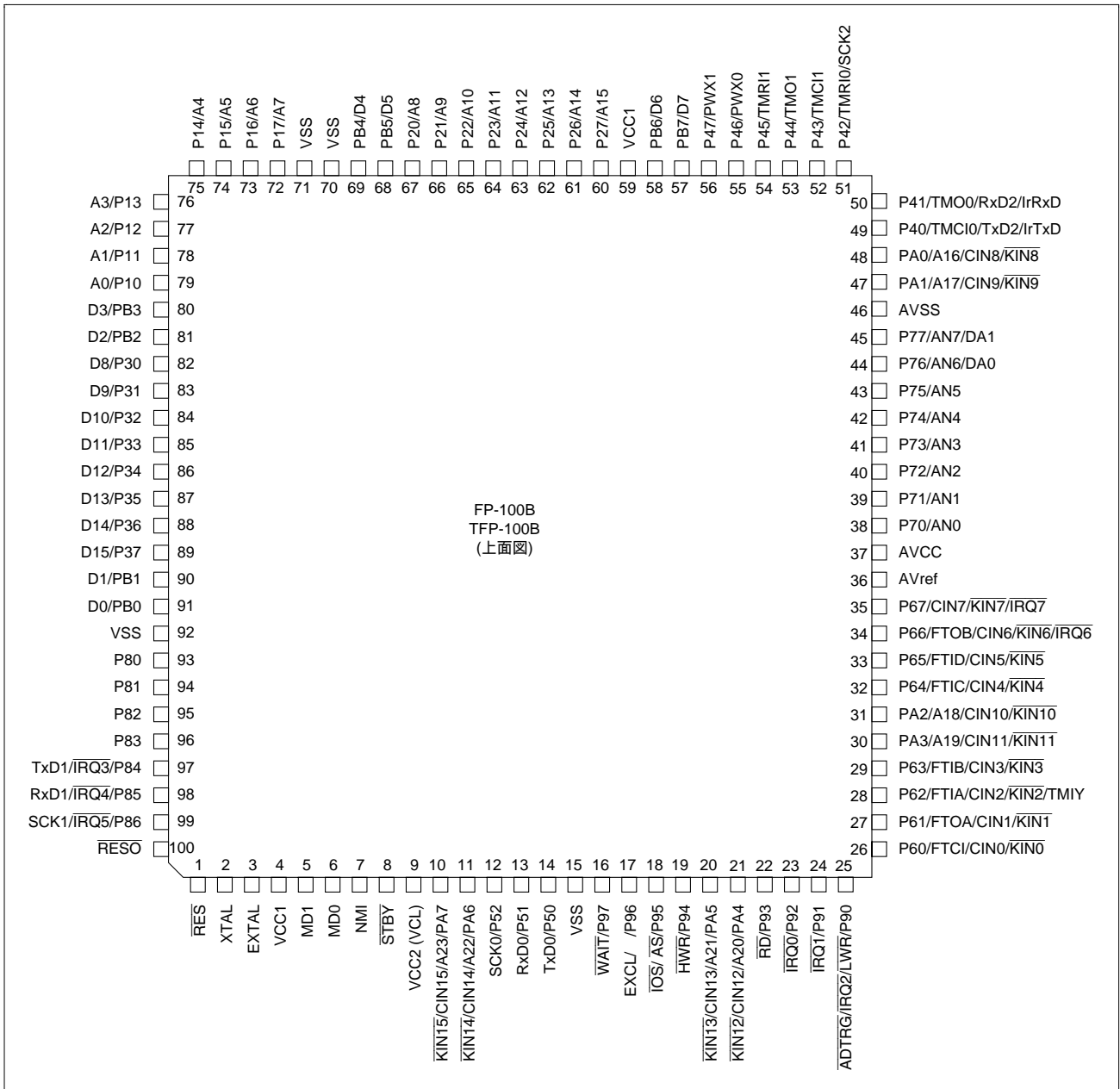


図 1.2 (c) H8S/2144 シリーズのピン配置図 (FP-100B、TFP-100B : 上面図)

1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.2、表 1.3、表 1.4 に示します。

表 1.2 H8S/2148 シリーズ動作モード別端子機能一覧

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライタ モード
1	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
2	XTAL	XTAL	XTAL	XTAL
3	EXTAL	EXTAL	EXTAL	EXTAL
4	VCCB	VCCB	VCCB	VCC
5	MD1	MD1	MD1	VSS
6	MD0	MD0	MD0	VSS
7	NMI	NMI	NMI	FA9
8	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
9	VCC2 (VCL)	VCC2 (VCL)	VCC2 (VCL)	VCC
10	PA7/ CIN15/ $\overline{\text{KIN15}}$ / PS2CD	A23/PA7/ CIN15/ $\overline{\text{KIN15}}$ / PS2CD	PA7/ CIN15/ $\overline{\text{KIN15}}$ / PS2CD	NC
11	PA6/ CIN14/ $\overline{\text{KIN14}}$ / PS2CC	A22/ PA6/ CIN14/ $\overline{\text{KIN14}}$ / PS2CC	PA6/ CIN14/ $\overline{\text{KIN14}}$ / PS2CC	NC
12	P52/ SCK0/ SCL0	P52/ SCK0/ SCL0	P52/ SCK0/ SCL0	NC
13	P51/ RxD0	P51/ RxD0	P51/ RxD0	FA17
14	P50/ TxD0	P50/ TxD0	P50/ TxD0	NC
15	VSS	VSS	VSS	VSS
16	P97/ $\overline{\text{WAIT}}$ / SDA0	P97/ $\overline{\text{WAIT}}$ / SDA0	P97/ SDA0	VCC
17	/ P96/ EXCL	/ P96/ EXCL	P96/ / EXCL	NC
18	$\overline{\text{AS}}$ / $\overline{\text{IOS}}$	$\overline{\text{AS}}$ / $\overline{\text{IOS}}$	P95/ $\overline{\text{CS1}}$	FA16
19	$\overline{\text{HWR}}$	$\overline{\text{HWR}}$	P94/ $\overline{\text{IOW}}$	FA15
20	PA5/ CIN13/ $\overline{\text{KIN13}}$ / PS2BD	A21/ PA5/ CIN13/ $\overline{\text{KIN13}}$ / PS2BD	PA5/ CIN13/ $\overline{\text{KIN13}}$ / PS2BD	NC
21	PA4/ CIN12/ $\overline{\text{KIN12}}$ / PS2BC	A20/ PA4/ CIN12/ $\overline{\text{KIN12}}$ / PS2BC	PA4/ CIN12/ $\overline{\text{KIN12}}$ / PS2BC	NC
22	$\overline{\text{RD}}$	$\overline{\text{RD}}$	P93/ $\overline{\text{IOR}}$	$\overline{\text{WE}}$
23	P92/ $\overline{\text{IRQ0}}$	P92/ $\overline{\text{IRQ0}}$	P92/ $\overline{\text{IRQ0}}$	VSS
24	P91/ $\overline{\text{IRQ1}}$	P91/ $\overline{\text{IRQ1}}$	P91/ $\overline{\text{IRQ1}}$	VCC

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライタ モード
25	LWR/P90/IRQ2/ADTRG	LWR/P90/IRQ2/ADTRG	P90/IRQ2/ADTRG/ECS2	VCC
26	P60/ FTCl/ CIN0/ $\overline{\text{KIN0}}$ / TMIX/ HFBACKI	P60/ FTCl/ CIN0/ $\overline{\text{KIN0}}$ / TMIX/ HFBACKI	P60/ FTCl/ CIN0/ $\overline{\text{KIN0}}$ / TMIX/ HFBACKI	NC
27	P61/ FTOA/ CIN1/ $\overline{\text{KIN1}}$ / VSYNCO	P61/ FTOA/ CIN1/ $\overline{\text{KIN1}}$ / VSYNCO	P61/ FTOA/ CIN1/ $\overline{\text{KIN1}}$ / VSYNCO	NC
28	P62/ FTIA/ CIN2/ $\overline{\text{KIN2}}$ / TMIY / VSYNCI	P62/ FTIA/ CIN2/ $\overline{\text{KIN2}}$ / TMIY / VSYNCI	P62/ FTIA/ CIN2/ $\overline{\text{KIN2}}$ / TMIY / VSYNCI	NC
29	P63/ FTIB/ CIN3/ $\overline{\text{KIN3}}$ / VFBACKI	P63/ FTIB/ CIN3/ $\overline{\text{KIN3}}$ / VFBACKI	P63/ FTIB/ CIN3/ $\overline{\text{KIN3}}$ / VFBACKI	NC
30	PA3/ CIN11/ $\overline{\text{KIN11}}$ / PS2AD	A19/PA3/ CIN11/ $\overline{\text{KIN11}}$ / PS2AD	PA3/ CIN11/ $\overline{\text{KIN11}}$ / PS2AD	NC
31	PA2/ CIN10/ $\overline{\text{KIN10}}$ / PS2AC	A18/PA2/ CIN10/ $\overline{\text{KIN10}}$ / PS2AC	PA2/ CIN10/ $\overline{\text{KIN10}}$ / PS2AC	NC
32	P64 / FTIC/ CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	P64 / FTIC/ CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	P64 / FTIC/ CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	NC
33	P65/ FTID/ CIN5/ $\overline{\text{KIN5}}$	P65/ FTID/ CIN5/ $\overline{\text{KIN5}}$	P65/ FTID/ CIN5/ $\overline{\text{KIN5}}$	NC
34	P66/ FTOB/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	P66/ FTOB/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	P66/ FTOB/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	NC
35	P67/ TMOX/ CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	P67/ TMOX/ CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	P67/ TMOX/ CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	VSS
36	AVref	AVref	AVref	VCC
37	AVCC	AVCC	AVCC	VCC
38	P70/ AN0	P70/ AN0	P70/ AN0	NC
39	P71/ AN1	P71/ AN1	P71/ AN1	NC
40	P72/ AN2	P72/ AN2	P72/ AN2	NC
41	P73/ AN3	P73/ AN3	P73/ AN3	NC
42	P74/ AN4	P74/ AN4	P74/ AN4	NC
43	P75/ AN5	P75/ AN5	P75/ AN5	NC
44	P76/ AN6/ DA0	P76/ AN6/ DA0	P76/ AN6/ DA0	NC
45	P77/ AN7/ DA1	P77/ AN7/ DA1	P77/ AN7/ DA1	NC

1. 概要

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライト モード
46	AVSS	AVSS	AVSS	VSS
47	PA1/ CIN9/ $\overline{\text{KIN9}}$	A17/PA1/ CIN9/ $\overline{\text{KIN9}}$	PA1/ CIN9/ $\overline{\text{KIN9}}$	NC
48	PA0/ CIN8/ $\overline{\text{KIN8}}$	A16/PA0/ CIN8/ $\overline{\text{KIN8}}$	PA0/ CIN8/ $\overline{\text{KIN8}}$	NC
49	P40/TMC10/TxD2/IrTxD	P40/TMC10/TxD2/IrTxD	P40/TMC10/TxD2/IrTxD	NC
50	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	NC
51	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	NC
52	P43/TMC11/HSYNCl	P43/TMC11/HSYNCl	P43/TMC11/HIRQ11/ HSYNCl	NC
53	P44/TMO1/HSYNCO	P44/TMO1/HSYNCO	P44/TMO1/HIRQ1/ HSYNCO	NC
54	P45/TMRI1/CSYNCl	P45/TMRI1/CSYNCl	P45/TMRI1/HIRQ12/ CSYNCl	NC
55	P46/PWX0	P46/PWX0	P46/PWX0	NC
56	P47/PWX1	P47/PWX1	P47/PWX1	NC
57	PB7/D7	PB7/D7	PB7	NC
58	PB6/D6	PB6/D6	PB6	NC
59	VCC1	VCC1	VCC1	VCC
60	A15	A15/P27/PW15/ CBLANK	P27/PW15/CBLANK	$\overline{\text{CE}}$
61	A14	A14/P26/PW14	P26/PW14	FA14
62	A13	A13/P25/PW13	P25/PW13	FA13
63	A12	A12/P24/PW12	P24/PW12	FA12
64	A11	A11/P23/PW11	P23/PW11	FA11
65	A10	A10/P22/PW10	P22/PW10	FA10
66	A9	A9/P21/PW9	P21/PW9	$\overline{\text{OE}}$
67	A8	A8/P20/PW8	P20/PW8	FA8
68	PB5/D5	PB5/D5	PB5	NC
69	PB4/D4	PB4/D4	PB4	NC
70	VSS	VSS	VSS	VSS
71	VSS	VSS	VSS	VSS
72	A7	A7/P17/PW7	P17/PW7	FA7
73	A6	A6/P16/PW6	P16/PW6	FA6

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライタ モード
74	A5	A5/P15/PW5	P15/PW5	FA5
75	A4	A4/P14/PW4	P14/PW4	FA4
76	A3	A3/P13/PW3	P13/PW3	FA3
77	A2	A2/P12/PW2	P12/PW2	FA2
78	A1	A1/P11/PW1	P11/PW1	FA1
79	A0	A0/P10/PW0	P10/PW0	FA0
80	PB3/D3	PB3/D3	PB3/ $\overline{CS4}$	NC
81	PB2/D2	PB2/D2	PB2/ $\overline{CS3}$	NC
82	D8	D8	P30/HDB0	FO0
83	D9	D9	P31/HDB1	FO1
84	D10	D10	P32/HDB2	FO2
85	D11	D11	P33/HDB3	FO3
86	D12	D12	P34/HDB4	FO4
87	D13	D13	P35/HDB5	FO5
88	D14	D14	P36/HDB6	FO6
89	D15	D15	P37/HDB7	FO7
90	PB1/D1	PB1/D1	PB1/HIRQ4	NC
91	PB0/D0	PB0/D0	PB0/HIRQ3	NC
92	VSS	VSS	VSS	VSS
93	P80	P80	P80/HA0	NC
94	P81	P81	P81/ $\overline{CS2}$ /GA20	NC
95	P82	P82	P82/HIFSD	NC
96	P83	P83	P83	NC
97	P84/ $\overline{IRQ3}$ /TxD1	P84/ $\overline{IRQ3}$ /TxD1	P84/ $\overline{IRQ3}$ /TxD1	NC
98	P85/ $\overline{IRQ4}$ /RxD1	P85/ $\overline{IRQ4}$ /RxD1	P85/ $\overline{IRQ4}$ /RxD1	NC
99	P86/ $\overline{IRQ5}$ /SCK1/SCL1	P86/ $\overline{IRQ5}$ /SCK1/SCL1	P86/ $\overline{IRQ5}$ /SCK1/SCL1	NC
100	$\overline{RES0}$	$\overline{RES0}$	$\overline{RES0}$	NC

表 1.3 H8S/2147N 動作モード別端子機能一覧

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライト モード
	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
1	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
2	XTAL	XTAL	XTAL	XTAL
3	EXTAL	EXTAL	EXTAL	EXTAL
4	VCCB	VCCB	VCCB	VCC
5	MD1	MD1	MD1	VSS
6	MD0	MD0	MD0	VSS
7	NMI	NMI	NMI	FA9
8	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
9	VCC2	VCC2	VCC2	VCC
10	PA7/ $\overline{\text{CIN15}}$ / PS2CD	A23/PA7/ $\overline{\text{CIN15}}$ / PS2CD	PA7/ $\overline{\text{CIN15}}$ / PS2CD	NC
11	PA6/ $\overline{\text{CIN14}}$ / PS2CC	A22/ PA6/ $\overline{\text{CIN14}}$ / PS2CC	PA6/ $\overline{\text{CIN14}}$ / PS2CC	NC
12	P52/ SCK0/ SCL0	P52/ SCK0/ SCL0	P52/ SCK0/ SCL0	NC
13	P51/ RxD0	P51/ RxD0	P51/ RxD0	FA17
14	P50/ TxD0	P50/ TxD0	P50/ TxD0	NC
15	VSS	VSS	VSS	VSS
16	P97/ $\overline{\text{WAIT}}$ / SDA0	P97/ $\overline{\text{WAIT}}$ / SDA0	P97/ SDA0	VCC
17	/ P96/ EXCL	/ P96/ EXCL	P96/ / EXCL	NC
18	$\overline{\text{AS}}$ / $\overline{\text{IOS}}$	$\overline{\text{AS}}$ / $\overline{\text{IOS}}$	P95/ $\overline{\text{CS1}}$	FA16
19	$\overline{\text{HWR}}$	$\overline{\text{HWR}}$	P94/ $\overline{\text{IOW}}$	FA15
20	PA5/ $\overline{\text{CIN13}}$ / PS2BD	A21/ PA5/ $\overline{\text{CIN13}}$ / PS2BD	PA5/ $\overline{\text{CIN13}}$ / PS2BD	NC
21	PA4/ $\overline{\text{CIN12}}$ / PS2BC	A20/ PA4/ $\overline{\text{CIN12}}$ / PS2BC	PA4/ $\overline{\text{CIN12}}$ / PS2BC	NC
22	$\overline{\text{RD}}$	$\overline{\text{RD}}$	P93/ $\overline{\text{IOR}}$	$\overline{\text{WE}}$
23	P92/ $\overline{\text{IRQ0}}$	P92/ $\overline{\text{IRQ0}}$	P92/ $\overline{\text{IRQ0}}$	VSS
24	P91/ $\overline{\text{IRQ1}}$	P91/ $\overline{\text{IRQ1}}$	P91/ $\overline{\text{IRQ1}}$	VCC

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライタ モード
25	LWR/P90/IRQ2/ADTRG	LWR/P90/IRQ2/ADTRG	P90/IRQ2/ADTRG/ECS2	VCC
26	P60/ FTCl/ CIN0/ KIN0	P60/ FTCl/ CIN0/ KIN0	P60/ FTCl/ CIN0/ KIN0	NC
27	P61/ FTOA/ CIN1/ KIN1	P61/ FTOA/ CIN1/ KIN1	P61/ FTOA/ CIN1/ KIN1	NC
28	P62/ FTIA/ CIN2/ KIN2/ TMIY	P62/ FTIA/ CIN2/ KIN2/ TMIY	P62/ FTIA/ CIN2/ KIN2/ TMIY	NC
29	P63/ FTIB/ CIN3/ KIN3	P63/ FTIB/ CIN3/ KIN3	P63/ FTIB/ CIN3/ KIN3	NC
30	PA3/ CIN11/ KIN11/ PS2AD	A19/PA3/ CIN11/ KIN11/ PS2AD	PA3/ CIN11/ KIN11/ PS2AD	NC
31	PA2/ CIN10/ KIN10/ PS2AC	A18/PA2/ CIN10/ KIN10/ PS2AC	PA2/ CIN10/ KIN10/ PS2AC	NC
32	P64 / FTIC/ CIN4/ KIN4	P64 / FTIC/ CIN4/ KIN4	P64 / FTIC/ CIN4/ KIN4	NC
33	P65/ FTID/ CIN5/ KIN5	P65/ FTID/ CIN5/ KIN5	P65/ FTID/ CIN5/ KIN5	NC
34	P66/ FTOB/ CIN6/ KIN6/ IRQ6	P66/ FTOB/ CIN6/ KIN6/ IRQ6	P66/ FTOB/ CIN6/ KIN6/ IRQ6	NC
35	P67/ CIN7/ KIN7/ IRQ7	P67/ CIN7/ KIN7/ IRQ7	P67/ CIN7/ KIN7/ IRQ7	VSS
36	AVref	AVref	AVref	VCC
37	AVCC	AVCC	AVCC	VCC
38	P70/ AN0	P70/ AN0	P70/ AN0	NC
39	P71/ AN1	P71/ AN1	P71/ AN1	NC
40	P72/ AN2	P72/ AN2	P72/ AN2	NC
41	P73/ AN3	P73/ AN3	P73/ AN3	NC
42	P74/ AN4	P74/ AN4	P74/ AN4	NC
43	P75/ AN5	P75/ AN5	P75/ AN5	NC
44	P76/ AN6/ DA0	P76/ AN6/ DA0	P76/ AN6/ DA0	NC
45	P77/ AN7/ DA1	P77/ AN7/ DA1	P77/ AN7/ DA1	NC
46	AVSS	AVSS	AVSS	VSS
47	PA1/ CIN9/ KIN9	A17/PA1/ CIN9/ KIN9	PA1/ CIN9/ KIN9	NC
48	PA0/ CIN8/ KIN8	A16/PA0/ CIN8/ KIN8	PA0/ CIN8/ KIN8	NC
49	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	NC
50	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	NC
51	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	NC

1. 概要

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライト モード
FP-100B TFP-100B				
52	P43/TMC11	P43/TMC11	P43/TMC11/HIRQ11	NC
53	P44/TMO1	P44/TMO1	P44/TMO1/HIRQ1	NC
54	P45/TMRI1	P45/TMRI1	P45/TMRI1/HIRQ12	NC
55	P46/PWX0	P46/PWX0	P46/PWX0	NC
56	P47/PWX1	P47/PWX1	P47/PWX1	NC
57	PB7/D7	PB7/D7	PB7	NC
58	PB6/D6	PB6/D6	PB6	NC
59	VCC1	VCC1	VCC1	VCC
60	A15	A15/P27/PW15	P27/PW15	\overline{CE}
61	A14	A14/P26/PW14	P26/PW14	FA14
62	A13	A13/P25/PW13	P25/PW13	FA13
63	A12	A12/P24/PW12	P24/PW12	FA12
64	A11	A11/P23/PW11	P23/PW11	FA11
65	A10	A10/P22/PW10	P22/PW10	FA10
66	A9	A9/P21/PW9	P21/PW9	\overline{OE}
67	A8	A8/P20/PW8	P20/PW8	FA8
68	PB5/D5	PB5/D5	PB5	NC
69	PB4/D4	PB4/D4	PB4	NC
70	VSS	VSS	VSS	VSS
71	VSS	VSS	VSS	VSS
72	A7	A7/P17/PW7	P17/PW7	FA7
73	A6	A6/P16/PW6	P16/PW6	FA6
74	A5	A5/P15/PW5	P15/PW5	FA5
75	A4	A4/P14/PW4	P14/PW4	FA4
76	A3	A3/P13/PW3	P13/PW3	FA3
77	A2	A2/P12/PW2	P12/PW2	FA2
78	A1	A1/P11/PW1	P11/PW1	FA1
79	A0	A0/P10/PW0	P10/PW0	FA0
80	PB3/D3	PB3/D3	PB3/ $\overline{CS4}$	NC

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライター モード
81	PB2/D2	PB2/D2	PB2/ $\overline{CS3}$	NC
82	D8	D8	P30/HDB0	FO0
83	D9	D9	P31/HDB1	FO1
84	D10	D10	P32/HDB2	FO2
85	D11	D11	P33/HDB3	FO3
86	D12	D12	P34/HDB4	FO4
87	D13	D13	P35/HDB5	FO5
88	D14	D14	P36/HDB6	FO6
89	D15	D15	P37/HDB7	FO7
90	PB1/D1	PB1/D1	PB1/HIRQ4	NC
91	PB0/D0	PB0/D0	PB0/HIRQ3	NC
92	VSS	VSS	VSS	VSS
93	P80	P80	P80/HA0	NC
94	P81	P81	P81/ $\overline{CS2}$ /GA20	NC
95	P82	P82	P82/HIFSD	NC
96	P83	P83	P83	NC
97	P84/ $\overline{IRQ3}$ /TxD1	P84/ $\overline{IRQ3}$ /TxD1	P84/ $\overline{IRQ3}$ /TxD1	NC
98	P85/ $\overline{IRQ4}$ /RxD1	P85/ $\overline{IRQ4}$ /RxD1	P85/ $\overline{IRQ4}$ /RxD1	NC
99	P86/ $\overline{IRQ5}$ /SCK1/SCL1	P86/ $\overline{IRQ5}$ /SCK1/SCL1	P86/ $\overline{IRQ5}$ /SCK1/SCL1	NC
100	$\overline{RES0}$	$\overline{RES0}$	$\overline{RES0}$	NC

表 1.4 H8S/2144 シリーズ動作モード別端子機能一覧

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライター モード
	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
1	RES	RES	RES	RES
2	XTAL	XTAL	XTAL	XTAL
3	EXTAL	EXTAL	EXTAL	EXTAL
4	VCC1	VCC1	VCC1	VCC
5	MD1	MD1	MD1	VSS
6	MD0	MD0	MD0	VSS
7	NMI	NMI	NMI	FA9
8	STBY	STBY	STBY	VCC
9	VCC2 (VCL)	VCC2 (VCL)	VCC2 (VCL)	VCC
10	PA7/ CIN15/ KIN15	A23/PA7/ CIN15/ KIN15	PA7/ CIN15/ KIN15	NC
11	PA6/ CIN14/ KIN14	A22/PA6/ CIN14/ KIN14	PA6/ CIN14/ KIN14	NC
12	P52/SCK0	P52/SCK0	P52/SCK0	NC
13	P51/RxD0	P51/RxD0	P51/RxD0	FA17
14	P50/TxD0	P50/TxD0	P50/TxD0	NC
15	VSS	VSS	VSS	VSS
16	P97/WAIT	P97/WAIT	P97	VCC
17	/P96/EXCL	/P96/EXCL	P96/ /EXCL	NC
18	AS/IOS	AS/IOS	P95	FA16
19	HWR	HWR	P94	FA15
20	PA5/ CIN13/ KIN13	A21/PA5/ CIN13/ KIN13	PA5/ CIN13/ KIN13	NC
21	PA4/ CIN12/ KIN12	A20/PA4/ CIN12/ KIN12	PA4/ CIN12/ KIN12	NC
22	RD	RD	P93	WE
23	P92/ IRQ0	P92/ IRQ0	P92/ IRQ0	VSS
24	P91/ IRQ1	P91/ IRQ1	P91/ IRQ1	VCC
25	LWR/P90/IRQ2/ADTRG	LWR/P90/IRQ2/ADTRG	P90/ IRQ2/ ADTRG	VCC
26	P60/ FTCl/ CIN0/ KIN0	P60/ FTCl/ CIN0/ KIN0	P60/ FTCl/CIN0/ KIN0	NC
27	P61/ FTOA/ CIN1/ KIN1	P61/ FTOA/ CIN1/ KIN1	P61/ FTOA/CIN1/ KIN1	NC
28	P62/ FTIA/ CIN2/ KIN2/ TMIY	P62/ FTIA/ CIN2/ KIN2/ TMIY	P62/ FTIA/CIN2/ KIN2/ TMIY	NC
29	P63/ FTIB/ CIN3/ KIN3	P63/ FTIB/ CIN3/ KIN3	P63/ FTIB/ CIN3/ KIN3	NC

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライタ モード
30	PA3/ CIN11/ $\overline{\text{KIN11}}$	A19/PA3/ CIN11/ $\overline{\text{KIN11}}$	PA3/ CIN11/ $\overline{\text{KIN11}}$	NC
31	PA2/ CIN10/ $\overline{\text{KIN10}}$	A18/PA2/ CIN10/ $\overline{\text{KIN10}}$	PA2/ CIN10/ $\overline{\text{KIN10}}$	NC
32	P64 /FTIC/ CIN4/ $\overline{\text{KIN4}}$	P64 /FTIC/ CIN4/ $\overline{\text{KIN4}}$	P64 /FTIC/ CIN4/ $\overline{\text{KIN4}}$	NC
33	P65/FTID/ CIN5/ $\overline{\text{KIN5}}$	P65/FTID/ CIN5/ $\overline{\text{KIN5}}$	P65/FTID/ CIN5/ $\overline{\text{KIN5}}$	NC
34	P66/ FTOB/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	P66/ FTOB/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	P66/ FTOB/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	NC
35	P67/ CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	P67 / CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	P67 / CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	VSS
36	AVref	AVref	AVref	VCC
37	AVCC	AVCC	AVCC	VCC
38	P70/AN0	P70/AN0	P70/AN0	NC
39	P71/AN1	P71/AN1	P71/AN1	NC
40	P72/AN2	P72/AN2	P72/AN2	NC
41	P73/AN3	P73/AN3	P73/AN3	NC
42	P74/AN4	P74/AN4	P74/AN4	NC
43	P75/AN5	P75/AN5	P75/AN5	NC
44	P76/AN6/DA0	P76/AN6/DA0	P76/AN6/DA0	NC
45	P77/AN7/DA1	P77/AN7/DA1	P77/AN7/DA1	NC
46	AVSS	AVSS	AVSS	VSS
47	PA1/CIN9/ $\overline{\text{KIN9}}$	A17/PA1/CIN9/ $\overline{\text{KIN9}}$	PA1/CIN9/ $\overline{\text{KIN9}}$	NC
48	PA0/CIN8/ $\overline{\text{KIN8}}$	A16/PA0/CIN8/ $\overline{\text{KIN8}}$	PA0/CIN8/ $\overline{\text{KIN8}}$	NC
49	P40/TMC10/TxD2/IrTxD	P40/TMC10/TxD2/IrTxD	P40/TMC10/TxD2/IrTxD	NC
50	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	NC
51	P42/TMRI0/SCK2	P42/TMRI0/SCK2	P42/TMRI0/SCK2	NC
52	P43/TMC11	P43/TMC11	P43/TMC11	NC
53	P44/TMO1	P44/TMO1	P44/TMO1	NC
54	P45/TMRI1	P45/TMRI1	P45/TMRI1	NC
55	P46/PWX0	P46/PWX0	P46/PWX0	NC
56	P47/PWX1	P47/PWX1	P47/PWX1	NC
57	PB7/D7	PB7/D7	PB7	NC
58	PB6/D6	PB6/D6	PB6	NC
59	VCC1	VCC1	VCC1	VCC
60	A15	A15/P27	P27	$\overline{\text{CE}}$

1. 概要

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライタ モード
61	A14	A14/P26	P26	FA14
62	A13	A13/P25	P25	FA13
63	A12	A12/P24	P24	FA12
64	A11	A11/P23	P23	FA11
65	A10	A10/P22	P22	FA10
66	A9	A9/P21	P21	\overline{OE}
67	A8	A8/P20	P20	FA8
68	PB5/D5	PB5/D5	PB5	NC
69	PB4/D4	PB4/D4	PB4	NC
70	VSS	VSS	VSS	VSS
71	VSS	VSS	VSS	VSS
72	A7	A7/P17	P17	FA7
73	A6	A6/P16	P16	FA6
74	A5	A5/P15	P15	FA5
75	A4	A4/P14	P14	FA4
76	A3	A3/P13	P13	FA3
77	A2	A2/P12	P12	FA2
78	A1	A1/P11	P11	FA1
79	A0	A0/P10	P10	FA0
80	PB3/D3	PB3/D3	PB3	NC
81	PB2/D2	PB2/D2	PB2	NC
82	D8	D8	P30	FO0
83	D9	D9	P31	FO1
84	D10	D10	P32	FO2
85	D11	D11	P33	FO3
86	D12	D12	P34	FO4
87	D13	D13	P35	FO5
88	D14	D14	P36	FO6
89	D15	D15	P37	FO7
90	PB1/D1	PB1/D1	PB1	NC
91	PB0/D0	PB0/D0	PB0	NC
92	VSS	VSS	VSS	VSS

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライター モード
93	P80	P80	P80	NC
94	P81	P81	P81	NC
95	P82	P82	P82	NC
96	P83	P83	P83	NC
97	P84/ $\overline{\text{IRQ3}}$ /TxD1	P84/ $\overline{\text{IRQ3}}$ /TxD1	P84/ $\overline{\text{IRQ3}}$ /TxD1	NC
98	P85/ $\overline{\text{IRQ4}}$ /RxD1	P85/ $\overline{\text{IRQ4}}$ /RxD1	P85/ $\overline{\text{IRQ4}}$ /RxD1	NC
99	P86/ $\overline{\text{IRQ5}}$ /SCK1	P86/ $\overline{\text{IRQ5}}$ /SCK1	P86/ $\overline{\text{IRQ5}}$ /SCK1	NC
100	$\overline{\text{RESO}}$	$\overline{\text{RESO}}$	$\overline{\text{RESO}}$	NC

1.3.3 端子機能

各端子の機能について表 1.5 に示します。

表 1.5 端子機能

分類	記号	ピン番号	入出力	名称および機能																
		FP-100B TFP-100B																		
電源	VCC1	4[H8S/2144 シリーズのみ]、 59	入力	電源 電源に接続します。VCC1、VCC2*1 端子は、全端子をシステムの電源に接続してください。																
	VCC2	9*1																		
	VCL	9*1	入力	内部降圧端子 内部降圧対応品の電源端子です。5V、4V 品は、本端子と VSS 端子との間に内部降圧安定化のための外付けコンデンサを接続し、 <u>Vcc</u> と接続しないでください。3V 品は、本端子を VCC1 端子とともにシステムの電源に接続してください。 詳細は「第 26 章 電気的特性」を参照してください。																
	VCCB	4[H8S/2148 シリーズ、 H8S/2147Nのみ]	入力	入出力バッファ用電源 ポート A の入出力バッファ用電源です。																
	VSS	15、70、71、92	入力	グラウンド 電源 (0V) に接続します。VSS 端子は、全端子をシステムの電源 (0V) に接続してください。																
クロック	XTAL	2	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 24 章 クロック発振器」を参照してください。																
	EXTAL	3	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 24 章 クロック発振器」を参照してください。																
		17	出力	システムクロック 外部デバイスにシステムクロックを供給します。																
	EXCL	17	入力	外部サブクロック入力 32.768kHz の外部サブクロックを入力してください。																
動作モード コントロール	MD1	5	入力	モード端子 動作モードを設定します。MD1、MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。																
	MD0	6																		
				<table border="1"> <thead> <tr> <th>MD1</th> <th>MD0</th> <th>動作モード</th> <th>内 容</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>モード1</td> <td>ノーマル 内蔵ROM無効拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード2</td> <td>アドバンスト 内蔵ROM有効拡張モード シングルチップモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>モード3</td> <td>ノーマル 内蔵ROM有効拡張モード シングルチップモード</td> </tr> </tbody> </table>	MD1	MD0	動作モード	内 容	0	1	モード1	ノーマル 内蔵ROM無効拡張モード	1	0	モード2	アドバンスト 内蔵ROM有効拡張モード シングルチップモード	1	1	モード3	ノーマル 内蔵ROM有効拡張モード シングルチップモード
MD1	MD0	動作モード	内 容																	
0	1	モード1	ノーマル 内蔵ROM無効拡張モード																	
1	0	モード2	アドバンスト 内蔵ROM有効拡張モード シングルチップモード																	
1	1	モード3	ノーマル 内蔵ROM有効拡張モード シングルチップモード																	

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
システム制御	RES	1	入力	<u>リセット入力</u> この端子が Low レベルになると、リセット状態となります。
	RES \bar{O}	100	出力	<u>リセット出力</u> 外部デバイスに対し、リセット信号を出力します。
	STBY	8	入力	<u>スタンバイ</u> この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
アドレスバス	A23 ~ A16	10、11、20、21、 30、31、47、48	出力	<u>アドレスバス(アドバンスト)</u> 16M バイト空間使用時にアドレスを出力します。
	A15 ~ A0	60 ~ 67、72 ~ 79	出力	<u>アドレスバス</u> アドレスを出力します。
データバス	D15 ~ D8	89 ~ 82	入出力	<u>データバス(上位)</u> 双方向データバスです。 8ビットデータおよび16ビットデータ上位バイトとして動作します。
	D7 ~ D0	57、58、68、69、 80、81、90、91	入出力	<u>データバス(下位)</u> 双方向データバスです。 16ビットデータ下位バイトとして動作します。
バス制御	WAIT	16	入力	<u>ウェイト</u> 外部3ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
	RD	22	出力	<u>リード</u> この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	19	出力	<u>ハイライト</u> この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの上位側が有効です。
	LWR	25	出力	<u>ロウライト</u> この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの下位側が有効です。
	AS /IOS	18	出力	<u>アドレスストローブ</u> この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
割込み	NMI	7	入力	<u>ノンマスクابل割込み</u> マスク不可能な割込みを要求します。
	IRQ $\bar{0}$ ~ IRQ $\bar{7}$	23 ~ 25、97 ~ 99、34、35	入力	<u>割込み要求0~7</u> マスク可能な割込みを要求します。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
16 ビット フリーランニング タイマ (FRT)	FTCI	26	入力	<u>FRT カウンタクロック入力</u> フリーランニングカウンタ (FRC) に入力する外部クロック入力端子です。
	FTOA	27	出力	<u>FRT アウトプットコンペア A 出力</u> アウトプットコンペア A の出力端子です。
	FTOB	34	出力	<u>FRT アウトプットコンペア B 出力</u> アウトプットコンペア B の出力端子です。
	FTIA	28	入力	<u>FRT インพุットキャプチャ A 入力</u> インพุットキャプチャ A の入力端子です。
	FTIB	29	入力	<u>FRT インพุットキャプチャ B 入力</u> インพุットキャプチャ B の入力端子です。
	FTIC	32	入力	<u>FRT インพุットキャプチャ C 入力</u> インพุットキャプチャ C の入力端子です。
	FTID	33	入力	<u>FRT インพุットキャプチャ D 入力</u> インพุットキャプチャ D の入力端子です。
8 ビットタイマ (TMR0、TMR1 TMRX、TMRY)	TMO0	50	出力	<u>コンペアマッチ出力</u> TMR0、TMR1 および TMRX の コンペアマッチ出力端子です。
	TMO1	53		
	TMOX	35		
	TMCIO	49	入力	<u>カウンタ外部クロック入力</u> TMR0 および TMR1 の カウンタに入力する外部クロックの入力端子です。
	TMCI1	52		
	TMRI0	51	入力	<u>カウンタ外部リセット入力</u> TMR0 および TMR1 のカウンタリセット入力端子です。
	TMRI1	54		
TMIX	26	入力	<u>カウンタ外部クロック入力兼リセット入力</u> TMRX および TMRY の カウンタクロック入力端子兼リセット入力端子です。	
TMIY	28			
PWM タイマ (PWM)	PW15 ~ PW0	60 ~ 67、 72 ~ 79	出力	<u>PWM タイマ出力</u> PWM タイマのパルス出力端子です。
14 ビット PWM タイマ (PWMX)	PWX0	55	出力	<u>PWMX タイマ出力</u> PWM D/A のパルス出力端子です。
	PWX1	56		
シリアル コミュニケーション インタフェース (SCI0、SCI1、 SCI2)	TxD0	14	出力	<u>トランスミットデータ</u> データ出力端子です。
	TxD1	97		
	TxD2	49		
	RxD0	13	入力	<u>レシーブデータ</u> データ入力端子です。
	RxD1	98		
	RxD2	50		
	SCK0	12	入出力	<u>シリアルクロック</u> クロック入出力端子です。 SCK0 の出力形式は、H8S/2148 シリーズ、H8S/2147N では NMOS プッシュプル、H8S/2144 シリーズでは CMOS 出力となります。
SCK1	99			
SCK2	51			
IrDA 付き SCI (SCI2)	IrTxD	49	出力	<u>IrDA トランスミットデータ/レシーブデータ</u>
	IrRxD	50	入力	IrDA 用にエンコードされたデータの入出力端子です。

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
キーボードバッファ コントローラ (PS2)	PS2AC	31	入出力	<u>PS2 クロック</u> キーボードバッファコントローラの同期クロック入出力端子です。
	PS2BC	21		
	PS2CC	11		
	PS2AD	30	入出力	<u>PS2 データ</u> キーボードバッファコントローラのデータ入出力端子です。
	PS2BD	20		
	PS2CD	10		
ホスト インタフェース (HIF)	HDB7~ HDB0	89~82	入出力	<u>ホストインタフェースデータバス</u> ホストがホストインタフェースをアクセスするための双方向8ビットバスです。
	$\overline{CS1}$ 、 $\overline{CS2}$ $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$	18、94 25、81、80	入力	<u>チップセレクト1、2、3、4</u> ホストインタフェースのチャンネル1~4を選択するための入力端子です。
	\overline{IOR}	22	入力	<u>I/O リード</u> ホストインタフェースからのリードを許可する入力端子です。
	\overline{IOW}	19	入力	<u>I/O ライト</u> ホストインタフェースへのライトを許可する入力端子です。
	HA0	93	入力	<u>コマンド/データ</u> データアクセスかコマンドアクセスかを示すための入力端子です。
	GA20	94	出力	<u>GATE A20</u> GATE A20 コントロール信号出力端子です。
	HIRQ11 HIRQ1 HIRQ12 HIRQ3 HIRQ4	52 53 54 91 90	出力	<u>ホスト割込み11、1、12、3、4</u> ホストへの割込み要求出力端子です。
	HIFSD	95	入力	<u>ホストインタフェースシャットダウン</u> ホストインタフェースの入出力端子をハイインピーダンス/カットオフ状態にするための制御入力端子です。
キーボード コントロール	$\overline{KIN0}$ ~ $\overline{KIN15}$	26~29、 32~35、 48、47、 31、30、 21、20、 11、10	入力	<u>キーボード入力</u> マトリクスキーボードのための入力端子です。通常はP10~P17とP20~P27をキースキャン用出力として使用します。これにより、最大16出力×16入力、256キーのマトリクスが構成できます。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
A/D 変換器 (ADC)	AN7 ~ AN0	45 ~ 38	入力	<u>アナログ入力</u> A/D 変換器のアナログ入力端子です。
	CIN0 ~ CIN15	26 ~ 29、 32 ~ 35、 48、47、 31、30、 21、20、 11、10	入力	<u>拡張 A/D 入力</u> 拡張 A/D 入力端子を A/D 変換器に接続可能です。ただし、デジタル入出力端子と兼用であるため、精度が低下します。
	$\overline{\text{ADTRG}}$	25	入力	<u>A/D 変換外部トリガ入力</u> A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器 (DAC)	DA0	44	出力	<u>アナログ出力</u> D/A 変換器のアナログ出力端子です。
	DA1	45	出力	
A/D 変換器 D/A 変換器	AVCC	37	入力	<u>アナログ電源</u> A/D 変換器、D/A 変換器のアナログ電源端子です。 A/D 変換器、D/A 変換器を使用しない場合、システムの電源 (+5V または +3V) に接続してください。
	AVref	36	入力	<u>アナログレファレンス電圧</u> A/D 変換器、D/A 変換器の基準電源端子です。 A/D 変換器、D/A 変換器を使用しない場合、システムの電源 (+5V または +3V) に接続してください。
	AVSS	46	入力	<u>アナロググランド</u> A/D 変換器、D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
タイマコネクション	VSYNCl HSYNCl CSYNCl VFBACKl HFBACKl	28 52 54 29 26	入力	<u>タイマコネクション入力</u> タイマコネクションの同期信号入力端子です。
	VSYNCo HSYNCo CLAMPO CBLANK	27 53 32 60	出力	<u>タイマコネクション出力</u> タイマコネクションの同期信号出力端子です。
I ² C バス インタフェース (IIC) 【オプション】	SCL0 SCL1	12 99	入出力	<u>I²C クロック入出力 (チャンネル 0、1)</u> I ² C クロック入出力端子です。 バス駆動機能をもっています。 SCL0 の出力形式は NMOS オープンドレインです。
	SDA0 SDA1	16 51	入出力	<u>I²C データ入出力 (チャンネル 0、1)</u> I ² C のデータ入出力端子です。 バス駆動機能をもっています。 SDA0 の出力形式は NMOS オープンドレインです。

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
I/O ポート	P17 ~ P10	72 ~ 79	入出力	<u>ポート 1</u> 8ビットの入出力端子です。P1DDRによって1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。また、LED駆動が可能です。
	P27 ~ P20	60 ~ 67	入出力	<u>ポート 2</u> 8ビットの入出力端子です。P2DDRによって1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。また、LED駆動が可能です。
	P37 ~ P30	89 ~ 82	入出力	<u>ポート 3</u> 8ビットの入出力端子です。P3DDRによって1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。また、LED駆動が可能です。
	P47 ~ P40	56 ~ 49	入出力	<u>ポート 4</u> 8ビットの入出力端子です。P4DDRによって1ビットごとに入出力を指定できます。
	P52 ~ P50	12 ~ 14	入出力	<u>ポート 5</u> 3ビットの入出力端子です。P5DDRによって1ビットごとに入出力を指定できます。P52はH8S/2148シリーズ、H8S/2147NではNMOSプッシュプル、H8S/2144シリーズではCMOS出力です。
	P67 ~ P60	35 ~ 32 29 ~ 26	入出力	<u>ポート 6</u> 8ビットの入出力端子です。P6DDRによって1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。
	P77 ~ P70	45 ~ 38	入力	<u>ポート 7</u> 8ビットの入力端子です。
	P86 ~ P80	99 ~ 93	入出力	<u>ポート 8</u> 7ビットの入出力端子です。P8DDRによって1ビットごとに入出力を指定できます。
	P97 ~ P90	16 ~ 19 22 ~ 25	入出力	<u>ポート 9</u> 8ビットの入出力端子です。P9DDRによって1ビットごとに入出力を指定できます（P96を除く）。P97はH8S/2148シリーズ、H8S/2147NではNMOSプッシュプル、H8S/2144シリーズではCMOS出力です。
	PA7 ~ PA0	10、11、 20、21、 30、31、 47、48	入出力	<u>ポート A</u> 8ビットの入出力端子です。PADDDRによって1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。 VCCB駆動端子です。[H8S/2148シリーズ、H8S/2147Nのみ]
PB7 ~ PB0	57、58、 68、69、 80、81、 90、91	入出力	<u>ポート B</u> 8ビットの入出力端子です。PBDDRによって1ビットごとに入出力を指定できます。入力プルアップMOSが内蔵されています。	

1. 概要

【注】 *1 HD64F2148A、HD64F2147A、HD64F2144A、HD6432148S、HD6432148SW、HD6432147S、HD6432147SW、HD6432144S、HD6432143S の各 F-ZTAT 版および各マスク ROM 版では、VCC2 端子 (9 ピン) は、VCL 端子となります。

2. CPU

第2章 目次

2.1	概要	35
	2.1.1 特長	35
	2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点.....	36
	2.1.3 H8/300 CPU との相違点.....	37
	2.1.4 H8/300H CPU との相違点.....	37
2.2	CPU 動作モード	38
2.3	アドレス空間.....	43
2.4	レジスタ構成.....	44
	2.4.1 概要	44
	2.4.2 汎用レジスタ.....	45
	2.4.3 コントロールレジスタ.....	46
	2.4.4 CPU 内部レジスタの初期値.....	48
2.5	データ構成	49
	2.5.1 汎用レジスタのデータ構成.....	49
	2.5.2 メモリ上でのデータ構成	51
2.6	命令セット	52
	2.6.1 概要	52
	2.6.2 命令とアドレッシングモードの組み合わせ.....	54
	2.6.3 命令の機能別一覧	55
	2.6.4 命令の基本フォーマット	64
	2.6.5 ビット操作命令使用上の注意.....	65
2.7	アドレッシングモードと実効アドレスの計算方法.....	66
	2.7.1 アドレッシングモード.....	66
	2.7.2 実効アドレスの計算方法	70
2.8	処理状態.....	74
	2.8.1 概要	74
	2.8.2 リセット状態.....	75

2.8.3	例外処理状態.....	76
2.8.4	プログラム実行状態.....	77
2.8.5	バス権解放状態.....	78
2.8.6	低消費電力状態.....	78
2.9	基本動作タイミング.....	79
2.9.1	概要.....	79
2.9.2	内蔵メモリ (ROM、RAM).....	79
2.9.3	内蔵周辺モジュールアクセスタイミング.....	80
2.9.4	外部アドレス空間アクセスタイミング.....	81
2.10	使用上の注意.....	82
2.10.1	TAS 命令.....	82
2.10.2	STM/LDM 命令.....	82

2.1 概要

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

本 CPU には、次の特長があります。

H8/300 CPU および H8/300H CPU の上位互換

- ・ H8/300 および H8/300H CPU オブジェクトプログラムを実行可能

汎用レジスタ方式

- ・ 16 ビット×16 本（8 ビット×16 本、32 ビット×8 本としても使用可能）

65 種類の基本命令

- ・ 8 / 16 / 32 ビット演算命令
- ・ 乗除算命令
- ・ 強力なビット操作命令

8 種類のアドレッシングモード

- ・ レジスタ直接 (Rn)
- ・ レジスタ間接 (@ERn)
- ・ ディスプレースメント付レジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
- ・ ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
- ・ 絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
- ・ イミディエイト (#xx:8 / #xx:16 / #xx:32)
- ・ プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
- ・ メモリ間接 (@@aa:8)

16M バイトのアドレス空間

- ・ プログラム : 16M バイト
- ・ データ : 16M バイト（アーキテクチャ上は 4G バイト）

高速動作

- ・ 頻出命令をすべて1~2ステートで実行
- ・ 最高動作周波数 : 20MHz
- ・ 8 / 16 / 32 ビットレジスタ間加減算 : 50ns
- ・ 8×8 ビットレジスタ間乗算 : 600ns
- ・ 16÷8 ビットレジスタ間除算 : 600ns
- ・ 16×16 ビットレジスタ間乗算 : 1000ns
- ・ 32÷16 ビットレジスタ間除算 : 1000ns

2種類のCPU動作モード

- ・ ノーマルモード / アドバンスモード

低消費電力状態

- ・ SLEEP 命令により低消費電力状態に遷移
- ・ CPU 動作クロックを選択可能

2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下の通りです。

レジスタ構成

- ・ MAC レジスタは、H8S/2600 CPU のみサポートしています。

基本命令

- ・ MAC、CLRMAC、LDMAC、STMAC の4命令は、H8S/2600 CPU のみサポートしています。

実行ステート数

- ・ MULXU、MULXS 命令の実行ステート数

命令	ニーモニック	実行ステート数	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によって、アドレス空間や EXR レジスタの機能、低消費電力状態などが異なる場合があります。

2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

汎用レジスタ、コントロールレジスタを拡張

- ・ 16 ビット×8 本の拡張レジスタ、および 8 ビット×1 本のコントロールレジスタを追加

アドレス空間を拡張

- ・ ノーマルモードのとき、H8/300 CPU と同一の 64k バイトのアドレス空間を使用可能
- ・ アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能

アドレッシングモードを強化

- ・ 16M バイトのアドレス空間を有効に使用可能

命令強化

- ・ ビット操作命令のアドレッシングモードを強化
- ・ 符号付き乗除算命令などを追加
- ・ 2 ビットシフト命令を追加
- ・ 複数レジスタの退避 / 復帰命令を追加
- ・ テストアンドセット命令を追加

高速化

- ・ 基本的な命令を 2 倍に高速化

2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

コントロールレジスタを拡張

- ・ 8 ビット×1 本のコントロールレジスタを追加

命令強化

- ・ ビット操作命令のアドレッシングモードを強化
- ・ 2 ビットシフト命令を追加
- ・ 複数レジスタの退避 / 復帰命令を追加
- ・ テストアンドセット命令を追加

高速化

- ・ 基本的な命令を 2 倍に高速化

2.2 CPU 動作モード

本CPUは、ノーマルモードおよびアドバンスモードの2つのCPU動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大64kバイト、アドバンスモードの場合16Mバイト（アーキテクチャ上はプログラム領域最大16Mバイト、データ領域最大4Gバイト、合計で最大4Gバイト）となります。

各モードはLSIのモード端子によって選択されます。

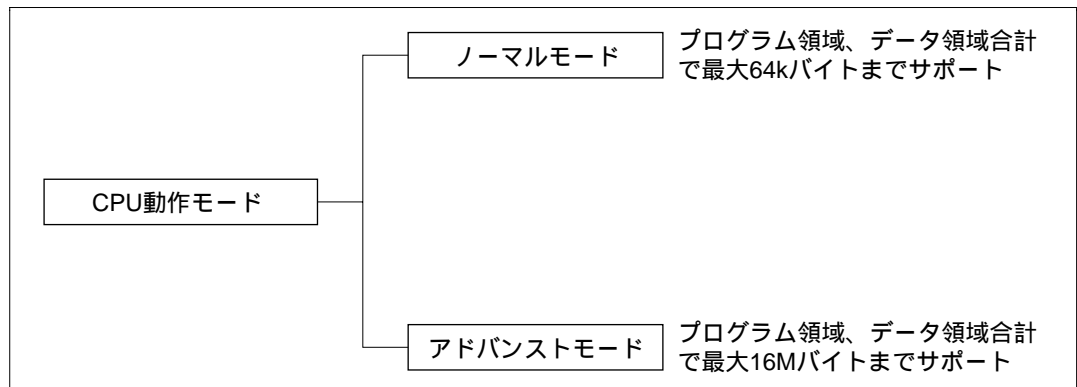


図 2.1 CPU 動作モード

(1) ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造がH8/300 CPUと同一になります。

(a) アドレス空間

最大64kバイトをアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

(d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

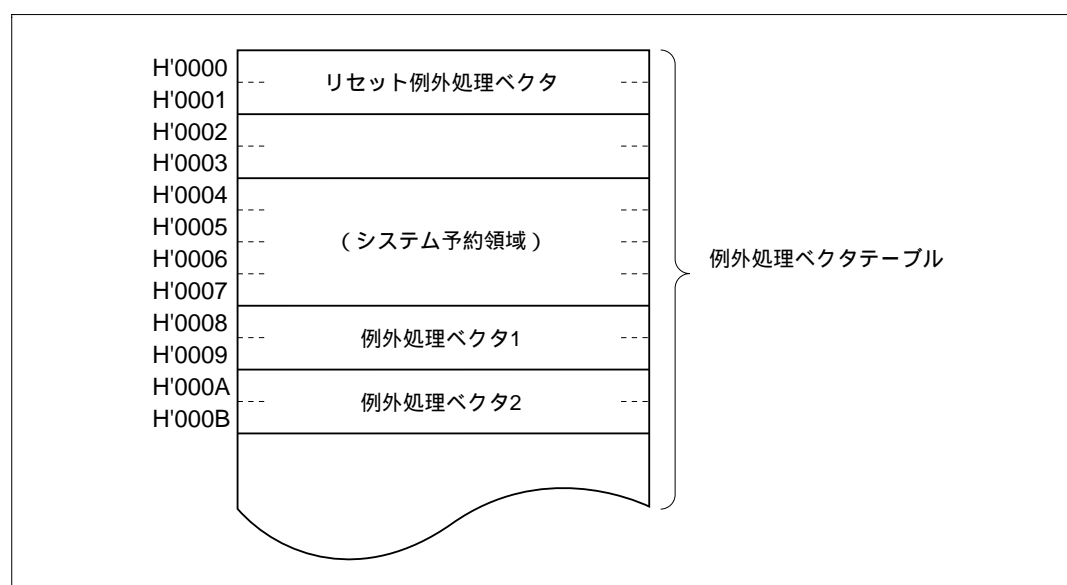


図 2.2 例外処理ベクタテーブル (ノーマルモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタックの構造を図 2.3 に示します。EXR はスタックされません。詳細は「第 4 章 例外処理」を参照してください。

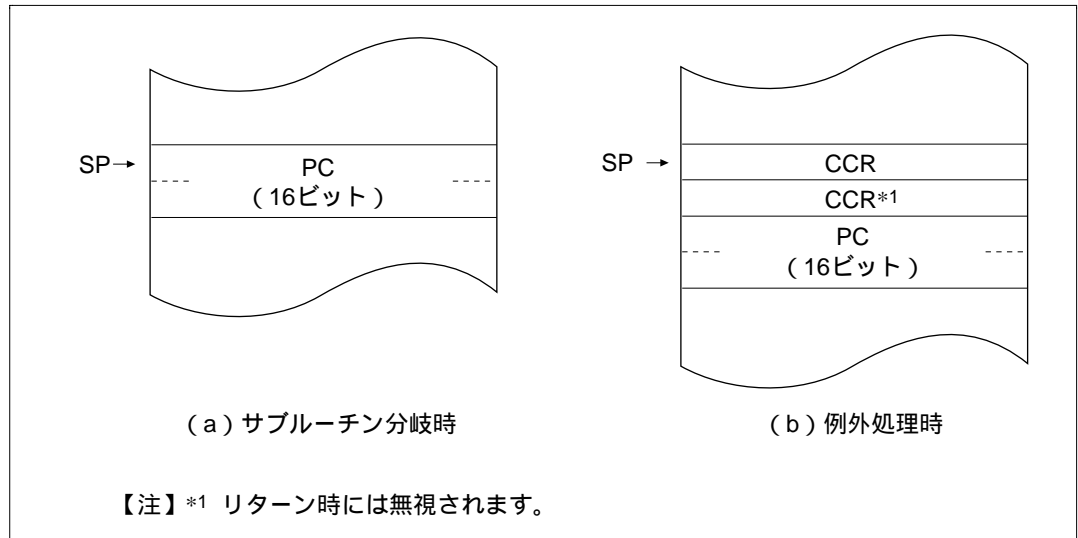


図 2.3 ノーマルモードのスタック構造

(2) アドバンストモード

(a) アドレス空間

最大 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト）をリニアにアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

(d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します（図 2.4 参照）。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

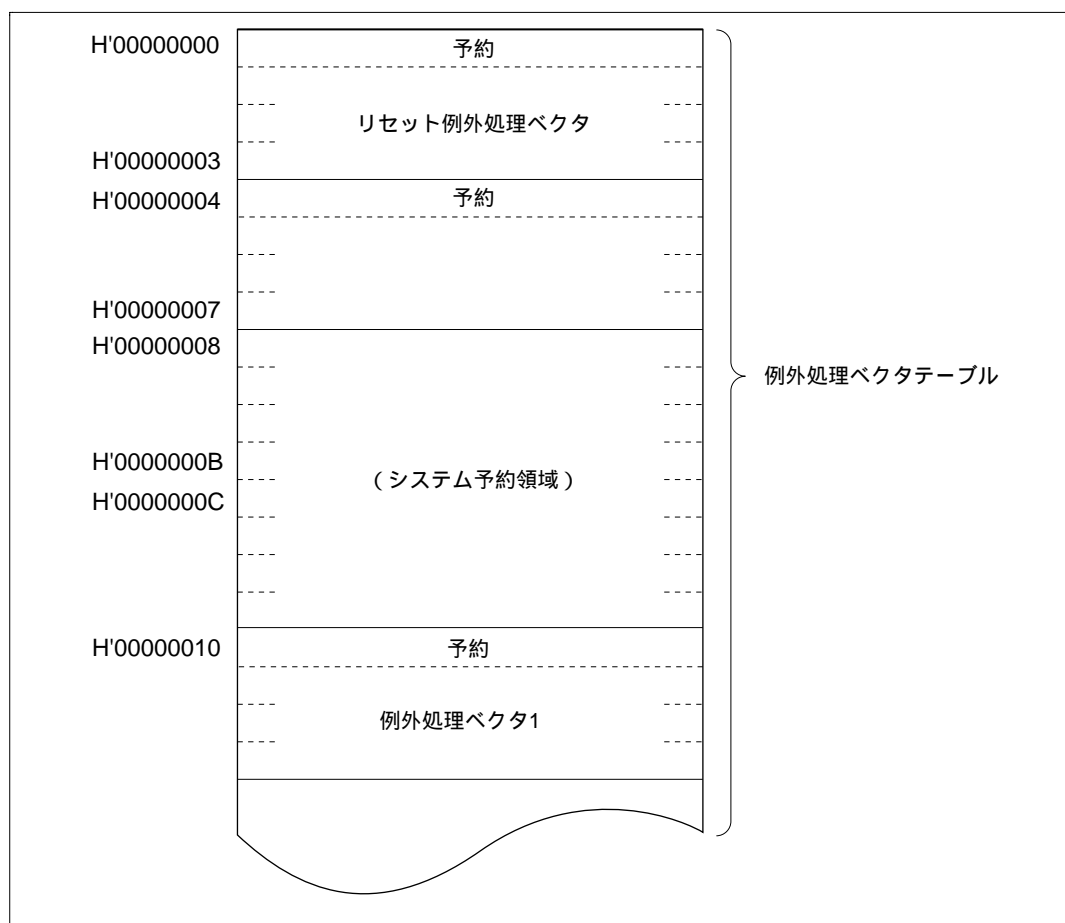


図 2.4 例外処理ベクタテーブル (アドバンスモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

アドバンスモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタックの構造を図 2.5 に示します。EXR はスタックされません。詳細は「第 4 章 例外処理」を参照してください。

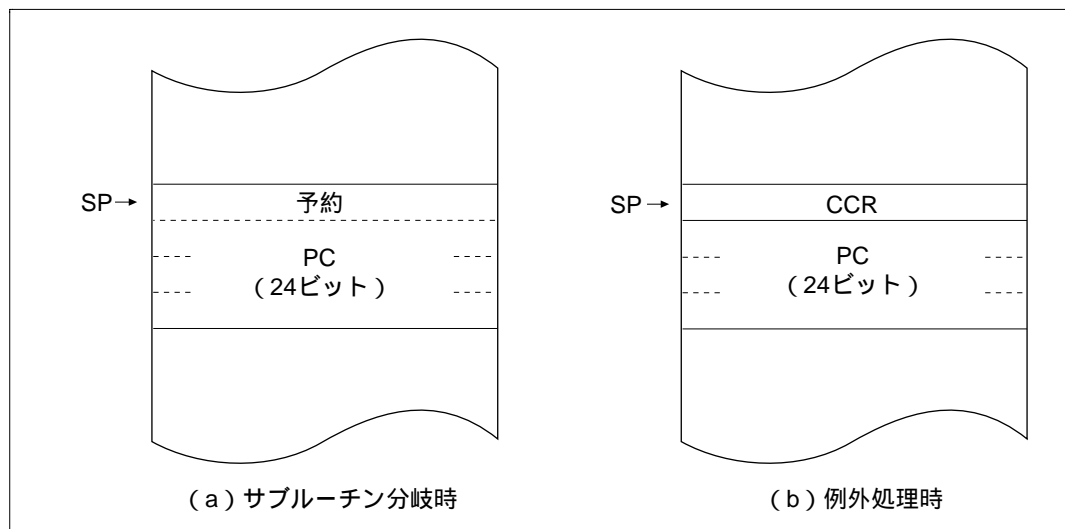


図 2.5 アドバンスモードのスタック構造

2.3 アドレス空間

本CPUのメモリマップを図2.6に示します。本CPUは、ノーマルモードのとき最大64kバイト、またアドバンスモードのとき最大16Mバイト(アーキテクチャ上は4Gバイト)のアドレス空間をリニアに使用することができます。

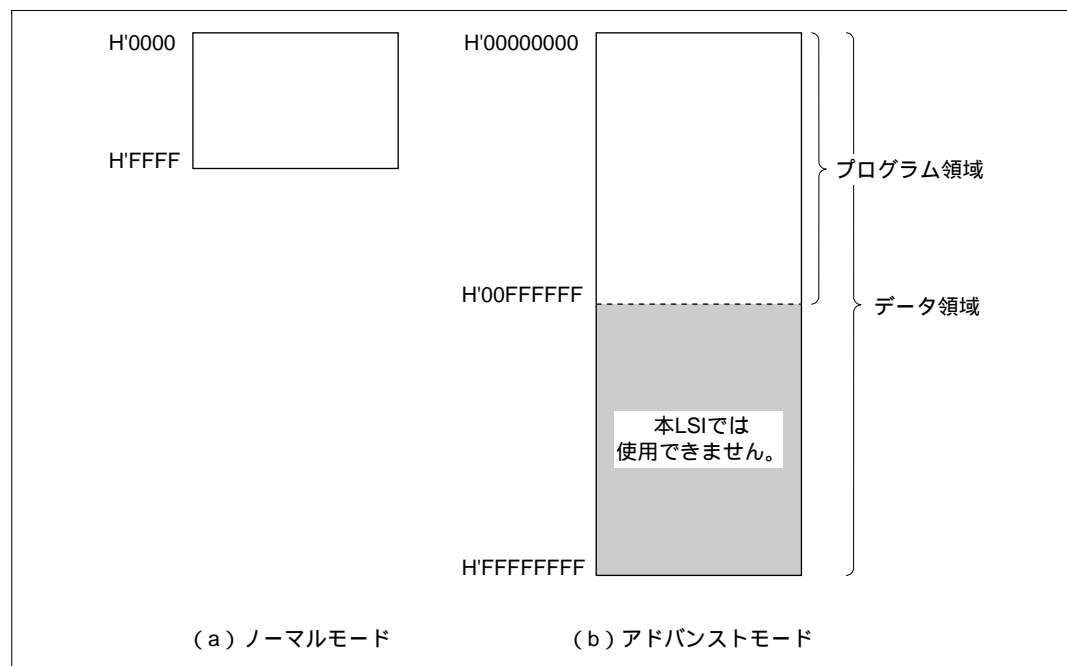


図2.6 メモリマップ

2.4 レジスタ構成

2.4.1 概要

本CPUの内部レジスタ構成を図2.7に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

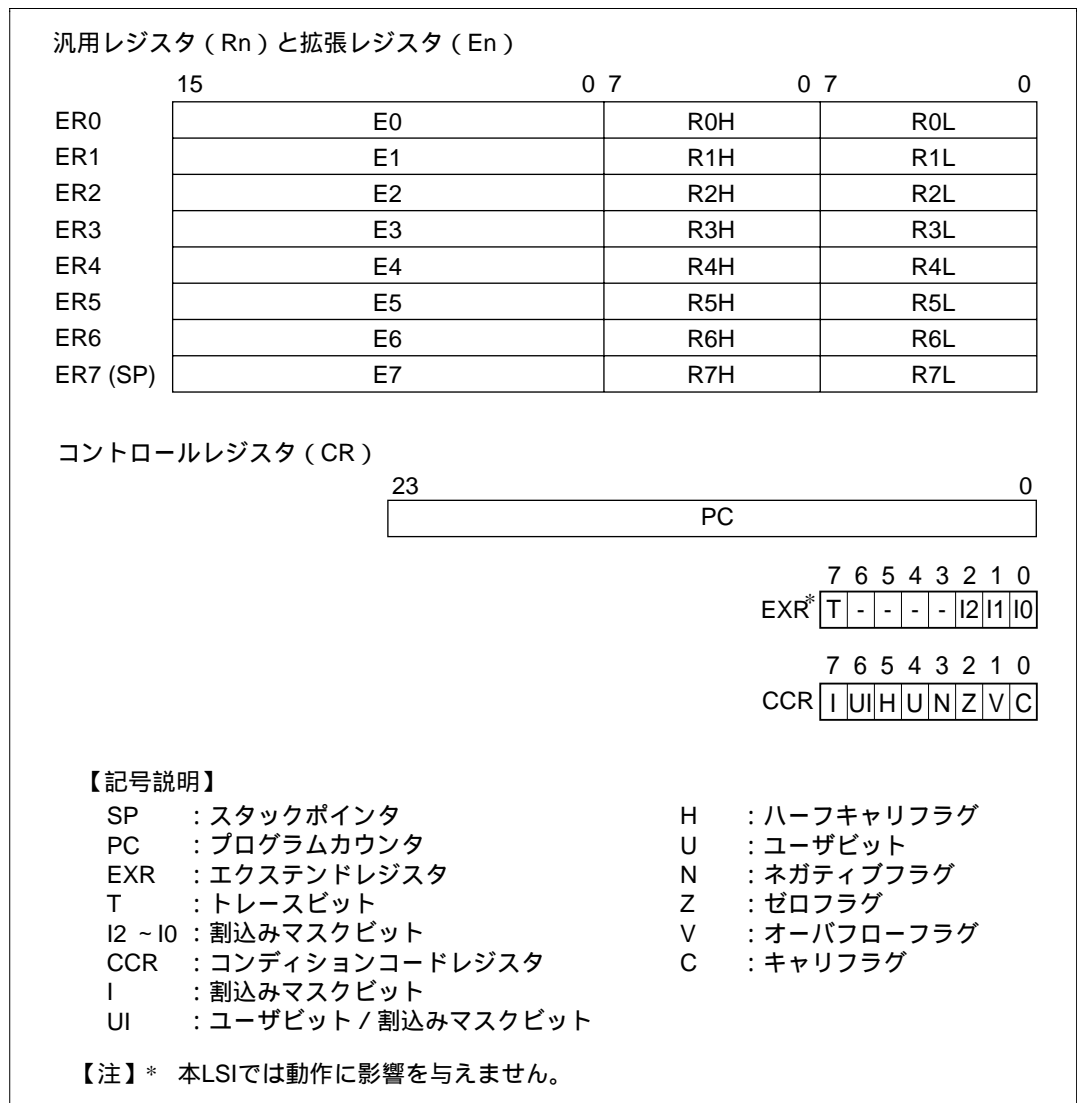


図2.7 CPU内部レジスタ構成

2.4.2 汎用レジスタ

本 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタもしくはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、および 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタの場合、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタの場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタの場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

汎用レジスタの使用方法を図 2.8 に示します。各レジスタ独立に使用方法を選択することができます。

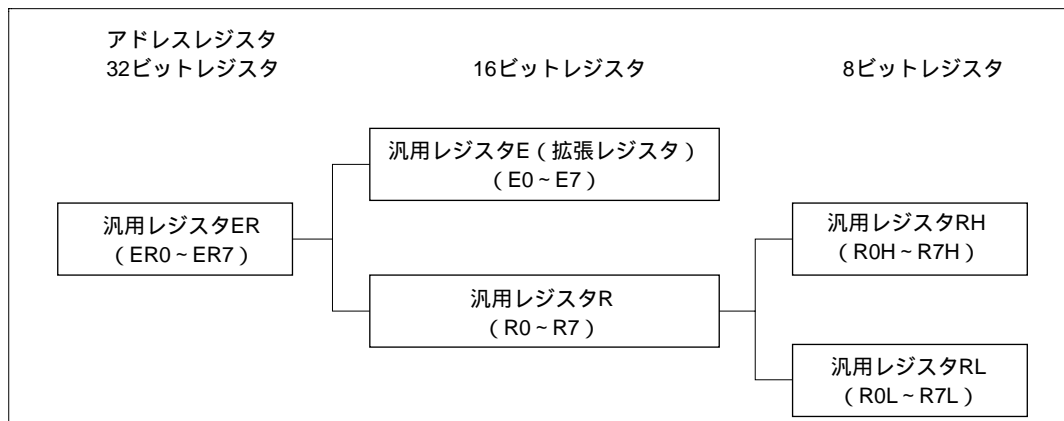


図 2.8 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.9 に示します。

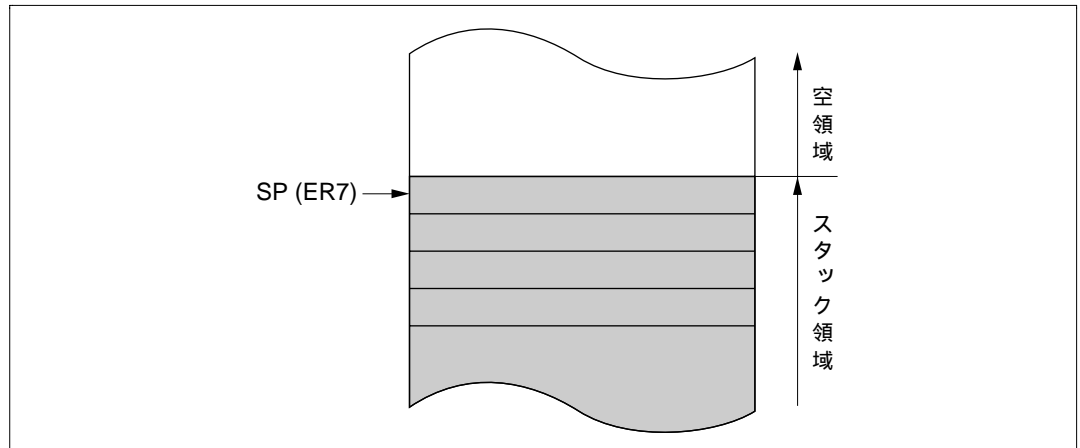


図 2.9 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24ビットのプログラムカウンタ(PC)、8ビットのエクステンドレジスタ(EXR)、8ビットのコンディションコードレジスタ(CCR)があります。

(1) プログラムカウンタ(PC)

24ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて2バイト(ワード)を単位としているため、最下位ビットは無効です(命令コードのリード時には最下位ビットは0とみなされます)。

(2) エクステンドレジスタ(EXR)

8ビットのレジスタです。本LSIでは動作に影響を与えません。

ビット7: トレースビット(T)

リザーブビットです。本LSIでは動作に影響を与えません。

ビット6~3: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。

ビット2~0: 割込みマスクビット(I2~I0)

リザーブビットです。本LSIでは動作に影響を与えません。

(3) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割込みマスクビット(I)とハーフキャリ(H)、ネガティブ(N)、ゼロ(Z)、オーバフロー(V)、キャリ(C)の各フラグを含む8ビットで構成されています。

ビット7：割込みマスクビット(I)

本ビットが1にセットされると、割込みがマスクされます。ただし、NMIおよびアドレスブレイク割込みはIビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割込みコントローラ」を参照してください。

ビット6：ユーザビット/割込みマスクビット(UI)

ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。割込みマスクビットとしても使用可能です。詳細は「第5章 割込みコントローラ」を参照してください。

ビット5：ハーフキャリフラグ(H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザビット(U)

ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1 命令セット一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ構成

本CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0,1,2,\dots,7$ ）という形式でアクセスされます。

なお、DAA および DAS の10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.10に示します。

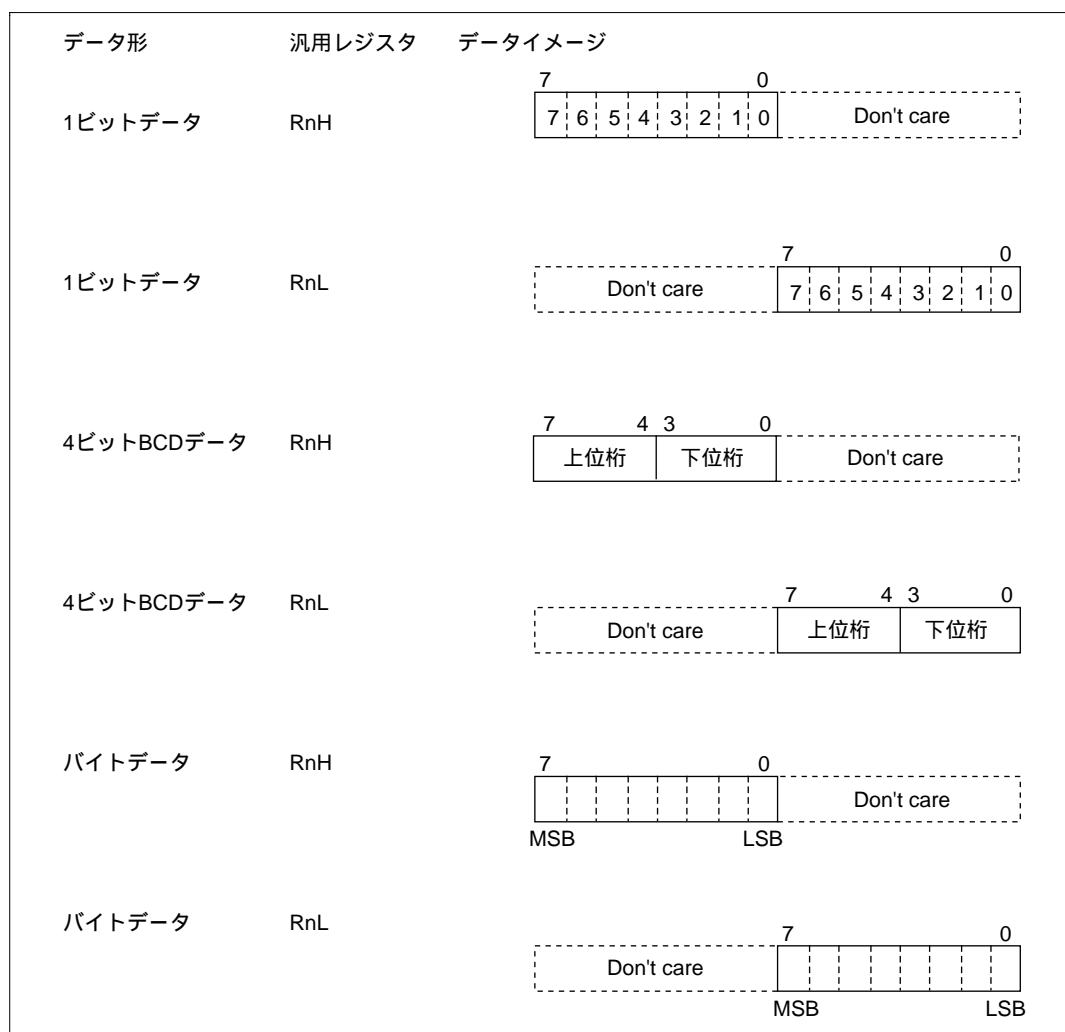


図2.10 (1) 汎用レジスタのデータ構成

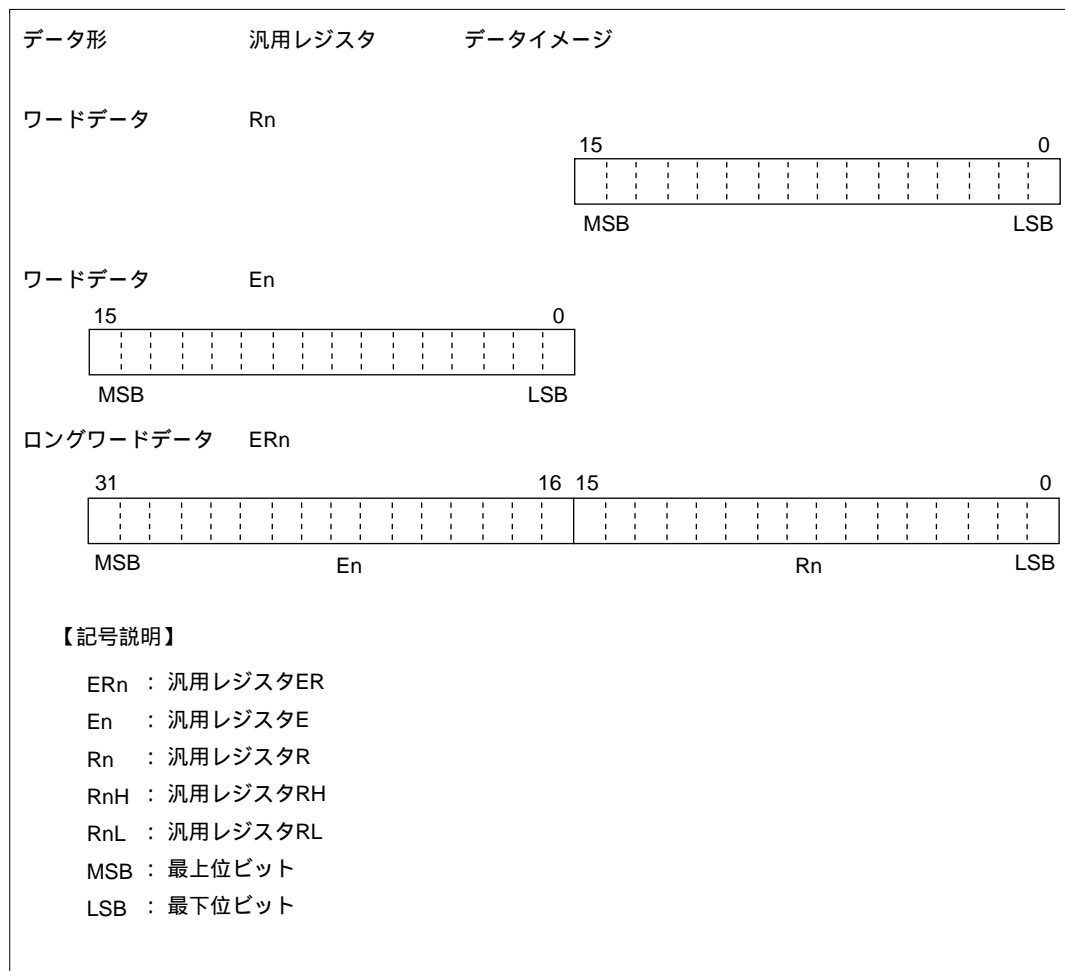


図 2.10 (2) 汎用レジスタのデータ構成

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.11に示します。

本 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

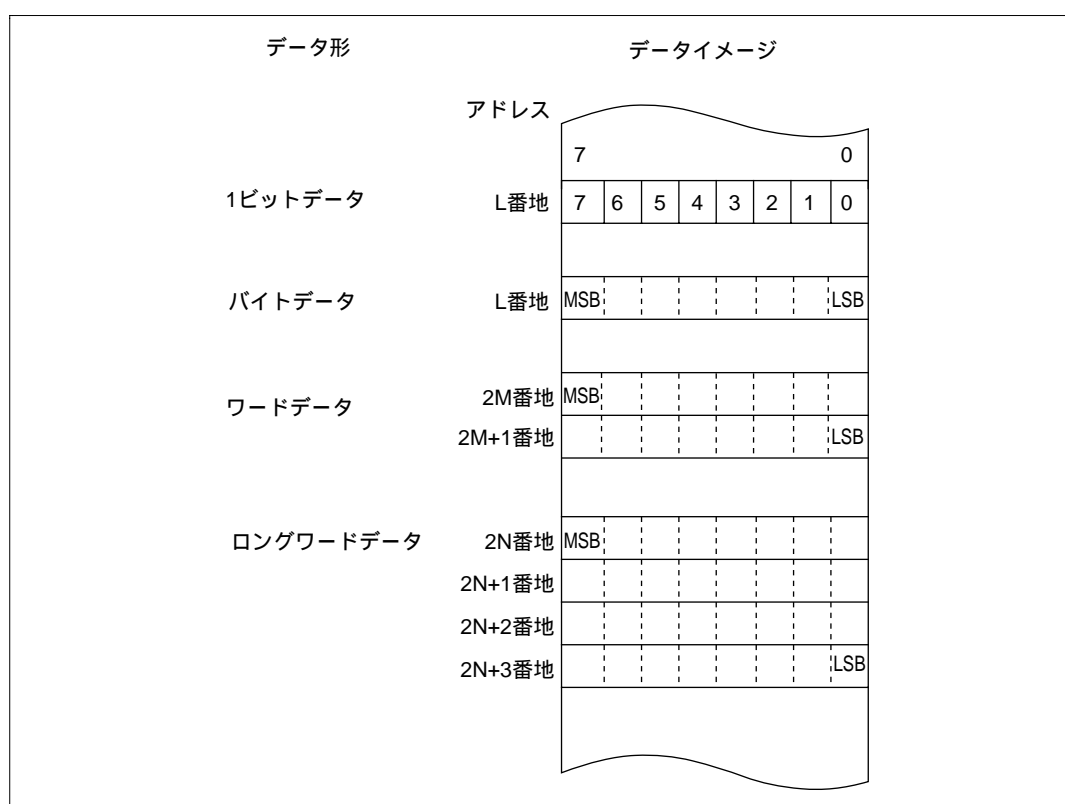


図 2.11 メモリ上でのデータ構成

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 概要

本 CPU の命令は合計 65 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
転送命令	MOV	BWL	5
	POP * ¹ 、PUSH * ¹	WL	
	LDM * ⁵ 、STM * ⁵	L	
	MOVFPE* ³ 、MOVTPE* ³	B	
算術演算命令	ADD、SUB、CMP、NEG	BWL	19
	ADDX、SUBX、DAA、DAS	B	
	INC、DEC	BWL	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	BW	
	EXTU、EXTS	WL	
	TAS * ⁴	B	
論理演算命令	AND、OR、XOR、NOT	BWL	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	BWL	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BLD、BILD、BST、BIST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR	B	14
分岐命令	Bcc * ² 、JMP、BSR、JSR、RTS	-	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@ - SP と同一です。

また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@ - SP と同一です。

*2 Bcc は条件分岐命令の総称です。

*3 本 LSI では使用できません。

*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*5 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

2.6.2 命令とアドレッシングモードの組み合わせ

本CPUで使用できる命令とアドレッシングモードの組み合わせを表2.2に示します。

表2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(t:16, ERn)	@(t:32, ERn)	@-ERn/@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(t:8, PC)	@(t:16, PC)	@@aa:8	
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM* ³ , STM* ³	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFPPE* ¹ , MOVTPPE* ¹	—	—	—	—	—	—	—	—	B	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
TAS* ²	—	—	B	—	—	—	—	—	—	—	—	—	—	—	
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット操作命令	—	B	B	—	—	—	—	B	B	—	B	—	—	—	—
分岐命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	—
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	BW	

【記号説明】

B : バイト

W : ワード

L : ロングワード

【注】 *1 本 LSI では使用できません。

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*3 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3 ~ 表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H ~ R7H、R0L ~ R7L)、16 ビット (R0 ~ R7、E0 ~ E7)、または 32 ビットレジスタ (ER0 ~ ER7) です。

表 2.3 データ転送命令

命令	サイズ* ¹	機 能
MOV	B / W / L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W / L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、 POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* ²	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* ²	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

表 2.4 算術演算命令

命令	サイズ*	機 能
ADD SUB	B / W / L	$Rd \pm Rs$ Rd , $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd , $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd , $Rd \pm 4$ Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正})$ Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。
DIVXS	B / W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット \div 8 ビット 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。

命令	サイズ* ¹	機 能
CMP	B/W/L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0 - Rd Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS	B	@ERd - 0、1 (<ビット 7> of @ERd) * ² メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd、Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数(論理的補数)をとります。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.6 シフト命令

命令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>))] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定されます。

命令	サイズ*	機能
BXOR	B	$C \oplus (\text{ビット番号} \text{ of } \text{EAd})$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim(\text{ビット番号} \text{ of } \text{EAd})]$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	$(\text{ビット番号} \text{ of } \text{EAd})$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	$\sim(\text{ビット番号} \text{ of } \text{EAd})$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C ($\text{ビット番号} \text{ of } \text{EAd}$) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C$ ($\text{ビット番号} \text{ of } \text{EAd}$) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグを反転して転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。 分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N\oplusV) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N\oplusV) = 1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOW)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	Z (N \oplus V) = 0	BLE	Less or Equal	Z (N \oplus V) = 1
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (LOW)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	Z (N \oplus V) = 0																																																			
BLE	Less or Equal	Z (N \oplus V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機 能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10 ブロック転送命令

命令	サイズ*	機能
EEPMOV.B	-	<pre> if R4L = 0 then Repeat @ER5+ @ER6+ R4L - 1 R4L Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then Repeat @ER5+ @ER6+ R4 - 1 R4 Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.12 に命令フォーマットの例を示します。

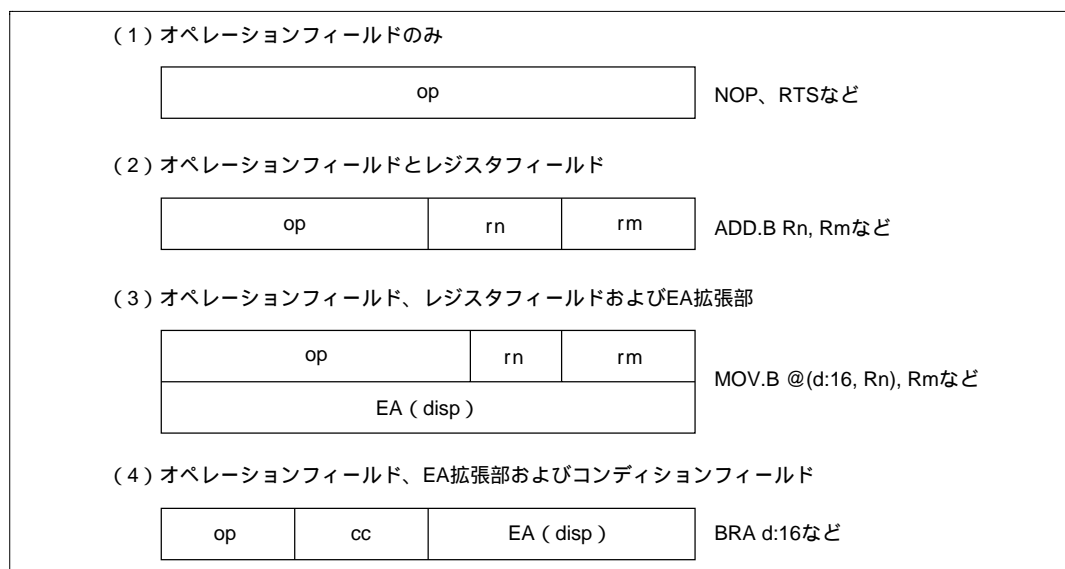


図 2.12 命令フォーマットの例

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部 I/O レジスタのフラグを0にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが1にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

本CPUは表2.11に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に命令コード中に含まれる 16 ビットディスプレースメントまたは 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

(a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズするとき、アドレスレジスタの内容が偶数となるようにしてください。

(b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から 1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズするとき、アドレスレジスタの内容が偶数になるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32) です。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32) を使用します。8ビット絶対アドレスの場合、上位24ビットはすべて1 (H'FFFF) となります。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24) を使用します。上位8ビットはすべて0 (H'00) となります。

絶対アドレスのアクセス範囲を表2.12に示します。

表2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンスドモード
データ領域	8ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'07FFFF, H'FF8000 ~ H'FFFFFF
	32ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24ビット (@aa:24)		

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コードの中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第 4 章 例外処理」を参照してください。

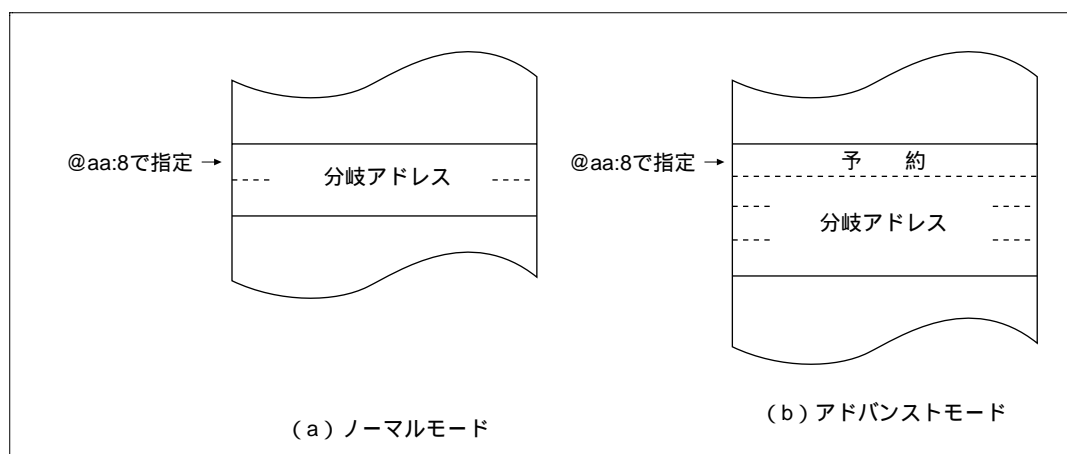


図 2.13 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表2.13に示します。

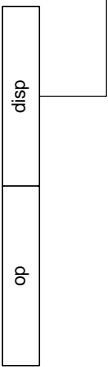
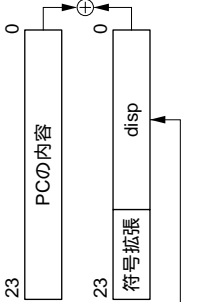



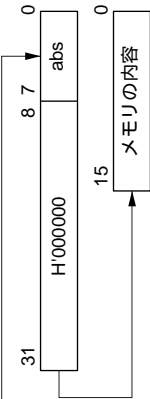
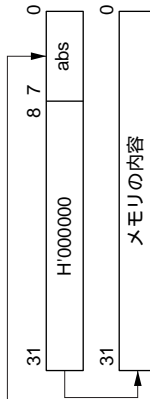

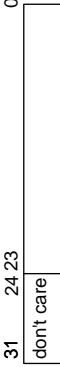
ノーマルモードの場合、実効アドレスの上位8ビットは無視され、16ビットのアドレスとなります。

表2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
1	レジスタ直接 (Rn) <div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">op</div> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">rm</div> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">m</div> </div>		オペランドは汎用レジスタの内容です。
2	レジスタ間接 (@ERn) <div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">op</div> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">r</div> </div>	<div style="display: flex; justify-content: space-between;"> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">31</div> <div style="border: 1px solid black; width: 150px; height: 20px; text-align: center;">汎用レジスタの内容</div> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">0</div> </div>	<div style="display: flex; justify-content: space-between;"> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">31</div> <div style="border: 1px solid black; width: 150px; height: 20px; text-align: center;">don't care</div> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">0</div> </div>
3	ディスプレイメント付レジスタ間接 @(d:16,ERn) / @(d:32,ERn) <div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">op</div> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">r</div> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">disp</div> </div>	<div style="display: flex; justify-content: space-between;"> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">31</div> <div style="border: 1px solid black; width: 150px; height: 20px; text-align: center;">汎用レジスタの内容</div> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">0</div> </div> <div style="margin-top: 5px;"> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">31</div> <div style="border: 1px solid black; width: 100px; height: 20px; text-align: center;">符号拡張</div> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">0</div> </div> <div style="margin-top: 5px; text-align: center;"> \oplus </div>	<div style="display: flex; justify-content: space-between;"> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">31</div> <div style="border: 1px solid black; width: 150px; height: 20px; text-align: center;">don't care</div> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">0</div> </div>
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ <div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">op</div> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">r</div> </div> ・プリデクリメントレジスタ間接 @-ERn <div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">op</div> <div style="border: 1px solid black; padding: 2px; margin: 0 5px;">r</div> </div>	<div style="display: flex; justify-content: space-between;"> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">31</div> <div style="border: 1px solid black; width: 150px; height: 20px; text-align: center;">汎用レジスタの内容</div> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">0</div> </div> <div style="margin-top: 5px; text-align: center;"> \oplus 1、2または4 </div>	<div style="display: flex; justify-content: space-between;"> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">31</div> <div style="border: 1px solid black; width: 150px; height: 20px; text-align: center;">don't care</div> <div style="border: 1px solid black; width: 30px; height: 20px; text-align: center;">0</div> </div>

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op abs		<p>31 24 23 8 7 0 don't care HFFFFFF</p>
	@aa:16 op abs		<p>31 24 23 16 15 0 don't care 符号拡張</p>
	@aa:24 op abs		<p>31 24 23 0 don't care</p>
	@aa:32 op abs		<p>31 24 23 0 don't care</p>
6	イミディエイト #xx:8 / #xx:16 / #xx:32 op IMM		オペランドはイミディエイトデータです。

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	<p>プログラムカウンタ相対 @(d:8;PC) / @(d:16;PC)</p> 		
8	<p>メモリ間接 @aa:8</p> <ul style="list-style-type: none"> ・ノーマルモード ・アドバンストモード  	 	 

2.8 処理状態

2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.14 に、処理状態間の遷移を図 2.15 に示します。

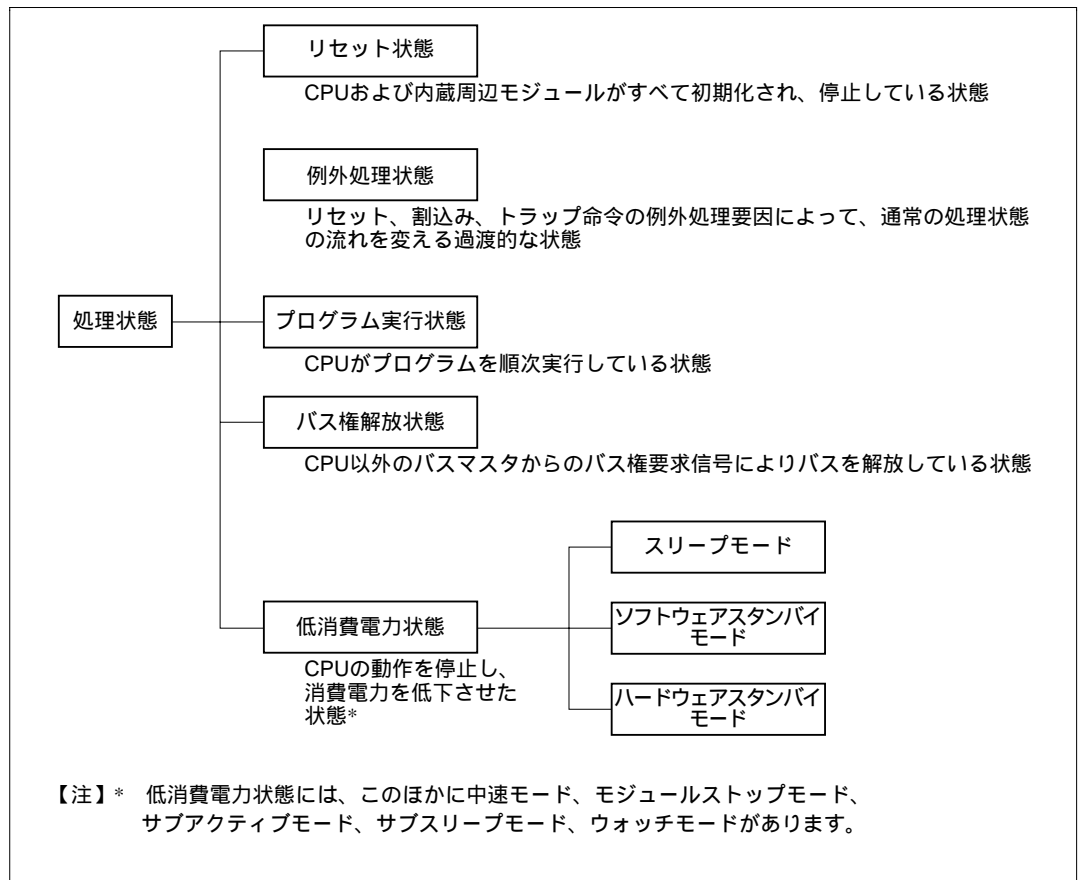


図 2.14 処理状態の分類

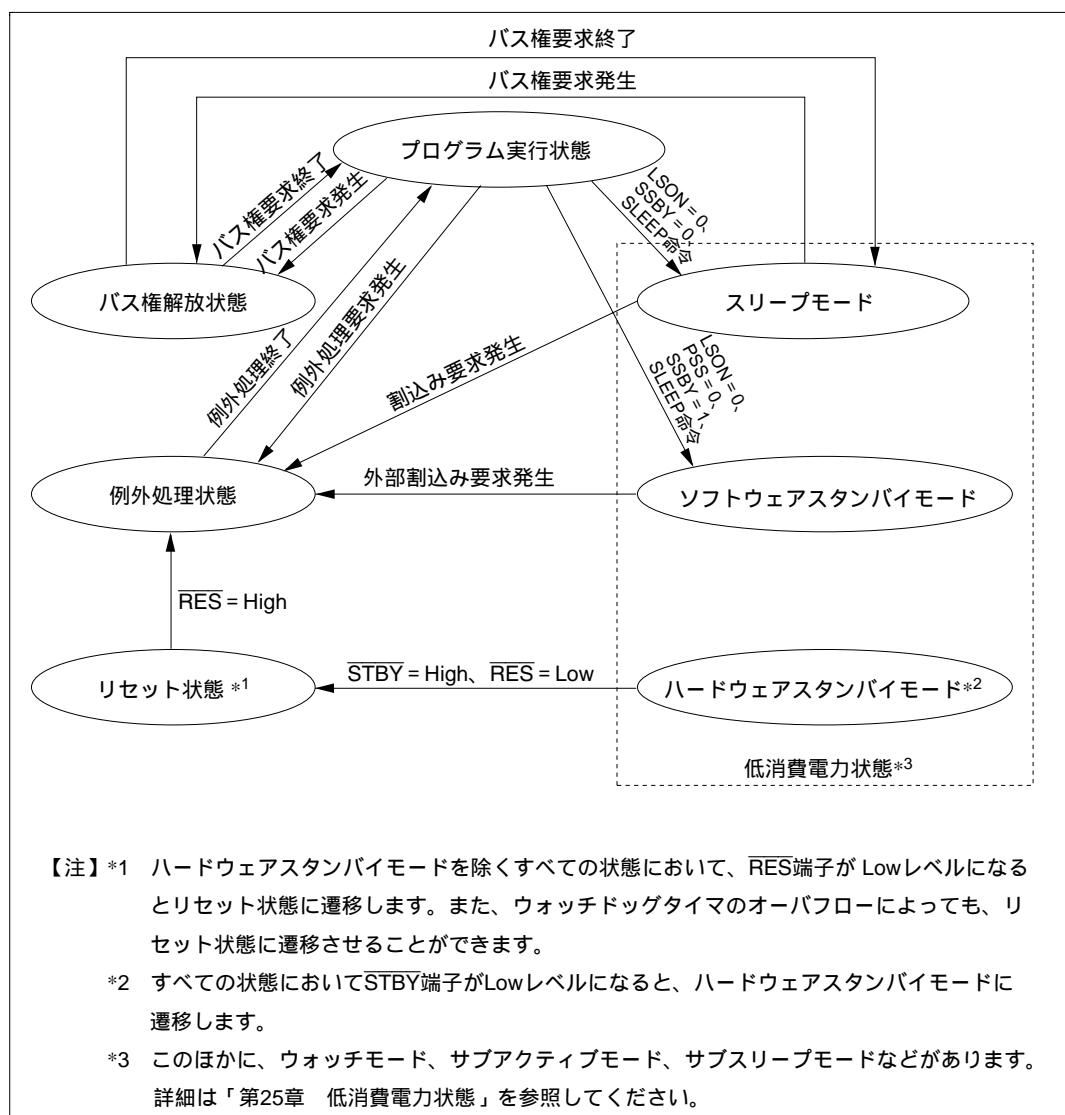


図 2.15 状態遷移図

2.8.2 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。

詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

2.8.3 例外処理状態

例外処理状態は、リセット、割込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

(1) 例外処理の種類と優先度

例外処理要因には、リセット、割込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑	リセット	クロック同期	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドックタイマのオーバフローにより例外処理を開始します。
	割込み	命令実行終了時または例外処理終了時* ¹	割込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
低	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。* ²

【注】 *1 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割込みの検出を行いません。

*2 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

(2) リセット例外処理

$\overline{\text{RES}}$ 端子を Low レベルにして、リセット状態とした後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理を開始します。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されず。

(3) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.16 に示します。

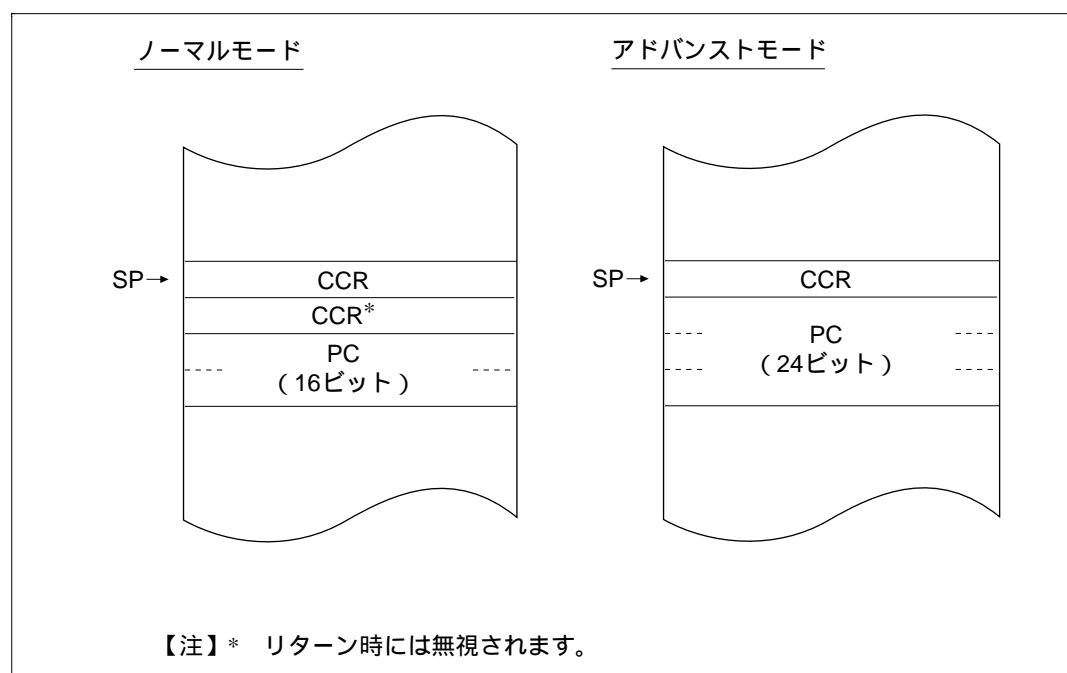


図 2.16 例外処理終了後のスタックの状態（例）

2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.5 バス権解放状態

CPU以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPUは内部動作を除き動作を停止します。

なお、CPU以外のバスマスタにはデータトランスファコントローラ(DTC)があります。詳細は、「第6章 バスコントローラ」を参照してください。

2.8.6 低消費電力状態

低消費電力状態には、CPUの動作を停止した状態と、CPUの動作を停止しない状態があります。CPUの動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモード、サブスリープモード、ウォッチモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモード、サブアクティブモードがあります。中速モードではCPUおよびそのほかのバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU以外のモジュールの動作を停止します。サブアクティブモード、サブスリープモード、ウォッチモードはサブクロック入力を利用した低消費電力状態です。詳細は「第25章 低消費電力状態」を参照してください。

(1) スリープモード

スリープモードには、SBYCRのSSBYビット=0、LPWRCRのLSONビット=0の状態です。SLEEP命令を実行することによって遷移します。スリープモードでは、CPUの動作はSLEEP命令実行直後で停止します。CPUの内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCRのSSBYビット=1、LPWRCRのLSONビット=0、TCSR(WDT1)のPSSビット=0の状態です。SLEEP命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPUおよびクロックをはじめMCUのすべての動作が停止します。規定の電圧が与えられている限り、CPUの内部レジスタの内容および内蔵RAMの内容は保持されます。また、I/Oポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、 $\overline{\text{STBY}}$ 端子をLowレベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPUおよびクロックをはじめMCUのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMの内容は保持されます。

2.9 基本動作タイミング

2.9.1 概要

本 CPU は、システムクロック () を基準に動作しています。 の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは1ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアccessサイクルを図 2.17 に、端子状態を図 2.18 に示します。

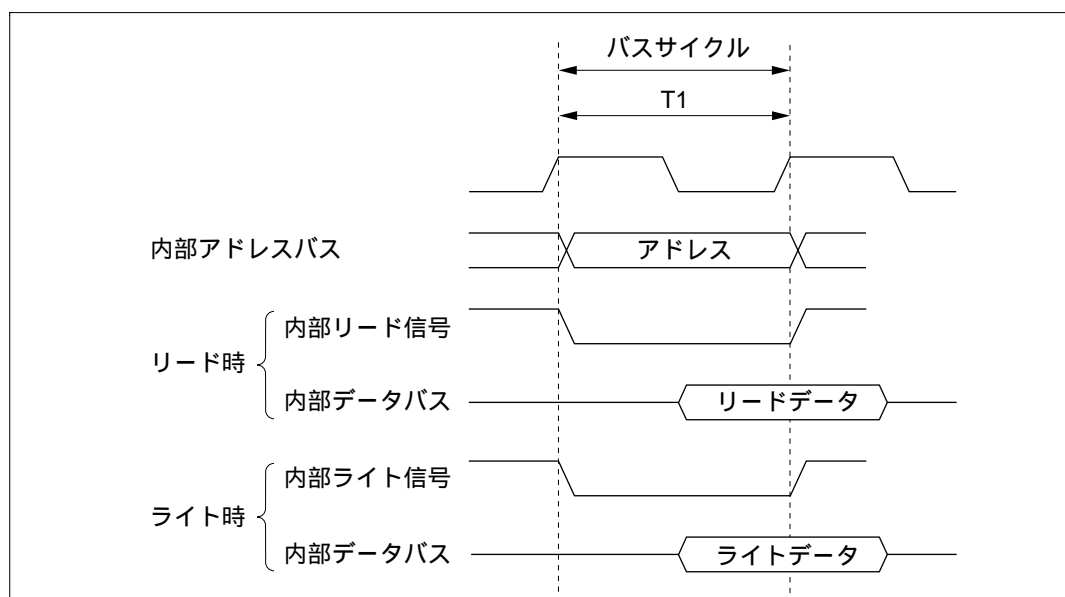


図 2.17 内蔵メモリアccessサイクル

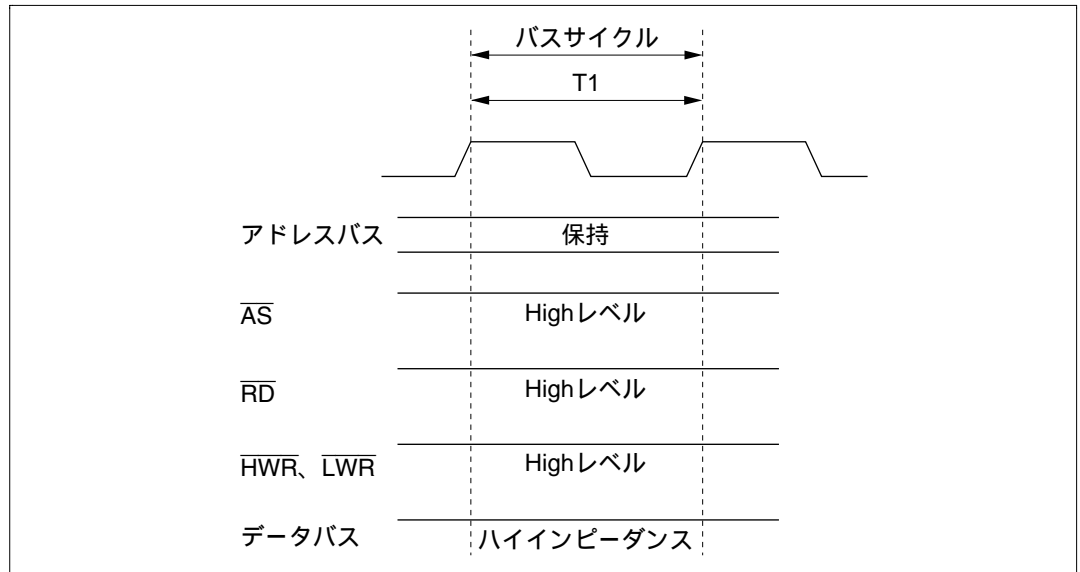


図 2.18 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.19、端子状態を図2.20に示します。

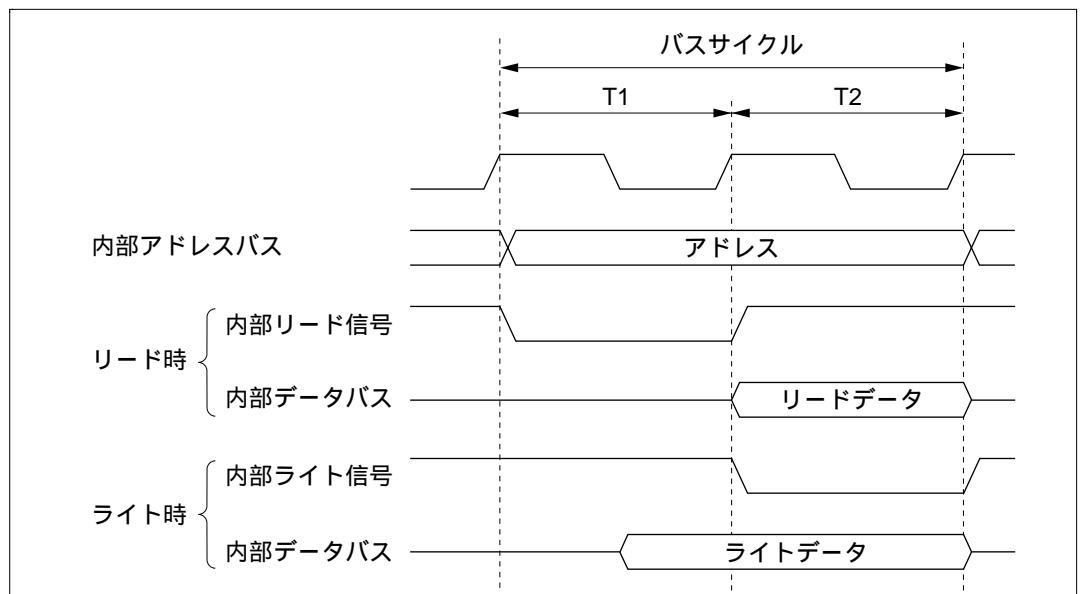


図 2.19 内蔵周辺モジュールアクセスサイクル

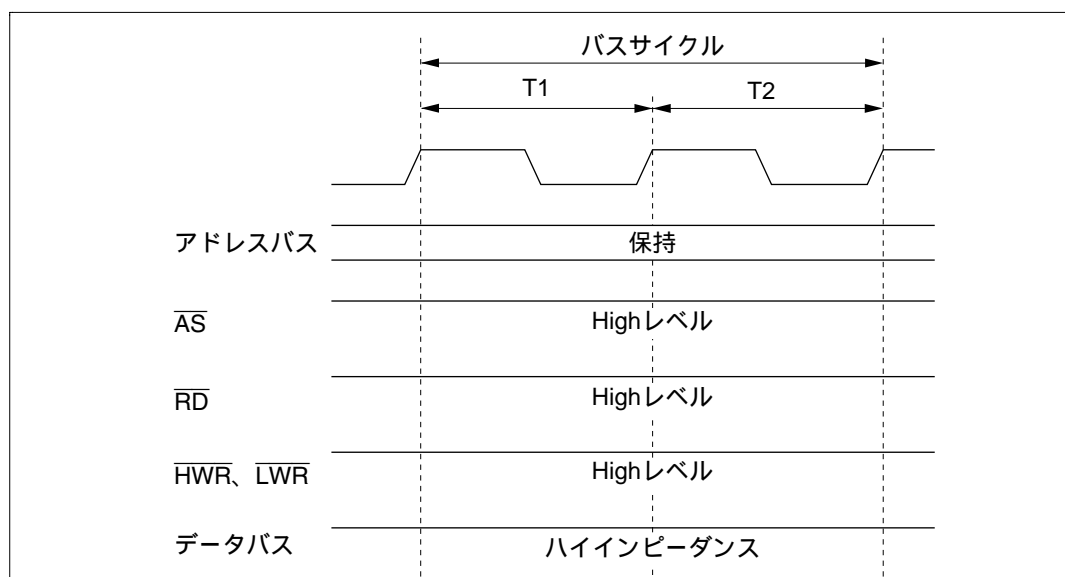


図 2.20 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は 8 ビットまたは 16 ビット、バスサイクルは 2 ステートまたは 3 ステートです。3 ステートアクセスではウェイトステートを挿入することができます。詳細は「第 6 章 バスコントローラ」を参照してください。

2.10 使用上の注意

2.10.1 TAS 命令

TAS 命令を使用する場合には、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、日立製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組込み関数として TAS 命令をご使用の場合にはレジスタ ER0、ER1、ER4、ER5 を使用するようお願い致します。

2.10.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、待避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。一命令で待避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0—ER1、ER2—ER3、ER4—ER5

3 本 : ER0—ER2、ER4—ER6

4 本 : ER0—ER3

また、日立製 H8S、H8/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

3. MCU 動作モード

第3章 目次

3.1	概要	85
	3.1.1 動作モードの選択	85
	3.1.2 レジスタ構成	86
3.2	各レジスタの説明	87
	3.2.1 モードコントロールレジスタ (MDCR)	87
	3.2.2 システムコントロールレジスタ (SYSCR)	88
	3.2.3 バスコントロールレジスタ (BCR)	90
	3.2.4 シリアルタイムコントロールレジスタ (STCR)	91
3.3	各動作モードの説明	93
	3.3.1 モード1	93
	3.3.2 モード2	93
	3.3.3 モード3	93
3.4	各動作モードにおける端子機能	94
3.5	各動作モードのアドレスマップ	95

3.1 概要

3.1.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 1～3）があります。これらのモードは、モード端子（MD1～MD0）の設定で決まります。表 3.1 のように CPU 動作モード、内蔵 ROM の有効 / 無効を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD1	MD0	CPU 動作モード	内容	内蔵 ROM
0	0	0	-	-	-
1		1	ノーマル	内蔵 ROM 無効拡張モード	無効
2	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード	有効
3		1	ノーマル	内蔵 ROM 有効拡張モード シングルチップモード	

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 1 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。モード 2、3 は、リセット解除後シングルチップモードで動作を開始しますが、MDCR の EXPE ビットをセットすることにより、外部拡張モードに移行することができます。

モード 1～3 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 1～3 になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本 LSI にはモード端子 (MD1 ~ MD0) の状態が反映されるモードコントロールレジスタ (MDCR) と、本 LSI の動作を制御するシステムコントロールレジスタ (SYSCR)、バスコントロールレジスタ (BCR)、および周辺機能の動作を制御するシリアルタイムコントロールレジスタ (STCR) があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定	H'FFC5
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4
バスコントロールレジスタ	BCR	R/W	H'D7	H'FFC6
シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 * アドレスの下位 16 ビットを示しています。

3.2 各レジスタの説明

3.2.1 モードコントロールレジスタ (MDCR)

ビット：	7	6	5	4	3	2	1	0
	EXPE	-	-	-	-	-	MDS1	MDS0
初期値：	-*	0	0	0	0	0	-*	-*
R/W	R/W*	-	-	-	-	-	R	R

【注】* MD1～MD0端子により決定されます。

MDCRは8ビットのリード専用レジスタで、本LSIの動作モードの設定および現在の動作モードをモニタするのに用います。

EXPEビットは、リセットまたはハードウェアスタンバイモード時に、モード端子の状態に関連付けられて初期化されます。

ビット7：拡張モードイネーブル (EXPE)

拡張モードを設定します。モード1の場合、1に固定されており、ライトは無効です。モード2、3の場合、初期値は0で、リード/ライト可能です。

ビット7	説明
EXPE	
0	シングルチップモードを選択
1	拡張モードを選択

ビット6～2：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット1～0：モードセレクト1～0 (MDS1～MDS0)

モード端子 (MD1～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1～MDS0ビットはMD1～MD0端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCRをリードすると、モード端子 (MD1～MD0) の入力レベルがこれらのビットにラッチされます。

3.2.2 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、システム端子機能の選択、リセット要因のモニタ、割込み制御モードの選択、NMI 検出エッジの選択、周辺機能の端子位置の選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ここでは、ビット 7、6、3、1、0 についてのみ説明します。これらのビットの詳細については、関連するモジュール（ホストインタフェース、バスコントローラ、ウォッチドッグタイマ、RAM など）の説明をあわせて参照してください。ビット 5、4、2 の詳細については「5.2.1 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'09 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：チップセレクト 2 イネーブル (CS2E)

ホストインタフェースの制御端子 ($\overline{CS2}$) の配置を指定します。詳細は「第 18 章 ホストインタフェース」を参照してください。H8S/2144 シリーズにはホストインタフェースは内蔵していませんので、本ビットは 1 にセットしないでください。

ビット 6：IOS イネーブル (IOSE)

拡張モード時の $\overline{AS}/\overline{IOS}$ 端子の機能を制御します。

ビット 6	説明
IOSE	
0	$\overline{AS}/\overline{IOS}$ 端子はアドレスストローブ端子 (\overline{AS}) (外部エリアアクセス時に Low 出力) (初期値)
1	$\overline{AS}/\overline{IOS}$ 端子は I/O ストローブ端子 (\overline{IOS}) (アドレス H'(FF)F000 ~ H'(FF)FE4F* の指定アドレスアクセス時に Low 出力)

【注】 * H8S/2148 F-ZTAT の A マスク品および H8S/2147 F-ZTAT の A マスク品では、H'(FF)F000 ~ H'(FF)F7FF となります。

ビット3：外部リセット (XRST)

XRST はリセット要因を表わすビットです。リセットは外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローにより発生できます。XRST ビットはリード専用です。外部リセットにより1にセット、ウォッチドッグタイマオーバフローにより0にクリアされます。

ビット3	説明
XRST	
0	リセットがウォッチドッグタイマオーバフローで発生
1	リセットが外部リセットで発生 (初期値)

ビット1：ホストインタフェースイネーブル (HIE)

ホストインタフェースのデータレジスタと制御レジスタ (HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2)、キーボードコントローラおよび入力プルアップ MOS の制御レジスタ (KMIMR、KMPCR、KMIMRA)、8 ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ (TCRX/TCRY、TCSRX/TCSRY、TICRR/TCORAY、TICRF/TCORBY、TCNTX/TCNTY、TCORC/TISR、TCORAX、TCORBX)、タイマコネクシオンの制御レジスタ (TCONRI、TCONRO、TCONRS、SEDGR) の、CPU アクセスを制御します。

ビット1	説明
HIE	
0	アドレス H'(FF)FFF0~H'(FF)FFF7、H'(FF)FFFC~H'(FF)FFFF のエリアは、8 ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタおよびタイマコネクシオンの制御レジスタの CPU アクセスを許可 (初期値)
1	アドレス H'(FF)FFF0~H'(FF)FFF7、H'(FF)FFFC~H'(FF)FFFF のエリアは、ホストインタフェースのデータレジスタと制御レジスタ、キーボードコントローラおよび入力プルアップ MOS の制御レジスタの CPU アクセスを許可

ビット0：RAMイネーブル（RAME）

内蔵RAMの有効または無効を選択します。RAMEビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット0	説明
RAME	
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

3.2.3 バスコントロールレジスタ（BCR）

ビット：	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0		IOS1	IOS0
初期値：	1	1	0	1	0	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRは8ビットのリード/ライト可能なレジスタで、外部メモリ空間のアクセスモード、 \overline{AS} 端子をI/Oストロブ機能に設定した場合のI/O領域の範囲を設定します。ビット7~2の詳細は「6.2.1 バスコントロールレジスタ（BCR）」を参照してください。

BCRは、リセットおよびハードウェアスタンバイモード時に、H'D7に初期化されます。

ビット1~0：IOSセレクト1、0（IOS1、IOS0）

IOSE = 1の場合に、 $\overline{AS}/\overline{IOS}$ 端子をLow出力とするアドレスを指定します。

BCR		説明
ビット1	ビット0	
IOS1	IOS0	
0	0	アドレス H'(FF)F000 ~ H'(FF)F03F アクセス時に Low 出力
	1	アドレス H'(FF)F000 ~ H'(FF)F0FF アクセス時に Low 出力
1	0	アドレス H'(FF)F000 ~ H'(FF)F3FF アクセス時に Low 出力
	1	アドレス H'(FF)F000 ~ H'(FF)FE4F* アクセス時に Low 出力 (初期値)

【注】 * H8S/2148 F-ZTATのAマスク品およびH8S/2147 F-ZTATのAマスク品では、H'(FF)F000 ~ H'(FF)F7FFとなります。

3.2.4 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御(IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御(F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。レジスタアクセスの制御以外の詳細は、各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 にイニシャライズされます。

ビット 7 ~ 5 : I²C コントロール (IICS、IICX1、IICX0)

ポート A のバスバッファ機能および IIC 内蔵オプションの場合、I²C バスインタフェースの動作を制御するビットです。詳しくは「16.2.7 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

ビット 4 : I²C マスタイネーブル (IICE)

I²C バスインタフェースのデータレジスタと制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR)、PWMX のデータレジスタと制御レジスタ (DADRAH/DACR、DADRAL、DADRBH/DACNTH、DADRBL/DACNTL)、SCI の制御レジスタ (SMR、BRR、SCMR) の CPU アクセスを制御します。

ビット4	説明
IICE	
0	アドレス H'(FF)FF88 ~ H'(FF)FF89、H'(FF)FF8E ~ H'(FF)FF8F のエリアは、SCI1 の制御レジスタをアクセス アドレス H'(FF)FFA0 ~ H'(FF)FFA1、H'(FF)FFA6 ~ H'(FF)FFA7 のエリアは、SCI2 の制御レジスタをアクセス アドレス H'(FF)FFD8 ~ H'(FF)FFD9、H'(FF)FFDE ~ H'(FF)FFDF のエリアは、SCI0 の制御レジスタをアクセス (初期値)
1	アドレス H'(FF)FF88 ~ H'(FF)FF89、H'(FF)FF8E ~ H'(FF)FF8F のエリアは、IIC1 のデータレジスタおよび制御レジスタをアクセス アドレス H'(FF)FFA0 ~ H'(FF)FFA1、H'(FF)FFA6 ~ H'(FF)FFA7 のエリアは、PWMX のデータレジスタおよび制御レジスタをアクセス アドレス H'(FF)FFD8 ~ H'(FF)FFD9、H'(FF)FFDE ~ H'(FF)FFDF のエリアは、IIC0 のデータレジスタおよび制御レジスタをアクセス

ビット3：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2)、低消費電力状態の制御レジスタ (SBYCR、LPWRCR、MSTPCRH、MSTPCRL)、および周辺モジュールの制御レジスタ (PCSR、SYSCR2) の CPU アクセスを制御します。

ビット3	説明
FLSHE	
0	アドレス H'(FF)FF80 ~ H'(FF)FF87 のエリアは、低消費電力状態の制御レジスタおよび周辺モジュールの制御レジスタをアクセス (初期値)
1	アドレス H'(FF)FF80 ~ H'(FF)FF87 のエリアは、フラッシュメモリの制御レジスタをアクセス (F-ZTAT 版のみ)

ビット2：リザーブビット

リザーブビットです。1 にセットしないでください。

ビット1、0：インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

TCR の CKS2 ~ CKS0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

3.3 各動作モードの説明

3.3.1 モード1

CPUはノーマルモードでアドレス空間は64kバイトです。内蔵ROMは無効です。

ポート1、2がアドレスバス、ポート3がデータバス、ポート9の一部がバス制御信号となります。また、WSCRレジスタのABWビットを0にクリアすることでポートBがデータバスとなります。

3.3.2 モード2

CPUはアドバンスモードでアドレス空間は16Mバイトです。内蔵ROMは有効です。リセット後はシングルチップモードに設定されており、外部アドレスを使用するためにはMDCRのEXPEビットを1にセットする必要があります。

MDCRのEXPEビットを1にセットすると、ポート1、2、Aはリセット後は入力ポートになっていますが、対応するDDR（データディレクションレジスタ）を1にセットすることにより、アドレスを出力することができます。ポート3がデータバス、ポート9の一部がバス制御信号となります。また、WSCRレジスタのABWビットを0にクリアすることで、ポートBがデータバスとなります。

3.3.3 モード3

CPUはノーマルモードでアドレス空間は64kバイトです。内蔵ROMは有効です。リセット後はシングルチップモードに設定されており、外部アドレスを使用するためにはMDCRのEXPEビットを1にセットする必要があります。

MDCRのEXPEビットを1にセットすると、ポート1、2はリセット後は入力ポートになっていますが、対応するDDR（データディレクションレジスタ）を1にセットすることにより、アドレスを出力することができます。ポート3がデータバス、ポート9の一部がバス制御信号となります。また、WSCRレジスタのABWビットを0にクリアすることで、ポートBがデータバスとなります。

本動作モードでは、内蔵ROMが64kバイト以上の製品で使用できる内蔵ROM容量は56kバイトに制限されます。

3.4 各動作モードにおける端子機能

動作モードにより、ポート 1~3、9、A、B の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおける端子機能

ポート	モード1	モード2	モード3
ポート 1	A	P* / A	P* / A
ポート 2	A	P* / A	P* / A
ポート A	P	P* / A	P
ポート 3	D	P* / D	P* / D
ポート B	P* / D	P* / D	P* / D
ポート 9	P97	P* / C	P* / C
	P96	C* / P	P* / C
	P95 ~ P93	C	P* / C
	P92 ~ P91	P	P
	P90	P* / C	P* / C

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- * : リセット直後

3.5 各動作モードのアドレスマップ

各動作モードのアドレスマップを図3.1～図3.5に示します。

アドレス空間はモード1、3(ノーマルモード)では64kバイトです。また、モード2(アドバンスモード)では16Mバイトです。

本LSIの内蔵ROMの容量は64kバイト(H8S/2142、H8S/2147、H8S/2147N)、96kバイト(H8S/2143)または128kバイト(H8S/2144、H8S/2148)ですが、モード3(ノーマルモード)では、使用できる内蔵ROMの容量は56kバイトになります。

リザーブエリアおよび内部I/Oレジスタ空間で、製品でサポートしていないモジュールのレジスタアドレスは、アクセスしないでください。これらの領域にアクセスした場合、正常動作が保証されないので注意が必要です。

詳細は、「第6章 バスコントローラ」を参照してください。

3. MCU動作モード

モード1 ノーマル・ 内蔵ROM無効拡張モード	モード3 / EXPE=1 ノーマル・ 内蔵ROM有効拡張モード	モード3 / EXPE=0 ノーマル・ シングルチップモード
H'0000	H'0000	H'0000
外部アドレス空間	内蔵ROM	内蔵ROM
H'E080	H'E080	H'E080
内蔵RAM*	内蔵RAM*	内蔵RAM
H'FFFF	H'FFFF	H'FFFF
外部アドレス空間	外部アドレス空間	
H'FE50	H'FE50	H'FE50
H'FEFF	H'FEFF	H'FEFF
内部I/Oレジスタ2	内部I/Oレジスタ2	内部I/Oレジスタ2
H'FF00	H'FF00	H'FF00
H'FF7F	H'FF7F	H'FF7F
内蔵RAM 128バイト*	内蔵RAM 128バイト*	内蔵RAM 128バイト
H'FF80	H'FF80	H'FF80
H'FFFF	H'FFFF	H'FFFF
内部I/Oレジスタ1	内部I/Oレジスタ1	内部I/Oレジスタ1

【注】* SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.1 H8S/2148 (F-ZTAT A マスク品を除く)、H8S/2144 の各動作モードのアドレスマップ (1)

モード2 / EXPE=1 アドバンスト・ 内蔵ROM有効拡張モード		モード2 / EXPE=0 アドバンスト・ シングルチップモード	
H'000000	内蔵ROM	H'000000	内蔵ROM
H'01FFFF H'020000		H'01FFFF	
外部アドレス空間			
H'FFE080	内蔵RAM*	H'FFE080	内蔵RAM
H'FFEFFF	外部アドレス空間	H'FFEFFF	
H'FFFE50 H'FFFEFF	内部I/Oレジスタ2	H'FFFE50 H'FFFEFF	内部I/Oレジスタ2
H'FFFF00 H'FFFF7F	内蔵RAM 128バイト*	H'FFFF00 H'FFFF7F	内蔵RAM 128バイト
H'FFFF80 H'FFFFFF	内部I/Oレジスタ1	H'FFFF80 H'FFFFFF	内部I/Oレジスタ1

【注】* SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

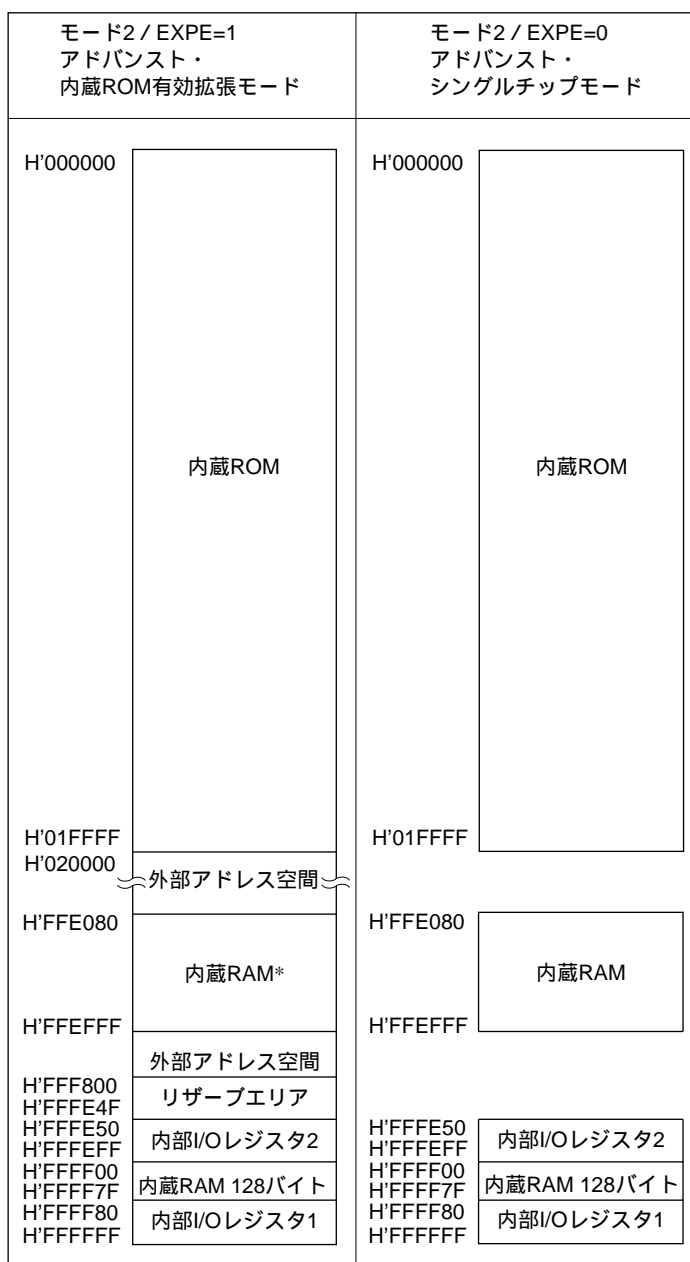
図 3.1 H8S/2148 (F-ZTAT A マスク品を除く)、H8S/2144 の各動作モードのアドレスマップ (2)

3. MCU動作モード

モード1 ノーマル・ 内蔵ROM無効拡張モード	モード3 / EXPE=1 ノーマル・ 内蔵ROM有効拡張モード	モード3 / EXPE=0 ノーマル・ シングルチップモード
H'0000	H'0000	H'0000
外部アドレス空間	内蔵ROM	内蔵ROM
	H'DFFF	H'DFFF
	外部アドレス空間	
H'E080	H'E080	H'E080
内蔵RAM*	内蔵RAM*	内蔵RAM
H'FFFF	H'FFFF	H'FFFF
外部アドレス空間	外部アドレス空間	
H'F800	H'F800	
H'FE4F	H'FE4F	
H'FE50	H'FE50	H'FE50
H'FEFF	H'FEFF	H'FEFF
内部I/Oレジスタ2	内部I/Oレジスタ2	内部I/Oレジスタ2
H'FF00	H'FF00	H'FF00
H'FF7F	H'FF7F	H'FF7F
内蔵RAM 128バイト*	内蔵RAM 128バイト*	内蔵RAM 128バイト
H'FF80	H'FF80	H'FF80
H'FFFF	H'FFFF	H'FFFF
内部I/Oレジスタ1	内部I/Oレジスタ1	内部I/Oレジスタ1

【注】 * SYSCR の RAME ビットを 0 にクリアすることにより外部アドレスとすることができます。

図 3.2 H8S/2148 F-ZTAT A マスク品の各動作モードのアドレスマップ (1)



【注】 * SYSCR の RAME ビットを 0 にクリアすることにより外部アドレスとすることができます。

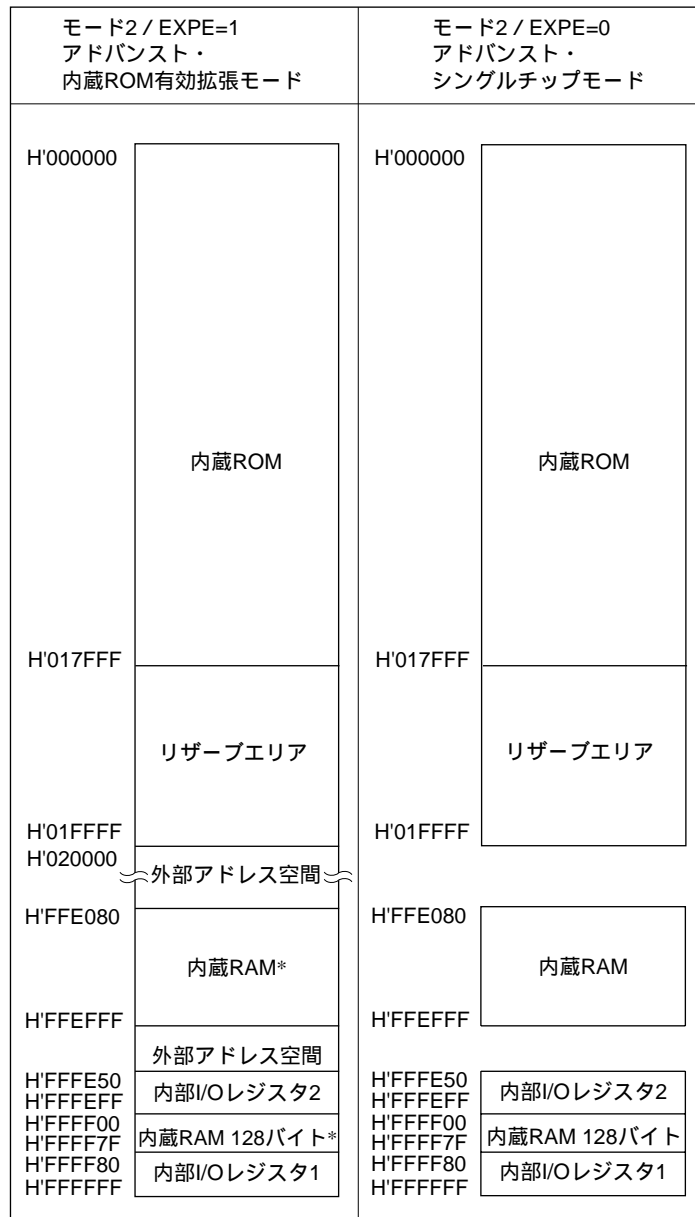
図 3.2 H8S/2148 F-ZTAT A マスク品の各動作モードのアドレスマップ (2)

3. MCU動作モード

モード1 ノーマル・ 内蔵ROM無効拡張モード	モード3 / EXPE=1 ノーマル・ 内蔵ROM有効拡張モード	モード3 / EXPE=0 ノーマル・ シングルチップモード
H'0000	H'0000	H'0000
外部アドレス空間	内蔵ROM	内蔵ROM
H'E080	H'E080	H'E080
内蔵RAM*	内蔵RAM*	内蔵RAM
H'FFFF	H'FFFF	H'FFFF
外部アドレス空間	外部アドレス空間	
H'FE50 H'FEFF	H'FE50 H'FEFF	H'FE50 H'FEFF
内部I/Oレジスタ2	内部I/Oレジスタ2	内部I/Oレジスタ2
H'FF00 H'FF7F	H'FF00 H'FF7F	H'FF00 H'FF7F
内蔵RAM 128バイト*	内蔵RAM 128バイト*	内蔵RAM 128バイト
H'FF80 H'FFFF	H'FF80 H'FFFF	H'FF80 H'FFFF
内部I/Oレジスタ1	内部I/Oレジスタ1	内部I/Oレジスタ1

【注】* SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.3 H8S/2143の各動作モードのアドレスマップ(1)



【注】* SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.3 H8S/2143の各動作モードのアドレスマップ(2)

3. MCU動作モード

モード1 ノーマル・ 内蔵ROM無効拡張モード		モード3 / EXPE=1 ノーマル・ 内蔵ROM有効拡張モード		モード3 / EXPE=0 ノーマル・ シングルチップモード		
H'0000	外部アドレス空間	H'0000	内蔵ROM	H'0000	内蔵ROM	
H'E080		リザーブエリア*		H'E080		リザーブエリア
H'E880		内蔵RAM*		H'E880		内蔵RAM
H'FFFF		外部アドレス空間		H'FFFF		外部アドレス空間
H'FE50	内部I/Oレジスタ2	H'FE50	内部I/Oレジスタ2	H'FE50	内部I/Oレジスタ2	
H'FEFF	内部I/Oレジスタ2	H'FEFF	内部I/Oレジスタ2	H'FEFF	内部I/Oレジスタ2	
H'FF00	内蔵RAM 128バイト*	H'FF00	内蔵RAM 128バイト*	H'FF00	内蔵RAM 128バイト	
H'FF7F	内蔵RAM 128バイト*	H'FF7F	内蔵RAM 128バイト*	H'FF7F	内蔵RAM 128バイト	
H'FF80	内部I/Oレジスタ1	H'FF80	内部I/Oレジスタ1	H'FF80	内部I/Oレジスタ1	
H'FFFF	内部I/Oレジスタ1	H'FFFF	内部I/Oレジスタ1	H'FFFF	内部I/Oレジスタ1	

【注】* SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.4 H8S/2147 (F-ZTAT A マスク品を除く)、H8S/2147N、H8S/2142 の各動作モードのアドレスマップ (1)

モード2 / EXPE=1 アドバンスト・ 内蔵ROM有効拡張モード		モード2 / EXPE=0 アドバンスト・ シングルチップモード	
H'000000	内蔵ROM	H'000000	内蔵ROM
H'00FFFF		H'00FFFF	
	リザーブエリア		リザーブエリア
H'01FFFF H'020000	外部アドレス空間		H'01FFFF
H'FFE080	リザーブエリア*	H'FFE080	リザーブエリア
H'FFE880	内蔵RAM*	H'FFE880	内蔵RAM
H'FFEFFF	外部アドレス空間	H'FFEFFF	
H'FFFE50 H'FFFEFF	内部I/Oレジスタ2	H'FFFE50 H'FFFEFF	内部I/Oレジスタ2
H'FFFF00 H'FFFF7F	内蔵RAM 128バイト*	H'FFFF00 H'FFFF7F	内蔵RAM 128バイト
H'FFFF80 H'FFFFFF	内部I/Oレジスタ1	H'FFFF80 H'FFFFFF	内部I/Oレジスタ1

【注】* SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.4 H8S/2147 (F-ZTAT A マスク品を除く)、H8S/2147N、H8S/2142の各動作モードのアドレスマップ(2)

3. MCU動作モード

モード1 ノーマル・ 内蔵ROM無効拡張モード	モード3 / EXPE=1 ノーマル・ 内蔵ROM有効拡張モード	モード3 / EXPE=0 ノーマル・ シングルチップモード
H'0000	H'0000	H'0000
外部アドレス空間	内蔵ROM	内蔵ROM
H'E080	H'E080	H'E080
H'E880	H'E880	H'E880
リザーブエリア*	リザーブエリア*	リザーブエリア
内蔵RAM*	内蔵RAM*	内蔵RAM
H'FFFF	H'FFFF	H'FFFF
外部アドレス空間	外部アドレス空間	
H'F800	H'F800	H'FE50
H'FE4F	H'FE4F	H'FEFF
H'FE50	H'FE50	内部I/Oレジスタ2
H'FEFF	H'FEFF	
H'FF00	H'FF00	内蔵RAM 128バイト*
H'FF7F	H'FF7F	
H'FF80	H'FF80	内部I/Oレジスタ1
H'FFFF	H'FFFF	H'FFFF

【注】 * SYSCR の RAME ビットを 0 にクリアすることにより外部アドレスとすることができません。

図 3.5 H8S/2147 F-ZTAT A マスク品の各動作モードのアドレスマップ (1)

モード2 / EXPE=1 アドバンスト・ 内蔵ROM有効拡張モード		モード2 / EXPE=0 アドバンスト・ シングルチップモード	
H'000000	内蔵ROM	H'000000	内蔵ROM
H'00FFFF		H'00FFFF	
	リザーブエリア		リザーブエリア
H'01FFFF H'020000	外部アドレス空間		H'01FFFF
H'FFE080	リザーブエリア*	H'FFE080	リザーブエリア
H'FFE880	内蔵RAM*	H'FFE880	内蔵RAM
H'FFEFFF	外部アドレス空間	H'FFEFFF	
H'FFF800 H'FFFE4F	リザーブエリア	H'FFFE50 H'FFFEFF	内部I/Oレジスタ2
H'FFFE50 H'FFFEFF	内部I/Oレジスタ2	H'FFFF00 H'FFFF7F	内蔵RAM 128バイト*1
H'FFFF00 H'FFFF7F	内蔵RAM 128バイト*1	H'FFFF80 H'FFFFFF	内部I/Oレジスタ1
H'FFFF80 H'FFFFFF	内部I/Oレジスタ1		

【注】 * SYSCR の RAME ビットを 0 にクリアすることにより外部アドレスとすることができません。

図 3.5 H8S/2147 F-ZTAT A マスク品の各動作モードのアドレスマップ (2)

4. 例外処理

第4章 目次

4.1	概要	109
	4.1.1 例外処理の種類と優先度	109
	4.1.2 例外処理の動作.....	110
	4.1.3 例外処理要因とベクタテーブル	110
4.2	リセット.....	112
	4.2.1 概要	112
	4.2.2 リセットシーケンス.....	112
	4.2.3 リセット直後の割込み.....	114
4.3	割込み.....	115
4.4	トラップ命令.....	116
4.5	例外処理後のスタックの状態.....	117
4.6	スタック使用上の注意.....	118


4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、直接遷移、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度にしたがって受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高  低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。
	トレース* ¹	トレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	トラップ命令* ³ (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2、3 でのみ有効です (本 LSI では使用できません)。

トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割込み例外処理は、次のように動作します。

- [1] プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- [2] 割込みマスクビットを更新します。Tビットを0にクリアします。
- [3] 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 [2]、[3] の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

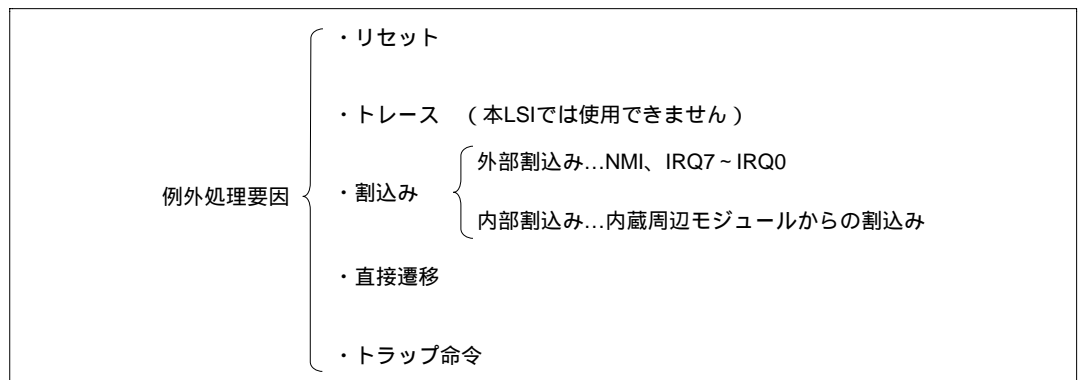


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス*1	
			ノーマルモード	アドバンストモード
リセット		0	H'0000 ~ H'0001	H'0000 ~ H'0003
システム予約		1	H'0002 ~ H'0003	H'0004 ~ H'0007
		2	H'0004 ~ H'0005	H'0008 ~ H'000B
		3	H'0006 ~ H'0007	H'000C ~ H'000F
		4	H'0008 ~ H'0009	H'0010 ~ H'0013
		5	H'000A ~ H'000B	H'0014 ~ H'0017
直接遷移		6	H'000C ~ H'000D	H'0018 ~ H'001B
外部割込み	NMI	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (4 要因)		8	H'0010 ~ H'0011	H'0020 ~ H'0023
		9	H'0012 ~ H'0013	H'0024 ~ H'0027
		10	H'0014 ~ H'0015	H'0028 ~ H'002B
		11	H'0016 ~ H'0017	H'002C ~ H'002F
システム予約		12	H'0018 ~ H'0019	H'0030 ~ H'0033
		13	H'001A ~ H'001B	H'0034 ~ H'0037
		14	H'001C ~ H'001D	H'0038 ~ H'003B
		15	H'001E ~ H'001F	H'003C ~ H'003F
外部割込み	IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
	IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
	IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
	IRQ3	19	H'0026 ~ H'0027	H'004C ~ H'004F
	IRQ4	20	H'0028 ~ H'0029	H'0050 ~ H'0053
	IRQ5	21	H'002A ~ H'002B	H'0054 ~ H'0057
	IRQ6	22	H'002C ~ H'002D	H'0058 ~ H'005B
	IRQ7	23	H'002E ~ H'002F	H'005C ~ H'005F
内部割込み*2		24	H'0030 ~ H'0031	H'0060 ~ H'0063
		103	H'00CE ~ H'00CF	H'019C ~ H'019F

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割込みのベクタテーブルは、「5.3.3 割込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割込み制御モード 0 になっています。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は最低 20 ステートの間、Low レベルにしてください。リセット時の各端子の状態は「付録 D.1 各処理状態におけるポートの状態」を参照してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

- [1] CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
- [2] リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2、図 4.3 に示します。

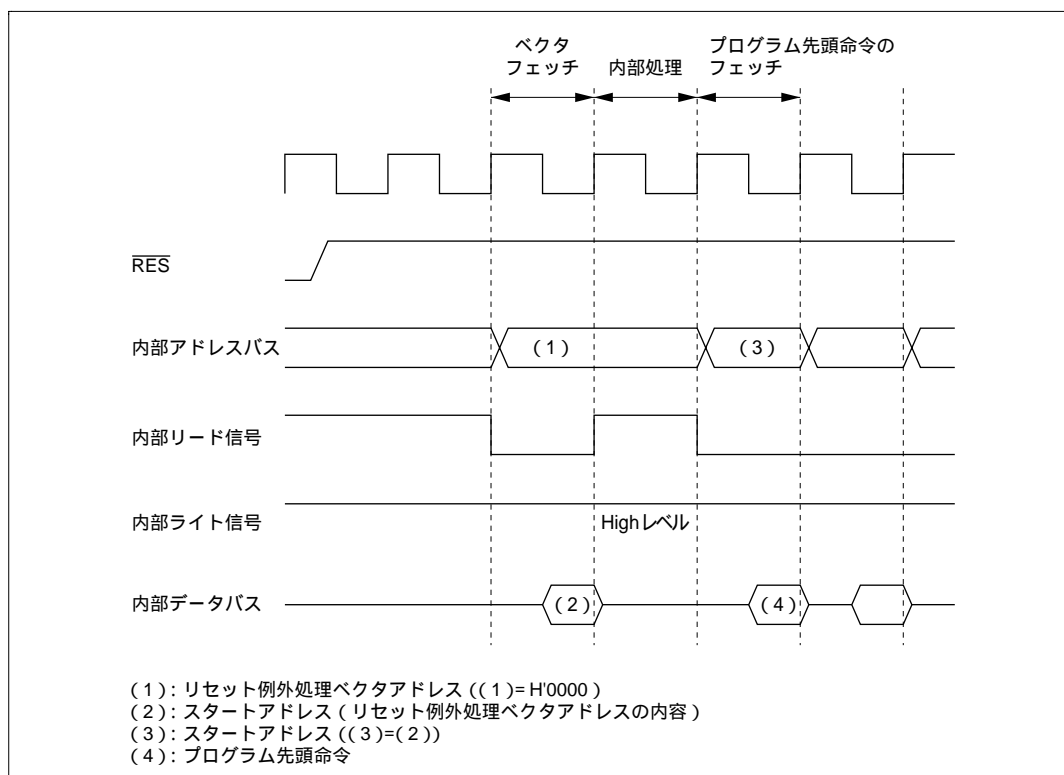


図 4.2 リセットシーケンス (モード 3)

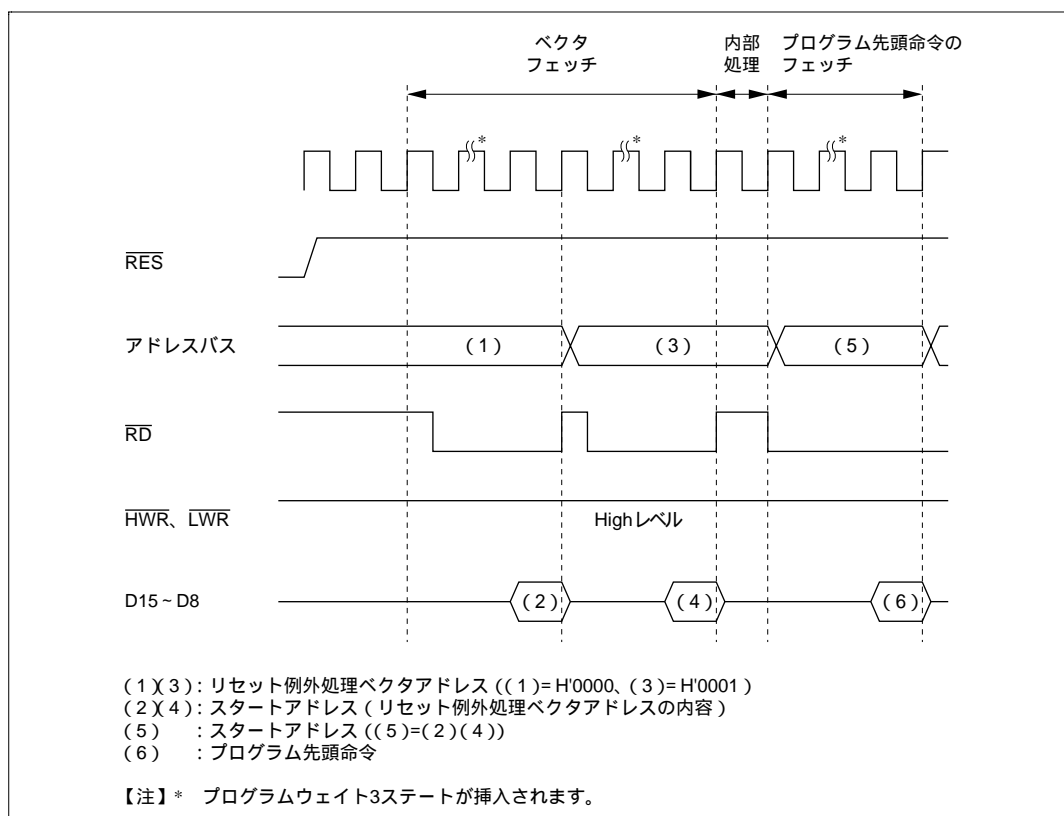


図 4.3 リセットシーケンス (モード 1)

4.2.3 リセット直後の割込み

リセット直後、スタックポインタ (SP) を初期化する前に割込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例 : MOV.L #xx : 32, SP)。

4.3 割り込み

割り込み例外処理を開始させる要因には、23 の入力端子 ($\overline{\text{NMI}}$ 、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 、 $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$) からの 9 本の外部割り込み ($\overline{\text{NMI}}$ 、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$) と、内蔵周辺モジュールからの要求による内部要因があります。割り込み要因と要因数を図 4.4 に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ (WDT)、16 ビットフリーランニングタイマ (FRT)、8 ビットタイマ (TMR)、シリアルコミュニケーションインタフェース (SCI)、データトランスファコントローラ (DTC)、A/D 変換器 (ADC)、ホストインタフェース (HIF)、キーボードバッファコントローラ (PS2)、 μP バスインタフェース【オプション】などがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMI は最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2 つの割り込み制御モードがあり、NMI とアドレスブレイク以外の割り込みに 3 レベルの優先順位 / マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

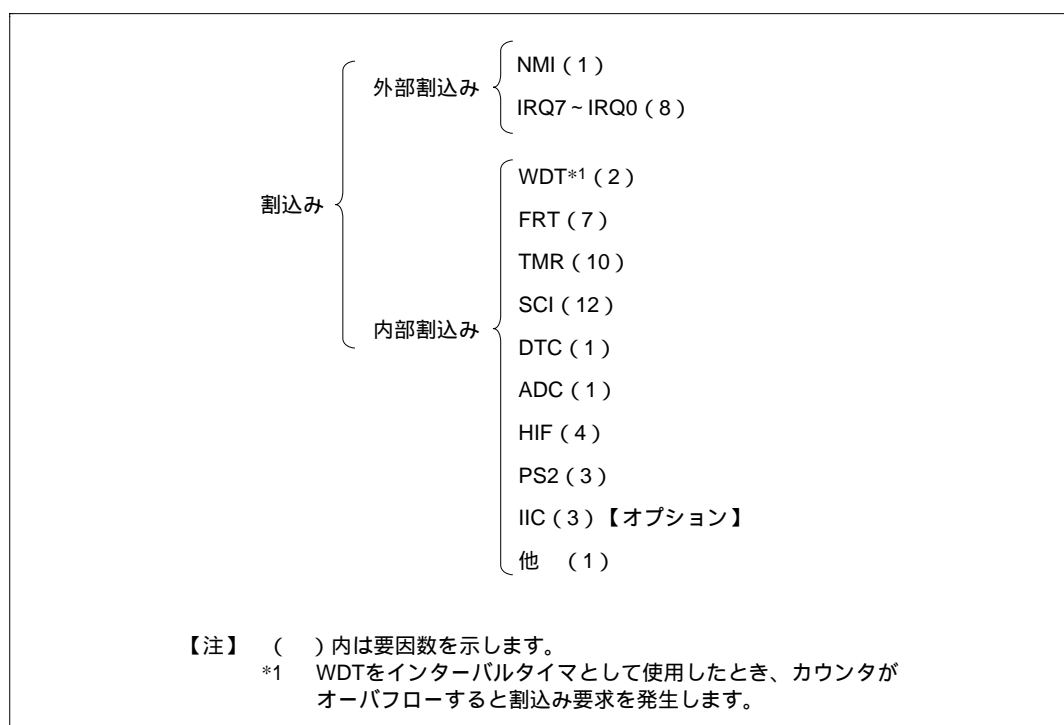


図 4.4 割り込み要因と要因数

4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.3 トラップ命令例外処理後の CCR、EXR の状態

割込み制御モード	CCR		EXR	
	I	UI	I2 ~ I0	T
0	1	-	-	-
1	1	1	-	-

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

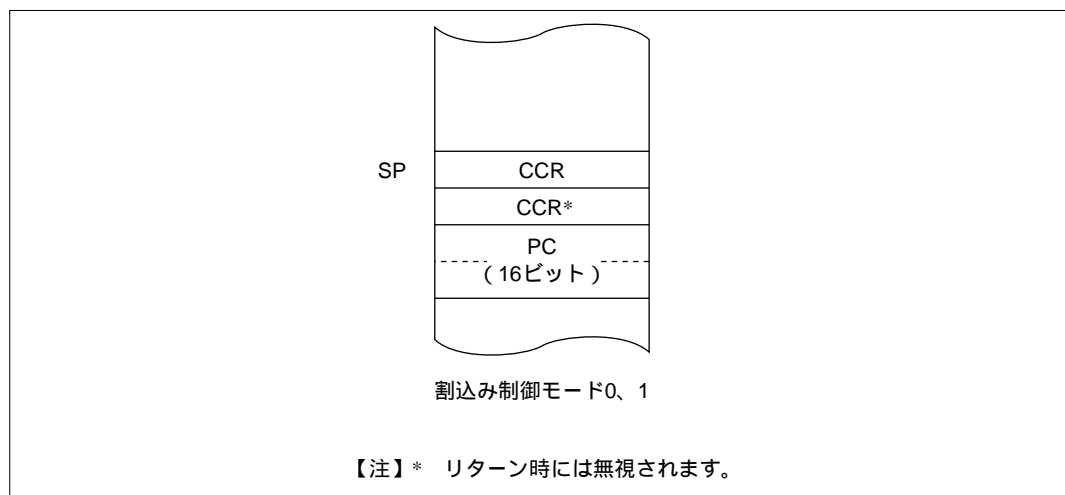


図 4.5 (1) 例外処理終了後のスタックの状態 (ノーマルモード)

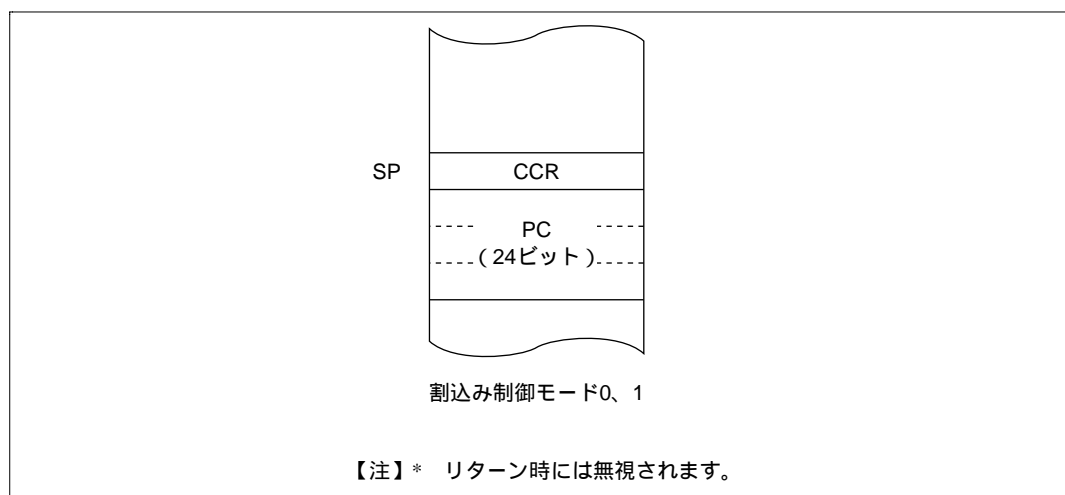


図 4.5 (2) 例外処理終了後のスタックの状態 (アドバンスモード)

4.6 スタック使用上の注意

本LSIでは、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @-SP)

PUSH.L ERn (MOV.L ERn, @-SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SPを奇数に設定すると、誤動作の原因となります。SPを奇数に設定した場合の動作例を図4.6に示します。

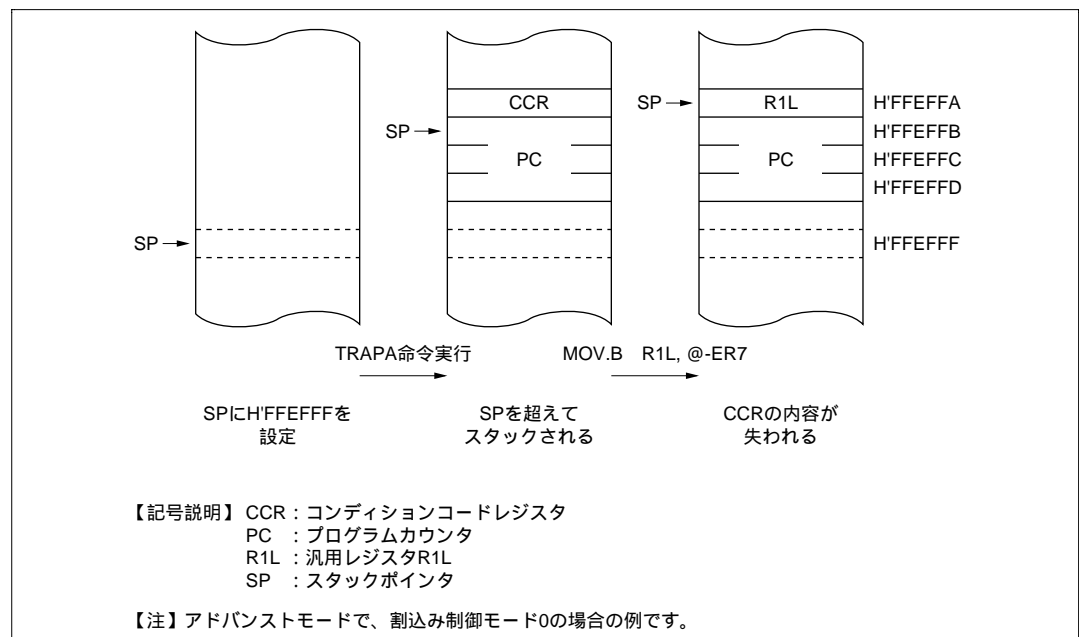


図 4.6 SP を奇数に設定したときの動作

5. 割込みコントローラ

第5章 目次

5.1	概要	121
5.1.1	特長	121
5.1.2	ブロック図	122
5.1.3	端子構成.....	122
5.1.4	レジスタ構成.....	123
5.2	各レジスタの説明	124
5.2.1	システムコントロールレジスタ (SYSCR)	124
5.2.2	インタラプトコントロールレジスタ A~C (ICRA~ICRC)	125
5.2.3	IRQ イネーブルレジスタ (IER)	126
5.2.4	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	127
5.2.5	IRQ ステータスレジスタ (ISR)	128
5.2.6	キーボードマトリクス割込みマスクレジスタ (KMIMR)	130
5.2.7	キーボードマトリクス割込みマスクレジスタ (KMIMRA)	130
5.2.8	アドレスブレイクコントロールレジスタ (ABRKCR)	132
5.2.9	ブレイクアドレスレジスタ A、B、C (BARA、BARB、BARC)	133
5.3	割込み要因	134
5.3.1	外部割込み	134
5.3.2	内部割込み	136
5.3.3	割込み例外処理ベクタテーブル	137
5.4	アドレスブレイク	139
5.4.1	特長	139
5.4.2	ブロック図	139
5.4.3	動作説明.....	140
5.4.4	使用上の注意.....	140
5.5	割込み動作	142
5.5.1	割込み制御モードと割込み動作	142
5.5.2	割込み制御モード 0.....	145

5. 割込みコントローラ

5.5.3	割込み制御モード 1.....	147
5.5.4	割込み例外処理シーケンス.....	150
5.5.5	割込み応答時間.....	151
5.6	使用上の注意.....	152
5.6.1	割込みの発生とディスエーブルとの競合.....	152
5.6.2	割込みを禁止している命令.....	153
5.6.3	EEPMOV 命令実行中の割込み.....	153
5.7	割込みによる DTC の起動.....	154
5.7.1	概要.....	154
5.7.2	ブロック図.....	154
5.7.3	動作説明.....	155

5.1 概要

5.1.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

2 種類の割り込み制御モード

- ・システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードを設定できます。

ICR により、優先順位を設定可能

- ・割り込み優先順位を設定するインタラプトコントロールレジスタ (ICR) を備えており、NMI とアドレスブレイク以外の割り込みに、モジュールごとに 3 レベルの優先順位を設定できます。

独立したベクタアドレス

- ・すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

23 本の外部割り込み端子 (9 本の外部要因)

- ・NMI は最優先の割り込みで常に受け付けられます。NMI 割り込みは、NMI 端子の立ち上がりエッジまたは立ち下がりエッジを選択できます。
- ・IRQ7 ~ IRQ0 割り込みは、 $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- ・IRQ6 割り込みは、 $\overline{\text{IRQ6}}$ 端子からの割り込みと 8 本の外部割り込み入力 ($\overline{\text{KIN7}}$ ~ $\overline{\text{KIN0}}$) との兼用になっています。また、IRQ7 割り込みは、 $\overline{\text{IRQ7}}$ 端子からの割り込みと 8 本の外部割り込み入力端子 ($\overline{\text{KIN15}}$ ~ $\overline{\text{KIN8}}$) との兼用になっています。 $\overline{\text{KIN15}}$ ~ $\overline{\text{KIN0}}$ は、それぞれユーザプログラムによりマスクできます。

DTC の制御

- ・割り込みによる DTC の起動の制御を行います。

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

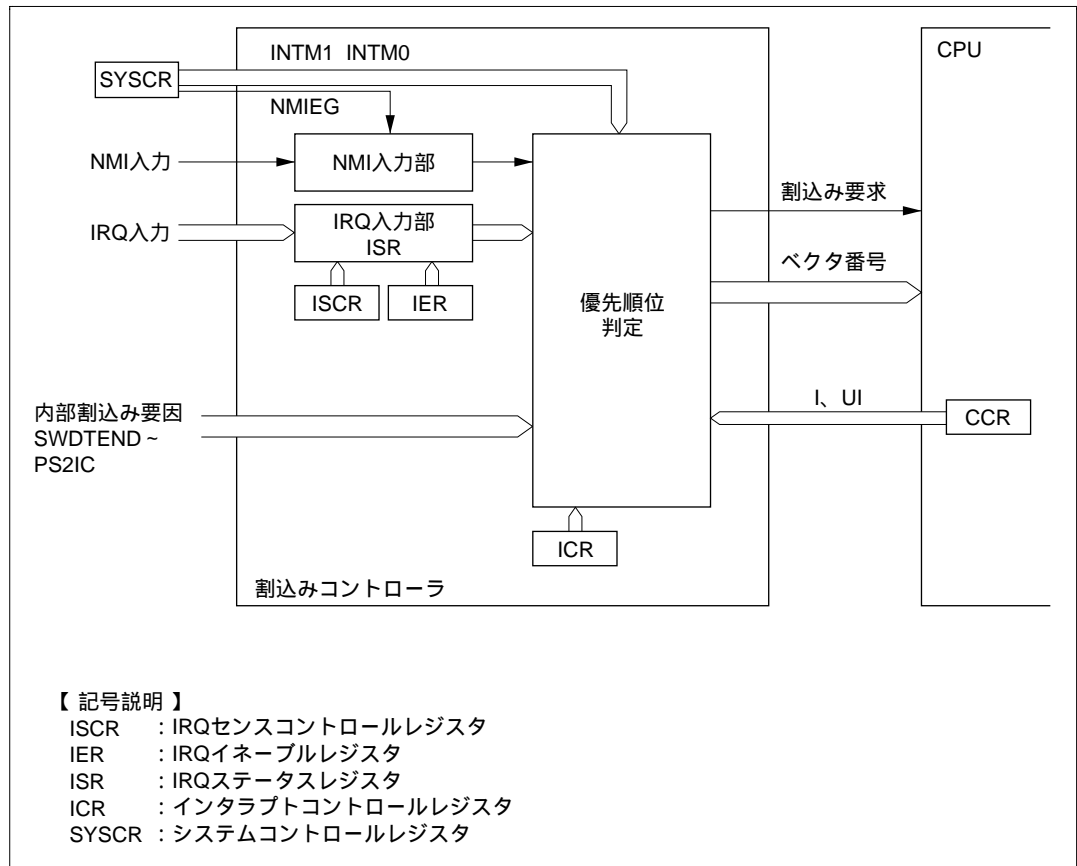


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	記号	入出力	機 能
ノンマスクブル 割り込み	NMI	入力	マスク不可能な外部割り込み。 立ち上がりエッジまたは立ち下がりエッジを選択可能
外部割り込み要求 7~0	$\overline{\text{IRQ}}7$ ~ $\overline{\text{IRQ}}0$	入力	マスク可能な外部割り込み。 立ち下がりエッジ、立ち上がりエッジ、両エッジ、 レベルセンスのいずれかを選択可能
キー入力割り込み 要求 15~0	$\overline{\text{KIN}}15$ ~ $\overline{\text{KIN}}0$	入力	マスク可能な外部割り込み。 立ち下がりエッジ、レベルセンスのいずれかを選択可能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 割り込みコントローラのレジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4
IRQ センスコントロールレジスタ H	ISCRH	R/W	H'00	H'FEEC
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FEED
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FFC2
IRQ ステータスレジスタ	ISR	R/(W)* ²	H'00	H'FEEB
キーボードマトリクス割り込みマスクレジスタ	KMIMR	R/W	H'BF	H'FFF1* ³
キーボードマトリクス割り込みマスクレジスタ A	KMIMRA	R/W	H'FF	H'FFF3* ³
インタラプトコントロールレジスタ A	ICRA	R/W	H'00	H'FEE8
インタラプトコントロールレジスタ B	ICRB	R/W	H'00	H'FEE9
インタラプトコントロールレジスタ C	ICRC	R/W	H'00	H'FEEA
アドレスブレイクコントロールレジスタ	ABRKCR	R/W	H'00	H'FEF4
ブレイクアドレスレジスタ A	BARA	R/W	H'00	H'FEF5
ブレイクアドレスレジスタ B	BARB	R/W	H'00	H'FEF6
ブレイクアドレスレジスタ C	BARC	R/W	H'00	H'FEF7

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

*3 KMIMR、KMIMRA を設定するときは、SYSCR の HIE ビットを 1 にセットし、かつ MSTPCRL の MSTP2 ビットを 0 に設定してください。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、ビット 5、4、2 は割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5、4、2 についてのみ説明します。その他のビットの詳細については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'09 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5、4：割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 4 つのモードの中から選択します。

INTM1 ビットは、1 にセットしないでください。

ビット 5	ビット 4	割り込み 制御モード	説 明
INTM1	INTM0		
0	0	0	1 ビットで、割り込みを制御します。 (初期値)
	1	1	I、UI ビットと ICR で、割り込みを制御します。
1	0	2	本 LSI では使用できません
	1	3	本 LSI では使用できません

ビット 2：NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 2	説 明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトコントロールレジスタ A~C (ICRA~ICRC)

ビット:	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICR は 8 ビットのリード/ライト可能な 3 本のレジスタで、NMI とアドレスブレイクを除く割り込みの割り込みコントロールレベルの設定をします。

各割り込み要因と ICR の対応を表 5.3 に示します。

ICR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n : 割り込みコントロールレベル (ICRn)

対応する割り込み要因のコントロールレベルを設定します。

ビット n	説明
ICRn	
0	対応する割り込み要因はコントロールレベル 0 (非優先) (初期値)
1	対応する割り込み要因はコントロールレベル 1 (優先)

(n=7~0)

表 5.3 各割り込み要因と ICR の対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
ICRA	IRQ0	IRQ1	IRQ2 IRQ3	IRQ4 IRQ5	IRQ6 IRQ7	DTC	ウォッチ ドッグ タイマ 0	ウォッチ ドッグ タイマ 1
ICRB	A/D 変換器	フリーラ ンニング タイマ	-	-	8 ビット タイマ チャンネル 0	8 ビット タイマ チャンネル 1	8 ビット タイマ チャンネル X、Y	HIF、 キーボード バッファコ ントローラ
ICRC	SCI チャンネル 0	SCI チャンネル 1	SCI チャンネル 2	IIC チャンネル 0 (オプション)	IIC チャンネル 1 (オプション)	-	-	-

5.2.3 IRQ イネーブルレジスタ (IER)

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ7 ~ IRQ0 割り込み要求の許可または禁止を制御します。

IER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7 ~ 0 : IRQ7 ~ IRQ0 イネーブル (IRQ7E ~ IRQ0E)

IRQ7 ~ IRQ0 割り込みを許可または禁止するかを選択します。

ビット n	説明
IRQnE	
0	IRQn 割り込みを禁止 (初期値)
1	IRQn 割り込みを許可

(n = 7 ~ 0)

5.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCRL

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力の立ち上がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、それぞれ H'00 に初期化されます。

ISCRH ビット 7~0、ISCRL ビット 7~0 :

IRQ7 センスコントロール A、B (IRQ7SCA、IRQ7SCB)
 ~ IRQ0 センスコントロール A、B (IRQ0SCA、IRQ0SCB)

ISCRH ビット 7~0 ISCRL ビット 7~0		説 明
IRQ7SCB ~ IRQ0SCB	IRQ7SCA ~ IRQ0SCA	
0	0	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の Low レベルで割込み要求を発生 (初期値)
	1	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割込み要求を発生
1	0	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割込み要求を発生
	1	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がり、立ち上がりの両エッジで割込み要求を発生

5.2.5 IRQ ステータスレジスタ (ISR)

ビット：	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ7~IRQ0 割り込み要求のステータス表示を行います。

ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7~0：IRQ7~IRQ0 フラグ (IRQ7F~IRQ0F)

IRQ7~IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説明
IRQnF	
0	<p>[クリア条件] (初期値)</p> <p>(1) IRQnF = 1 をリードした後、0 をライトしたとき</p> <p>(2) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき*</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、または IRQnSCA = 1) の状態で IRQn 割り込み例外処理を実行したとき*</p>
1	<p>[セット条件]</p> <p>(1) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力が Low レベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき</p>

(n = 7 ~ 0)

【注】 * DTC を内蔵した製品において下記の設定で使用すると、対象フラグビットはクリア条件となる例外処理を実行しても自動クリアはされず、ビットは1のままとなります。

(1) DTCEA3 = 1 にセットした場合 (ADI を割り込み要因に設定)、IRQ4F フラグの自動クリア

(2) DTCEA2 = 1 にセットした場合 (ICIA を割り込み要因に設定)、IRQ5F フラグの自動クリア

(3) DTCEA1 = 1 にセットした場合 (ICIB を割り込み要因に設定)、IRQ6F フラグの自動クリア

(4) DTCEA0 = 1 にセットした場合 (OCIA を割り込み要因に設定)、IRQ7F フラグの自動クリア

DTCの起動割り込み要因とIRQ割り込みを上記の組み合わせで使用する場合には、当該IRQの割り込み処理ルーチン内でソフトウェアにより割り込みフラグのクリアを行ってください。

5.2.6 キーボードマトリクス割込みマスクレジスタ (KMIMR)

ビット :	7	6	5	4	3	2	1	0
	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
初期値 :	1	0	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KMIMR は 8 ビットのリード/ライト可能なレジスタで、キーボードマトリクス割込み入力 ($\overline{KIN7} \sim \overline{KIN0}$ 端子) および $\overline{IRQ6}$ 端子のマスク制御を行います。キーボードマトリクススキャン/センスに際して複数の端子入力からのキーセンス入力割込みを許可する場合、対応するマスクビットを 0 にクリアしてください。

KMIMR はリセットまたはハードウェアスタンバイモード時に、H'BF に初期化され $\overline{IRQ6}$ 端子 ($\overline{KIN6}$ 端子) からの入力のみが許可された状態となります。

ビット 7~0 : キーボードマトリクス割込みマスク (KMIMR7~KMIMR0)

キーセンス入力割込み要求 ($\overline{KIN7} \sim \overline{KIN0}$) を制御します。

ビット 7~0	説明
KMIMR7~0	
0	キーセンス入力割込み要求を許可
1	キーセンス入力割込み要求を禁止 (初期値)*

【注】 * ただし、KMIMR6 は $\overline{IRQ6}$ 端子割込み要求のマスク制御も同時に行なうため、初期値は 0 となります。

5.2.7 キーボードマトリクス割込みマスクレジスタ (KMIMRA)

ビット :	7	6	5	4	3	2	1	0
	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KMIMRA は 8 ビットのリード/ライト可能なレジスタで、キーボードマトリクス割込み入力 ($\overline{KIN15} \sim \overline{KIN8}$ 端子) のマスク制御を行います。キーボードマトリクススキャン/センスに際して複数の端子入力からのキーセンス入力割込みを許可する場合、対応するマスクビットを 0 にクリアしてください。

KMIMRA はリセットまたはハードウェアスタンバイモード時に、H'FF に初期化されま

ビット7~0：キーボードマトリクス割り込みマスク（KMIMR15~KMIMR8）
キーセンス入力割り込み要求（KIN15~KIN8）を制御します。

ビット7~0	説明
KMIMR15~8	
0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止 （初期値）

IRQ7、IRQ6 割り込みと KIN15~KIN0 割り込み、KMIMR、KMIMRA との関係を図 5.2 に示します。

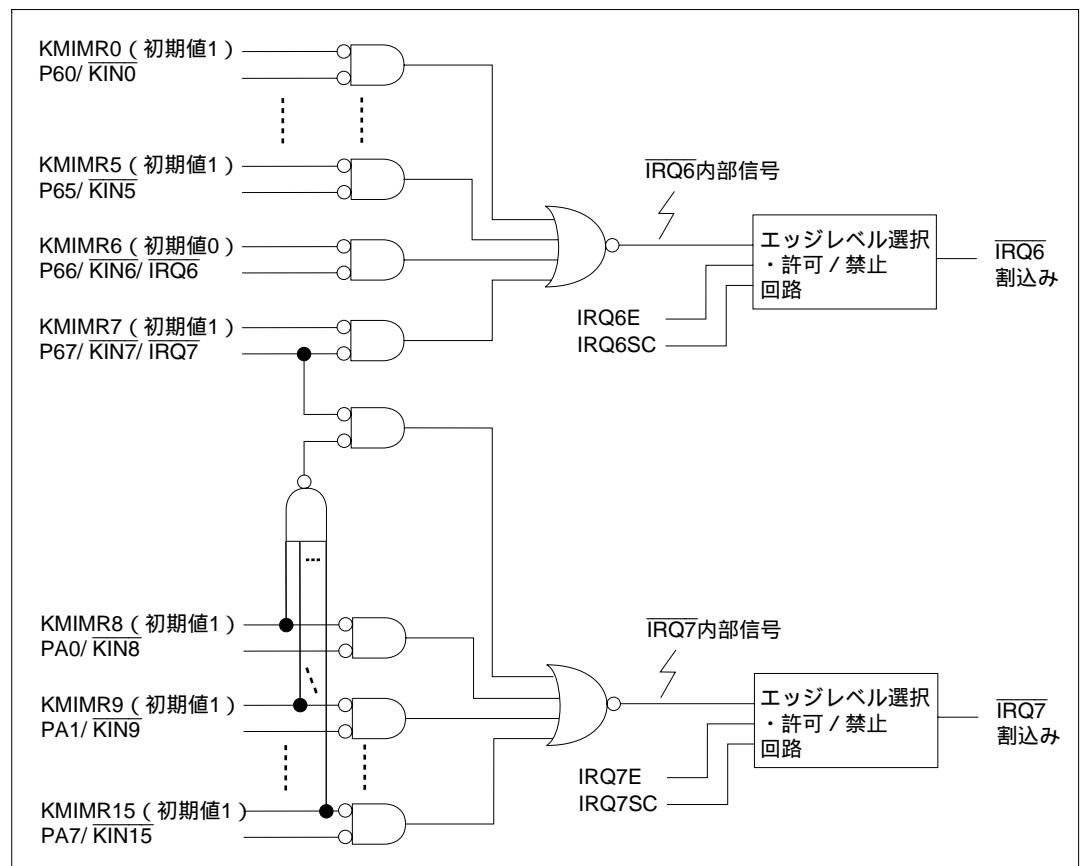


図 5.2 IRQ7、IRQ6 割り込みと KIN15~KIN0 割り込み、KMIMR、KMIMRA との関係

KMIMR15~KMIMR8 の 1 ビットでも 0 にクリアされていると、 $\overline{\text{IRQ7}}$ 端子からの IRQ7 割り込み入力が無視されます。また、 $\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$ 端子あるいは $\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$ 端子をキーセンス割り込み入力端子として使用する場合は、それぞれの対応する割り込み要因（IRQ6 あるいは IRQ7）の割り込みセンス条件を、必ず Low レベルセンスまたは立ち下がりエッジセンスに設定してください。

5.2.8 アドレスブ레이크コントロールレジスタ (ABRKCR)

ビット :	7	6	5	4	3	2	1	0
	CMF	-	-	-	-	-	-	BIE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	-	-	-	R/W

ABRKCR は、8ビットのリードライト可能なレジスタで、アドレスブ레이크の制御を行います。

ABRKCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されま
す。ソフトウェアスタンバイモードでは初期化されません。

ビット7 : コンディションマッチフラグ (CMF)

アドレスブ레이크要因フラグです。BAR で設定したアドレスをプリフェッチしたことを示します。CMF フラグ、BIE フラグがいずれも 1 にセットされると、アドレスブ레이크が要求されます。

ビット7	説 明
CMF	
0	[クリア条件] アドレスブ레이크割込み例外処理を実行したとき (初期値)
1	[セット条件] BIE=1 の状態で、BARA ~ BARC で設定したアドレスのプリフェッチを実行したとき

ビット6~1 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット0 : ブ레이크割込みイネーブル (BIE)

アドレスブ레이크の許可 / 禁止を選択します。

ビット0	説 明
BIE	
0	アドレスブ레이크禁止 (初期値)
1	アドレスブ레이크許可

5.2.9 ブレークアドレスレジスタ A、B、C (BARA、BARB、BARC)

ビット :	7	6	5	4	3	2	1	0
BARA	A23	A22	A21	A20	A19	A18	A17	A16
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
BARB	A15	A14	A13	A12	A11	A10	A9	A8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
BARC	A7	A6	A5	A4	A3	A2	A1	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-

BAR は、8 ビットのリード/ライト可能な 3 本のレジスタ (BARA、B、C) で構成されています。BAR はアドレスブレークを発生させるアドレスを指定します。

BAR は、リセットまたはハードウェアスタンバイモード時にそれぞれ H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

BARA ビット 7~0 : アドレス 23~16 (A23~A16)

BARB ビット 7~0 : アドレス 15~8 (A15~A8)

BARC ビット 7~1 : アドレス 7~1 (A7~A1)

アドレスブレークを発生させるアドレスを指定します。BAR の A23 ビット~A1 ビットは、それぞれ内部アドレスバスの A23~A1 と比較されます。

ブレークアドレスは、命令の第 1 バイトが存在するアドレスに設定してください。その他のアドレスでは、条件成立とみなされない場合があります。

なお、ノーマルモードの場合は、アドレス A23~A16 は比較されません。

BARC ビット 0 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ7～IRQ0）と内部割り込みがあります。

5.3.1 外部割り込み

外部割り込みには、NMI、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 、 $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$ の 25 本の入力端子（実端子は 23 本）からの 9 要因があります。KIN15～KIN8 は IRQ7、KIN7～KIN0 は IRQ6 と兼用になっています。このうち、NMI、IRQ7、IRQ6、IRQ2～IRQ0 はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力信号により要求されます。IRQ7～IRQ0 割り込みには次の特長があります。

- (a) $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCR で選択できます。
- (b) IRQ7～IRQ0 割り込み要求を許可するか禁止するかを、IER で選択できます。
- (c) ICR により割り込みコントロールレベルを設定できます。
- (d) IRQ7～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ7～IRQ0 割り込みのブロック図を図 5.3 に示します。

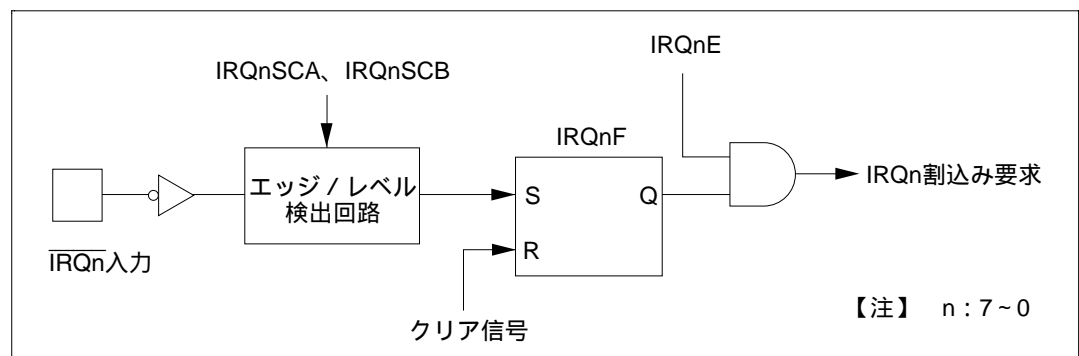


図 5.3 IRQ7～IRQ0 割り込みのブロック図

IRQnF のセットタイミングを図 5.4 に示します。

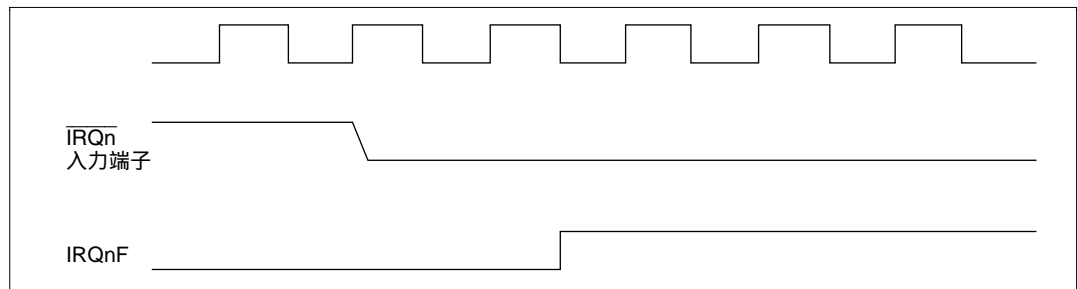


図 5.4 IRQnF のセットタイミング

IRQ7 ~ IRQ0 割込み例外処理のベクタ番号は、23 ~ 16 です。

IRQ7 ~ IRQ0 割込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、そのほかの機能の入出力端子としては使用しないでください。

$\overline{\text{IRQ6}}$ 端子を IRQ6 割込み入力端子として使用する場合は、KMIMR6 ビットを 0 にクリアしてください。

また、 $\overline{\text{IRQ7}}$ 端子を IRQ7 割込み入力端子として使用する場合は、必ず KMIMR15 ~ KMIMR8 の各ビットをすべて 1 にセットしてください。どれか 1 ビットでも 0 にクリアされていると、 $\overline{\text{IRQ7}}$ 端子からの IRQ7 割込み入力が無視されます。

割込み要求フラグ IRQ7F ~ IRQ0F は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

(3) KIN15 ~ KIN0 割込み

KIN15 ~ KIN0 割込みは、 $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$ 端子の入力信号により要求されます。 $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$ 端子をキーセンス入力として使用する場合、対応する KMIMR ビットは、そのキーセンス入力割込みを許可するために、0 にクリアしてください。残りの使用していないキーセンス入力の KMIMR ビットは、その割込みを禁止するために 1 にセットしてください。KIN15 ~ KIN8 割込みは IRQ7 割込み、KIN7 ~ KIN0 割込みは IRQ6 割込みとなります。割込み要求発生の端子条件、割込み要求の許可、割込みコントロールレベルの設定、および割込み要求のステータス表示は、IRQ7 および IRQ6 割込みの各設定、表示にしています。

なお、 $\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$ 端子あるいは $\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$ 端子をキーセンス割込み入力端子として使用する場合は、それぞれの対応する割込み要因 (IRQ6 あるいは IRQ7) の割込みセンス条件を、必ず Low レベルセンスまたは立ち下がりエッジセンスに設定してください。

5.3.2 内部割込み

内蔵周辺モジュールからの割込みによる内部割込みには 43 要因があります。また、ソフトウェアによる割込み（アドレスブレーク）が 1 要因あります。

- (1) 各内蔵周辺モジュールには、割込み要求のステータスを表示するフラグと、これらの割込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割込み要求が割込みコントローラに要求されます。
- (2) ICR によって割込みコントロールレベルを設定できます。
- (3) FRT、TMR、SCI などの割込み要求により DTC の起動ができます。
割込みにより DTC の起動を行う場合、割込み制御モードや、CPU の割込みマスクビットの影響を受けません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.4 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、ICR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.4 のとおり固定です。

表 5.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (1)

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アサისტモード		
NMI	外部端子	7	H'000E	H'00001C		高 ↑
IRQ0		16	H'0020	H'000040	ICRA7	
IRQ1		17	H'0022	H'000044	ICRA6	
IRQ2		18	H'0024	H'000048	ICRA5	
IRQ3		19	H'0026	H'00004C		
IRQ4		20	H'0028	H'000050	ICRA4	
IRQ5		21	H'002A	H'000054		
IRQ6、KIN7～KIN0		22	H'002C	H'000058	ICRA3	
IRQ7、KIN15～KIN8		23	H'002E	H'00005C		
SWDTEND (ソフトウェア起動データ転送)	DTC	24	H'0030	H'000060	ICRA2	
WOVI0 (インターバルタイマ)	ウォッチドッグタイマ0	25	H'0032	H'000064	ICRA1	
WOVI1 (インターバルタイマ)	ウォッチドッグタイマ1	26	H'0034	H'000068	ICRA0	
アドレスブレイク (PC ブレイク)	-	27	H'0036	H'00006C		
ADI (A/D 変換終了)	A/D	28	H'0038	H'000070	ICRB7	
リザーブ	-	29	H'003A	H'000074		
		47	H'005E	H'0000BC		
ICIA (インプットキャプチャA)	フリーランニング タイマ	48	H'0060	H'0000C0	ICRB6	
ICIB (インプットキャプチャB)		49	H'0062	H'0000C4		
ICIC (インプットキャプチャC)		50	H'0064	H'0000C8		
ICID (インプットキャプチャD)		51	H'0066	H'0000CC		
OCIA (アウトプットコンペアA)		52	H'0068	H'0000D0		
OCIB (アウトプットコンペアB)		53	H'006A	H'0000D4		
FOVI (オーバフロー)		54	H'006C	H'0000D8		
リザーブ		55	H'006E	H'0000DC		
リザーブ	-	56	H'0070	H'0000E0		
		63	H'007E	H'0000FC		低

5. 割り込みコントローラ

表 5.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (2)

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アサリストモード		
CMIA0 (コンペアマッチA)	8ビットタイマ チャンネル0	64	H'0080	H'000100	ICRB3	↑ 高
CMIB0 (コンペアマッチB)		65	H'0082	H'000104		
OVI0 (オーバーフロー)		66	H'0084	H'000108		
リザーブ		67	H'0086	H'00010C		
CMIA1 (コンペアマッチA)	8ビットタイマ チャンネル1	68	H'0088	H'000110	ICRB2	
CMIB1 (コンペアマッチB)		69	H'008A	H'000114		
OVI1 (オーバーフロー)		70	H'008C	H'000118		
リザーブ		71	H'008E	H'00011C		
CMIA Y (コンペアマッチA)	8ビットタイマ チャンネルY、X	72	H'0090	H'000120	ICRB1	
CMIB Y (コンペアマッチB)		73	H'0092	H'000124		
OVI Y (オーバーフロー)		74	H'0094	H'000128		
ICIX (インプットキャプチャX)		75	H'0096	H'00012C		
IBF1 (IDR1 受信完了)	ホストインタフェース	76	H'0098	H'000130	ICRB0	
IBF2 (IDR2 受信完了)		77	H'009A	H'000134		
IBF3 (IDR3 受信完了)		78	H'009C	H'000138		
IBF4 (IDR4 受信完了)		79	H'009E	H'00013C		
ERI0 (受信エラー0)	SCI チャンネル0	80	H'00A0	H'000140	ICRC7	
RXI0 (受信完了0)		81	H'00A2	H'000144		
TXI0 (送信データエンプティ0)		82	H'00A4	H'000148		
TEI0 (送信終了0)		83	H'00A6	H'00014C		
ERI1 (受信エラー1)	SCI チャンネル1	84	H'00A8	H'000150	ICRC6	
RXI1 (受信完了1)		85	H'00AA	H'000154		
TXI1 (送信データエンプティ1)		86	H'00AC	H'000158		
TEI1 (送信終了1)		87	H'00AE	H'00015C		
ERI2 (受信エラー2)	SCI チャンネル2	88	H'00B0	H'000160	ICRC5	
RXI2 (受信完了2)		89	H'00B2	H'000164		
TXI2 (送信データエンプティ2)		90	H'00B4	H'000168		
TEI2 (送信終了2)		91	H'00B6	H'00016C		
IIC I0 (1バイト送信 / 受信完了)	IIC チャンネル0 【オプション】	92	H'00B8	H'000170	ICRC4	
DDCSWI (フォーマットスイッチ)		93	H'00BA	H'000174		
IIC I1 (1バイト送信 / 受信完了)	IIC チャンネル1 【オプション】	94	H'00BC	H'000178	ICRC3	
リザーブ		95	H'00BE	H'00017C		
PS2IA (受信完了A)	キーボードバッファ コントローラ (PS2)	96	H'00C0	H'000180	ICRB0	
PS2IB (受信完了B)		97	H'00C2	H'000184		
PS2IC (受信完了C)		98	H'00C4	H'000188		
リザーブ		99	H'00C6	H'00018C		
リザーブ	-	100	H'00C8	H'000190		
		101	H'00CA	H'000194		
		103	H'00CE	H'00019C		
					低	

5.4 アドレスブ레이크

5.4.1 特長

本 LSI では、ABRKCR、BAR の設定により、CPU による特定アドレスのプリフェッチを判定し、アドレスブ레이크割込みを発生させることができます。このアドレスブ레이크割込みが発生すると、アドレスブ레이크割込み例外処理を実行します。

本機能により、プログラム上のバグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。

5.4.2 ブロック図

アドレスブ레이크のブロック図を図 5.5 に示します。

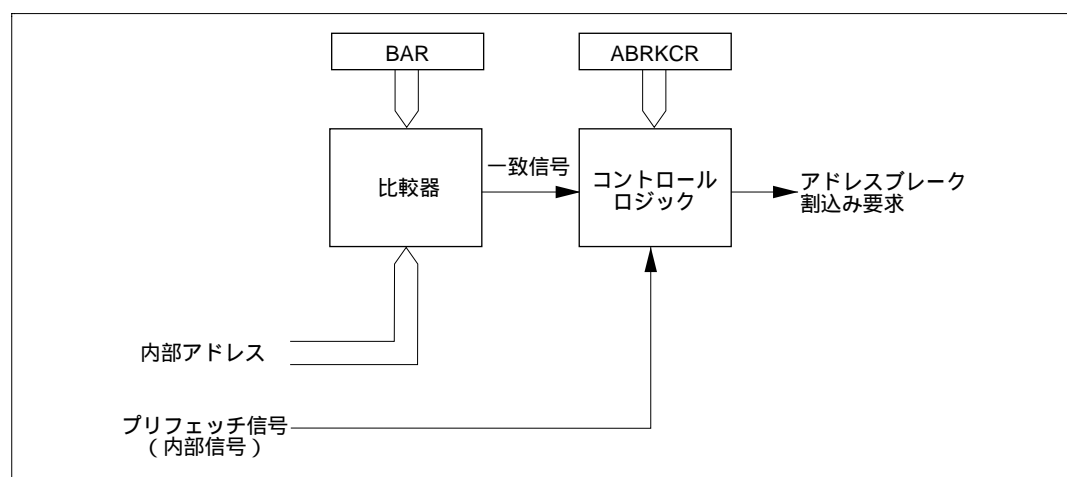


図 5.5 アドレスブ레이크のブロック図

5.4.3 動作説明

ABRKCR、BAR の設定により、BAR に設定されたアドレスを CPU がプリフェッチしたときに、アドレスブレイク割込みを発生させることができます。このアドレスブレイク機能は、プリフェッチした時点で割込みコントローラに対して、割込み要求を発生し、割込みコントローラで優先順位を判定します。割込みが受け付けられると、そのとき実行中の命令が終了した後、割込み例外処理を起動します。なお、アドレスブレイク割込みでは CPU の CCR の I、UI ビットによる割込みマスク制御は無効です。

アドレスブレイクを使用するときは、次に示すように各レジスタを設定します。

[1] ブレイクアドレスを BAR の A23 ~ A1 ビットに設定します。

[2] ABRKCR の BIE ビットを 1 にセットしてアドレスブレイクを許可します。

BIE ビットを 0 にクリアしている場合、アドレスブレイクは要求されません。

設定条件が成立すると、ABRKCR の CMF フラグが 1 にセットされ、割込みを要求します。割込み処理ルーチンで、必要に応じて要因の判定を行ってください。

5.4.4 使用上の注意

- (1) アドレスブレイクでは、ブレイクアドレスを命令の第 1 バイトが存在するアドレスにしてください。その他のアドレスでは、条件成立とみなされない場合があります。
- (2) ノーマルモードの場合は、アドレス A23 ~ A16 は比較されません。
- (3) BAR で設定したアドレスの直前の命令にブランチ命令 (Bcc、BSR)、ジャンプ命令 (JMP、JSR)、RTS 命令、RTE 命令を配置した場合、これらの命令の実行により当該アドレスに対するプリフェッチ信号が出力され、アドレスブレイクが要求される場合があります。これらの命令の直後のアドレスに対するブレイクアドレスの設定を行わない、あるいは割込み処理ルーチンで、本来の条件成立による割込み処理であったかの判定を行う、などの対策が必要です。
- (4) アドレスブレイク割込みは、内部プリフェッチ信号とアドレスの組み合わせにより発生しますので、設定したアドレスの命令および直前の命令の内容、実行サイクルにより、割込み例外処理の入るタイミングが異なります。図 5.6 にアドレスタイミング例を示します。

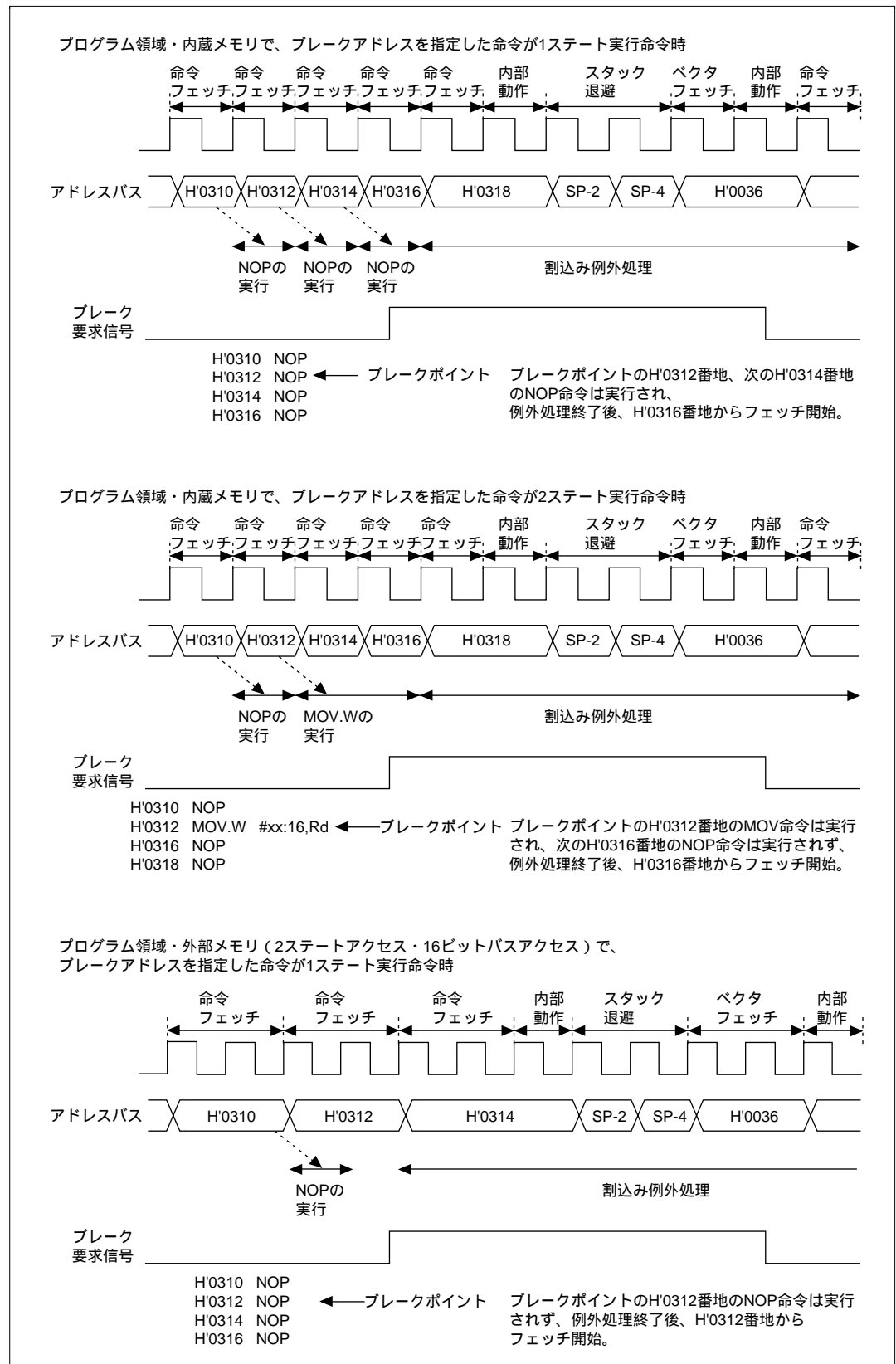


図 5.6 アドレスブレークタイミング例

5.5 割り込み動作

5.5.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI および アドレスブレイク割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込み、および内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、ICR による割り込み優先順位の設定、および CPU の CCR の I、UI ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.5 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0	ICR	I	I ビットにより、割り込みマスク制御を行います。 ICR により、優先順位の設定ができます。
1		1	ICR	I、UI	I、UI ビットにより、3 レベルの割り込みマスク制 御を行います。 ICR により、優先順位の設定ができます。

図 5.7 に優先順位判定回路のブロック図を示します。

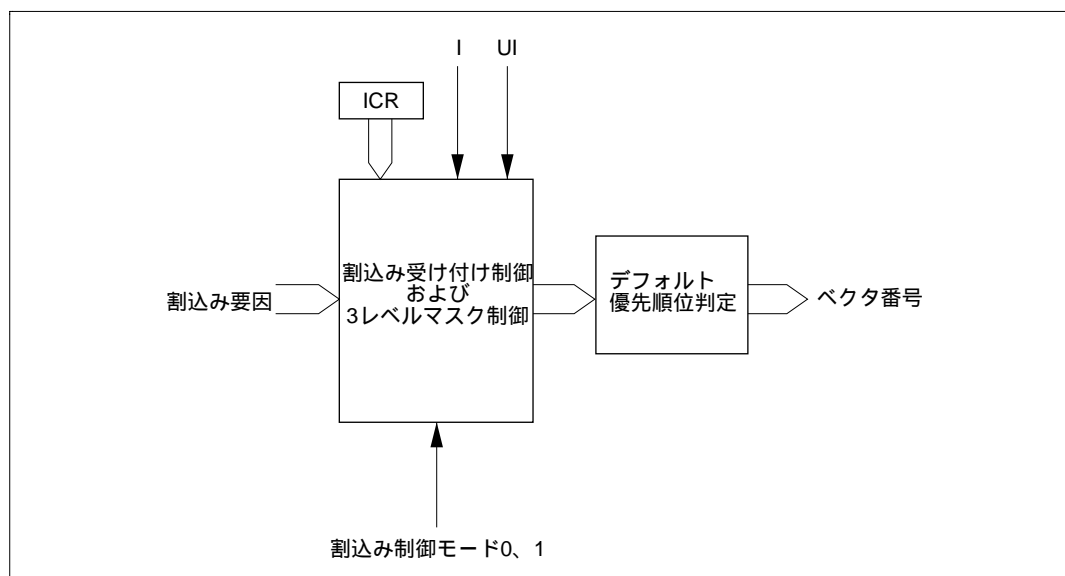


図 5.7 割り込み制御動作のブロック図

(1) 割り込み受け付け制御および3レベル制御

割り込み制御モード 0、1 のとき、CCR の I、UI ビット、および ICR (コントロールレベル) により割り込み受け付け制御、3レベルのマスク制御を行います。

表 5.6 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.6 割り込み制御モードと選択される割り込み

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	*	すべての割り込み (コントロールレベル 1 を優先)
	1	*	NMI、アドレスブレイク割り込み
1	0	*	すべての割り込み (コントロールレベル 1 を優先)
	1	0	NMI、アドレスブレイク割り込み、およびコントロールレベル 1 の割り込み
		1	

【記号説明】

* : Don't care

(2) デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位にしたがって最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.7 に割り込み制御モードと動作および制御信号機能を示します。

表 5.7 割り込み制御モードと動作および制御信号機能

割り込み制御 モード	設 定		割り込み受け付け制御			デフォルト優先順位 判定	T (トレース)
			3レベル制御				
	INTM1	INTM0	I	UI	ICR		
0	0	0	IM	-	PR	-	
1		1	IM	IM	PR	-	

【記号説明】

: 割り込み動作制御を行います。

IM : 割り込みマスクビットとして使用。

PR : 優先順位を設定。

: 使用しません。

5.5.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビット、および ICR によって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。コントロールレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受け付けの動作フローチャートを図 5.8 に示します。

- [1] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、ICR に設定された割り込みコントロールレベルにしたがってコントロールレベル 1 の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルを同一に設定した割り込み要求が同時に複数発生したときは、表 5.4 に示す優先度にしたがって、優先順位の最も高い割り込み要求が選択されます。
- [3] I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI とアドレスブレイク割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次に CCR の I ビットが 1 にセットされます。これにより、NMI とアドレスブレイクを除く割り込みは禁止されます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

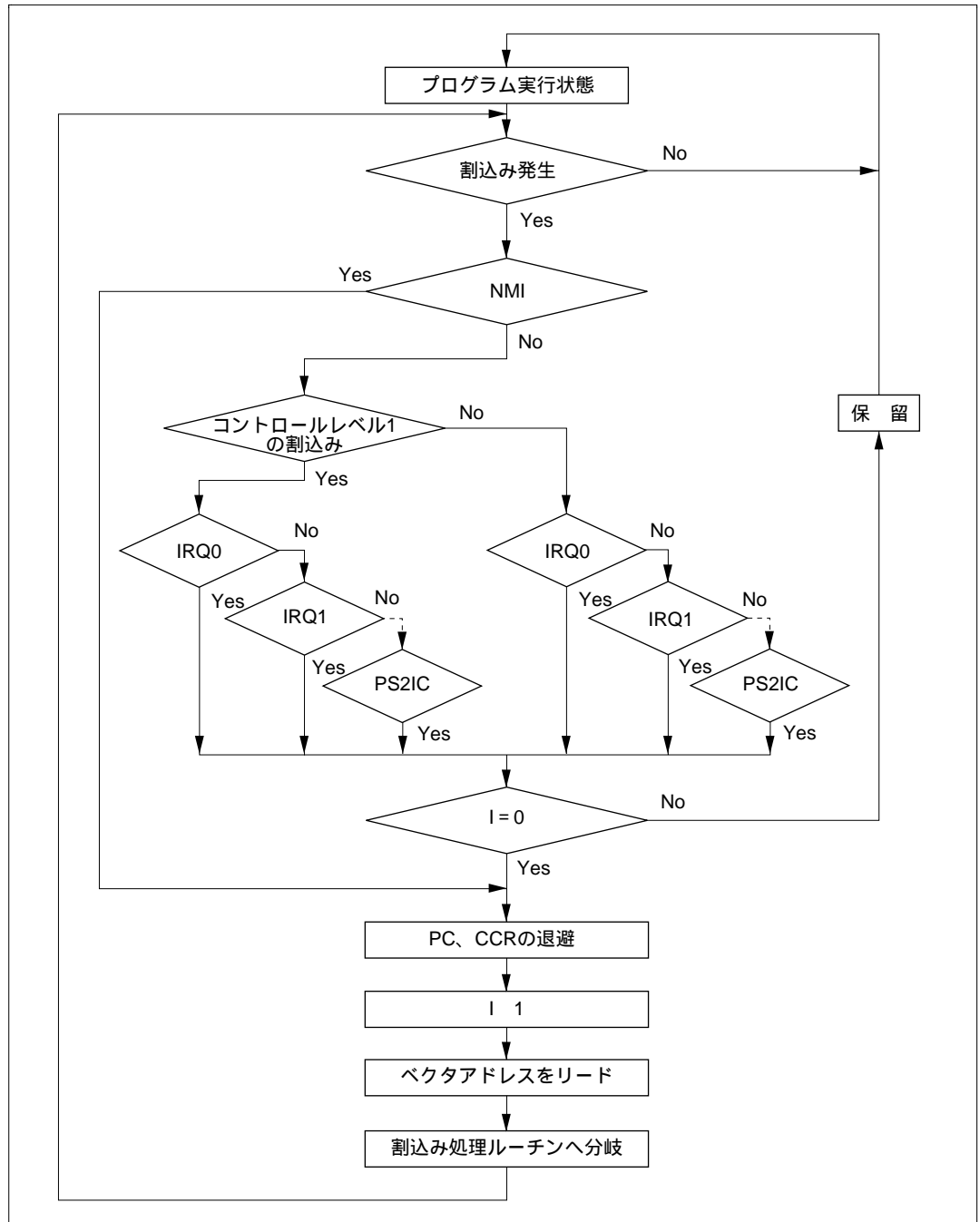


図 5.8 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.5.3 割り込み制御モード 1

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって、3 レベルのマスキレベルを実現できます。

- (1) コントロールレベル 0 の割り込み要求は、I ビットが 0 にクリアされているとき許可状態、1 にセットされているとき禁止状態となります。
- (2) コントロールレベル 1 の割り込み要求は、I ビットまたは UI ビットが 0 にクリアされているとき許可状態、I ビット、および UI ビットがいずれも 1 にセットされているとき禁止状態となります。

例えば、各割り込み要求の対応する割り込みイネーブルビットを 1 にセット、ICRA ~ ICRC をそれぞれ H'20、H'00、H'00 に設定した場合 (IRQ2、IRQ3 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定した場合)、次のようになります。

- (1) I=0 のとき、すべての割り込みを許可
(優先順位 : NMI > IRQ2 > IRQ3 > アドレスブレーク > IRQ0 > IRQ1...)
- (2) I=1、UI=0 のとき、NMI、IRQ2、IRQ3、アドレスブレーク割り込みのみを許可
- (3) I=1、UI=1 のとき、NMI とアドレスブレーク割り込みのみを許可

また、このときの状態遷移を図 5.9 に示します。

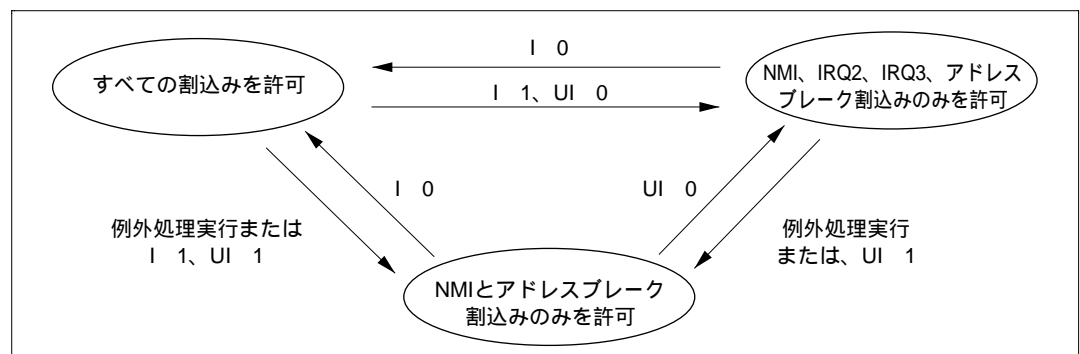


図 5.9 割り込み制御モード 1 の状態遷移例

このときの割り込み受け付けの動作フローチャートを図 5.10 に示します。

- [1] 対応する割込みイネーブルビットが 1 にセットされている状態で割込み要因が発生したとき、割込みコントローラに対して、割込み要求が送られます。
- [2] 割込みコントローラに対して割込み要求が送られると、ICR に設定された割込みコントロールレベルにしたがってコントロールレベル 1 の割込みが優先的に選択され、その他は保留となります。このとき、割込みコントロールレベルを同一に設定した割込み要求が同時に複数発生したときは、表 5.4 に示す優先度にしたがって、優先順位の最も高い割込み要求が選択されます。
- [3] I ビットを参照します。I ビットが 0 にクリアされているときは、UI ビットの影響を受けません。
割込みコントロールレベル 0 の割込み要求は、I ビットが 0 にクリアされているときに受け付けられます。I ビットが 1 にセットされているときは NMI とアドレスブレイク割込みのみ受け付けられ、その他の割込み要求は保留されます。
割込みコントロールレベル 1 の割込み要求は、割込みコントロールレベル 0 の割込み要求よりも優先的に受け付けられ、I ビットが 0 にクリアされているとき、または I ビットが 1 にセットされ、UI ビットが 0 にクリアされているときに受け付けられます。I、UI ビットがいずれも 1 にセットされているときは NMI とアドレスブレイク割込みのみ受け付けられ、その他の割込み要求は保留されます。
- [4] 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割込み例外処理を起動します。
- [5] 割込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次に CCR の I、UI ビットが 1 にセットされます。これにより、NMI とアドレスブレイクを除く割込みは禁止されます。
- [7] 受け付けた割込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行が開始されます。

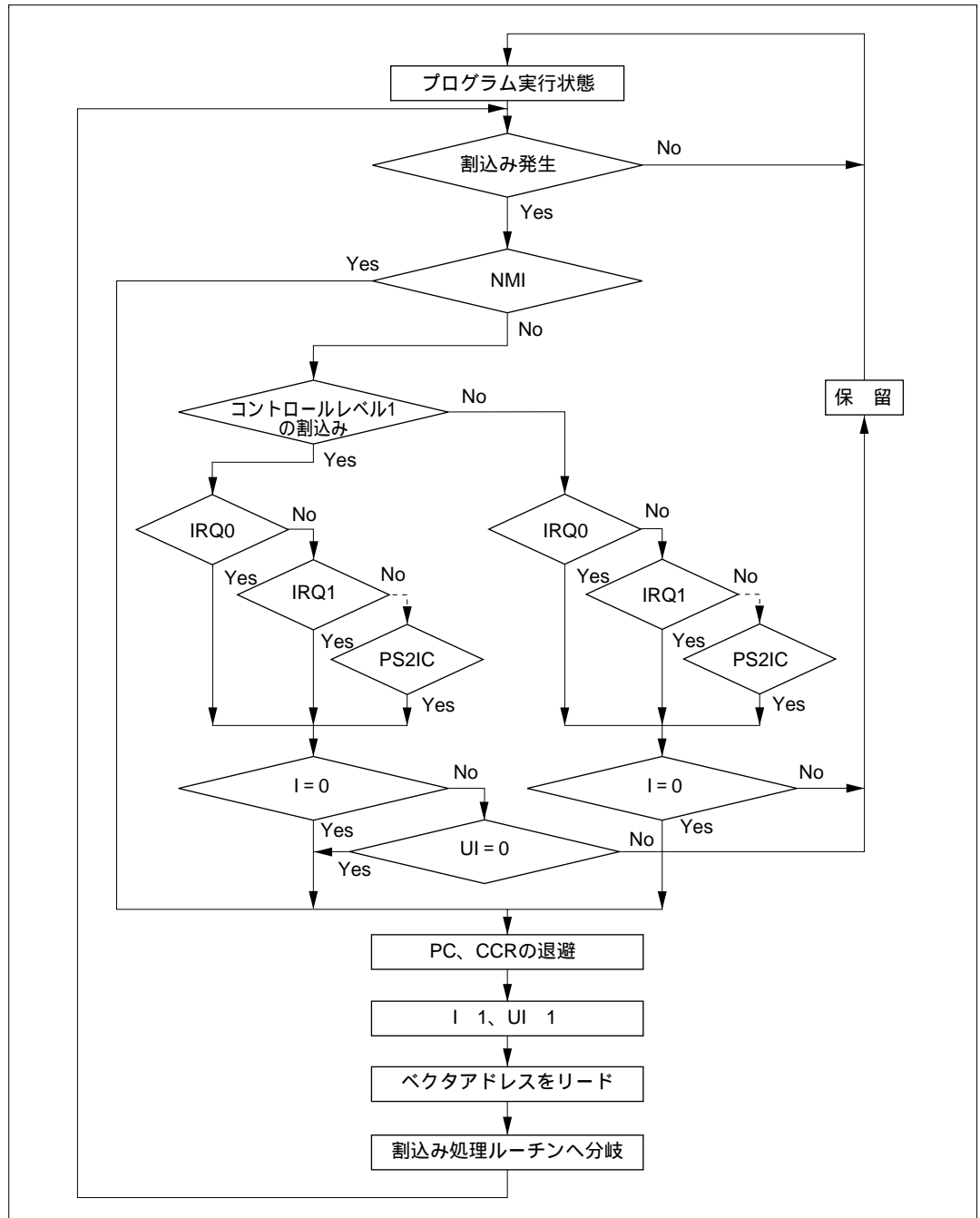


図 5.10 割り込み制御モード 1 の割り込み受け付けまでのフロー

5.5.4 割り込み例外処理シーケンス

図 5.11 に、割り込み例外処理シーケンスを示します。アドバンスドモードで割り込み制御モード0とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

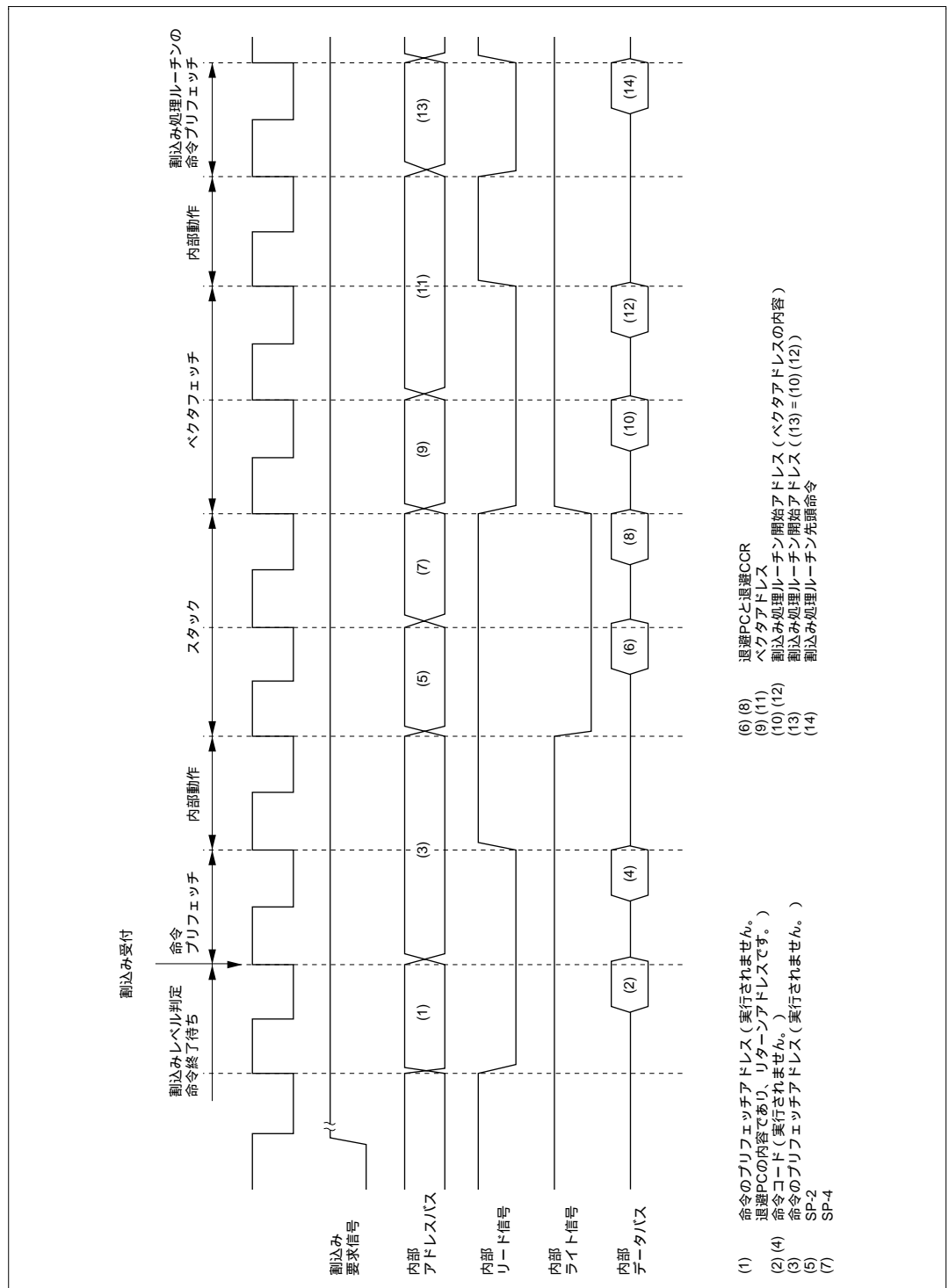


図 5.11 割り込み例外処理

5.5.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.8 に示します。表 5.8 の実行状態の記号については表 5.9 を参照してください。

表 5.8 割り込み応答時間

No.	実行状態	ノーマルモード	アドバンスモード
1	割り込み優先順位判定* ¹	3	
2	実行中の命令が終了するまでの待ち状態数* ²	$1 \sim (19 + 2 \cdot S_i)$	
3	PC、CCR のスタック	$2 \cdot S_k$	$2 \cdot S_k$
4	ベクタフェッチ	S_i	$2 \cdot S_i$
5	命令フェッチ* ³	$2 \cdot S_i$	
6	内部処理* ⁴	2	
合計（内蔵メモリ使用時）		11 ~ 31	12 ~ 32

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.9 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8ビットバス		16ビットバス	
		2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m：外部デバイスアクセス時のウェイトステート数

5.6 使用上の注意

5.6.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令等で割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

8ビットタイマのTCRのCMIEAビットを0にクリアする場合の例を図5.12に示します。

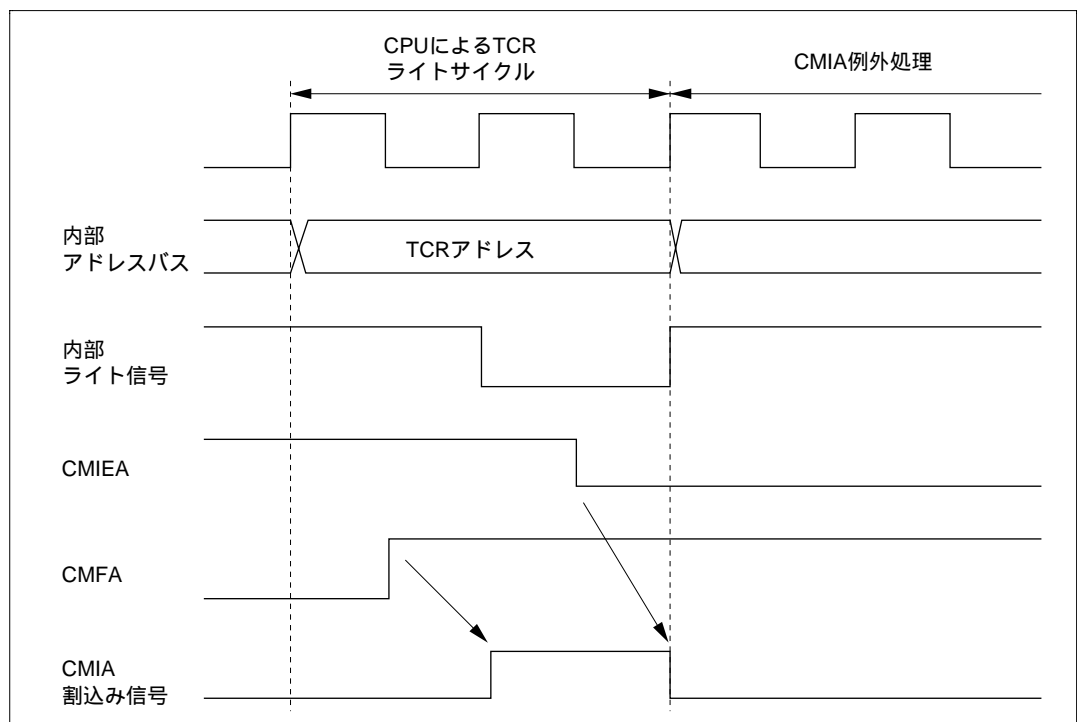


図 5.12 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

5.6.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.6.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1: EEPMOV.W
      MOV.W      R4, R4
      BNE       L1
```

5.7 割り込みによる DTC の起動

5.7.1 概要

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPU に対する割り込み要求
- (2) DTC に対する起動要求
- (3) (1) ~ (2) の複数の選択

なお、DTC を起動できる割り込み要求については、「第 7 章 データ転送ファコントローラ (DTC)」を参照してください。

5.7.2 ブロック図

図 5.13 に、DTC と割り込みコントローラのブロック図を示します。

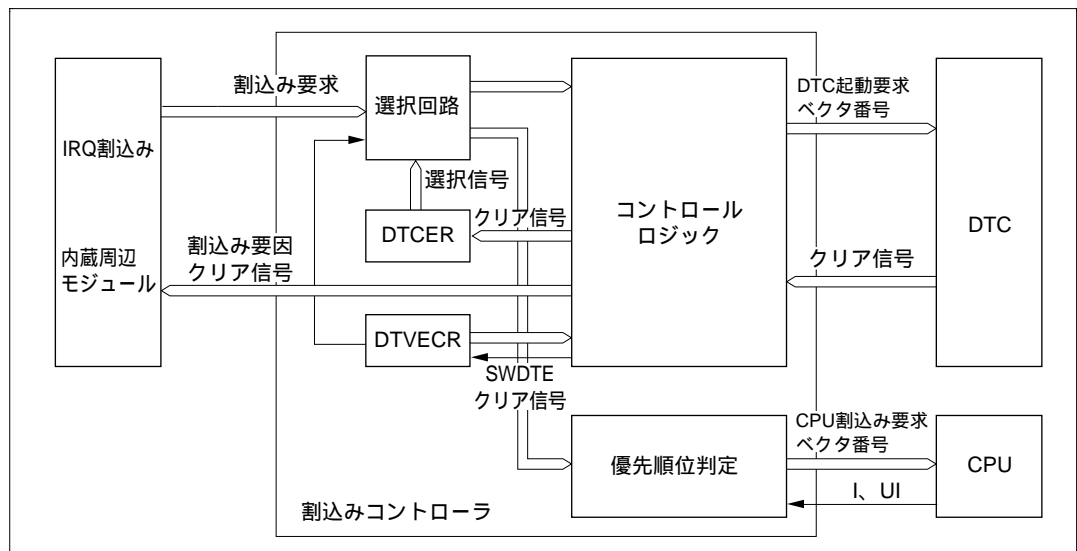


図 5.13 DTC と割り込み制御

5.7.3 動作説明

DTC 制御の割込みコントローラの機能は3つに大別されます。

(1) 割込み要因の選択

割込み要因は、DTC の DTCERA ~ DTCERE の DTCE ビットにより、DTC 起動要求とするか、CPU 割込み要求とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを0にクリアして、CPU に割込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが0になった場合には、DTC のデータ転送後、DTCE ビットを0にクリアして、CPU に割込みを要求します。

(2) 優先順位判定

DTC の起動要因はデフォルトの優先順位にしたがって選択されます。マスキレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「7.3.3 DTC ベクタテーブル」を参照してください。

(3) 動作順序

同一の割込みを、DTC の起動要因と CPU の割込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割込み例外処理が行われます。

表 5.10 に、DTC の DTCERA ~ DTCERE の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割込み要因の選択と割込み要因クリア制御を示します。

表 5.10 割込み要因の選択とクリア制御

設定内容		割込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	
1	0		×
	1		

【記号説明】

：当該割込みを使用します。割込み要因のクリアを行います。

(CPU は割込み処理ルーチンで、要因フラグをクリアしてください。)

：当該割込みを使用します。割込み要因をクリアしません。

× : 当該割込みは使用できません。

* : Don't care

(4) 使用上の注意

SCI、IIC および A/D 変換器の割込み要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされ、DISEL ビットには依存しません。

6. バスコントローラ

第6章 目次

6.1	概要	159
	6.1.1 特長	159
	6.1.2 ブロック図	160
	6.1.3 端子構成	161
	6.1.4 レジスタ構成	161
6.2	各レジスタの説明	162
	6.2.1 バスコントロールレジスタ (BCR)	162
	6.2.2 ウェイトステートコントロールレジスタ (WSCR)	163
6.3	バス制御の概要	166
	6.3.1 バス仕様	166
	6.3.2 アドバンスモード	167
	6.3.3 ノーマルモード	167
	6.3.4 I/Oセレクト信号	168
6.4	基本バスインタフェース	169
	6.4.1 概要	169
	6.4.2 データサイズとデータアライメント	169
	6.4.3 有効ストローク	171
	6.4.4 基本タイミング	172
	6.4.5 ウェイト制御	180
6.5	バーストROMインタフェース	182
	6.5.1 概要	182
	6.5.2 基本タイミング	182
	6.5.3 ウェイト制御	183
6.6	アイドルサイクル	184
	6.6.1 動作説明	184
	6.6.2 アイドルサイクルでの端子状態	185
6.7	バスアービトレーション	186

6. バスコントローラ

6.7.1	概要	186
6.7.2	動作説明.....	186
6.7.3	バス権移行タイミング.....	187

6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間のバス幅、アクセスステート数などのバス仕様を設定することが可能です。

また、バスコントローラはバス調停機能をもっており、内部バスマスタである CPU、データトランスファコントローラ (DTC) の動作を制御します。

6.1.1 特長

バスコントローラの特長を以下に示します。

基本バスインタフェース

- ・ 2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
- ・ プログラムウェイトステートを挿入可能

バースト ROM インタフェース

- ・ 外部空間をバースト ROM インタフェースに設定可能
- ・ バーストアクセスの 1 または 2 ステートを選択可能

アイドルサイクル挿入

- ・ 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

バス権調停機能 (バスアービトレーション)

- ・ バスアービタを内蔵し、CPU および DTC のバス権を調停

6.1.2 ブロック図

バスコントローラのブロック図を図6.1に示します。

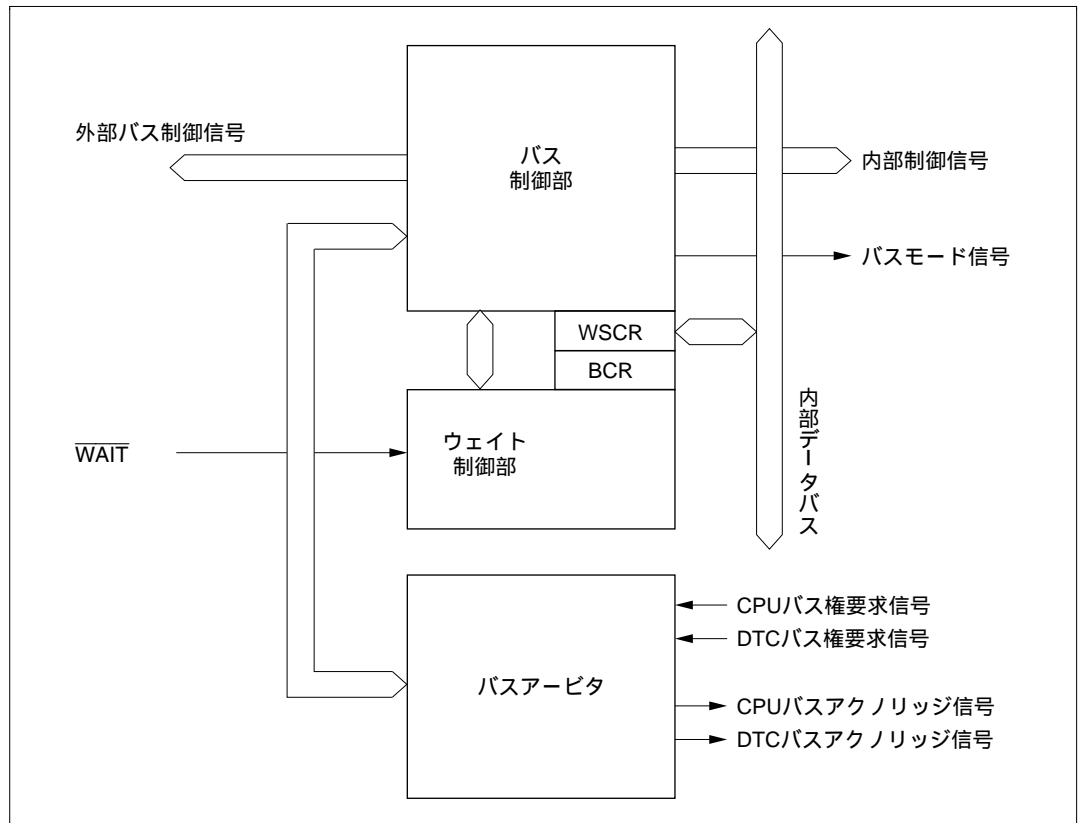


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名 称	記号	入出力	機 能
アドレスストロブ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストロブ信号。 (IOSE ビットが 0 の場合)
I/O セレクト	\overline{IOS}	出力	I/O セレクト信号 (IOSE ビットが 1 の場合)
リード	\overline{RD}	出力	外部空間をリードしていることを示すストロブ信号。
ハイライト	\overline{HWR}	出力	外部空間をライトし、データバスの上位 (D15 ~ D8) が有効であることを示すストロブ信号。
ロウライト	\overline{LWR}	出力	外部空間をライトし、データバスの下位 (D7 ~ D0) が有効であることを示すストロブ信号。
ウェイト	\overline{WAIT}	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。

6.1.4 レジスタ構成

表 6.2 にバスコントローラのレジスタ構成を示します。

表 6.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
バスコントロールレジスタ	BCR	R/W	H'D7	H'FFC6
ウェイトステートコントロールレジスタ	WSCR	R/W	H'33	H'FFC7

【注】 * アドレスの下位 16 ビットを示しています。

6.2 各レジスタの説明

6.2.1 バスコントロールレジスタ (BCR)

ビット:	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0		IOS1	IOS0
初期値:	1	1	0	1	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRは8ビットのリード/ライト可能なレジスタで、外部メモリ空間のアクセスモード、 \overline{AS} 端子をI/Oストロブ機能に設定した場合のI/O領域の範囲を設定します。

BCRは、リセットおよびハードウェアスタンバイモード時に、H'D7に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7: アイドルサイクル挿入1 (ICIS1)

リザーブビットです。0をライトしないでください。

ビット6: アイドルサイクル挿入0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを1ステート挿入するか、挿入しないかを選択します。

ビット6	説明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット5: バーストROMイネーブル (BRSTRM)

外部空間をバーストROMインタフェースとするかを選択します。すべての外部空間が選択対象になります。

ビット5	説明
BRSTRM	
0	基本バスインタフェース (初期値)
1	バーストROMインタフェース

ビット4：バーストサイクルセレクト1 (BRSTS1)

バーストROM インタフェースのバーストサイクル数を選択します。

ビット4	説明
BRSTS1	
0	バーストサイクルは1ステート
1	バーストサイクルは2ステート (初期値)

ビット3：バーストサイクルセレクト0 (BRSTS0)

バーストROM インタフェースのバーストアクセス可能なワード数を選択します。

ビット3	説明
BRSTS0	
0	バーストアクセスは最大4ワード (初期値)
1	バーストアクセスは最大8ワード

ビット2：リザーブビット

リザーブビットです。0をライトしないでください。

ビット1、0：IOSセレクト1、0 (IOS1、IOS0)

表6.4を参照してください。

6.2.2 ウェイトステートコントロールレジスタ (WSCR)

ビット：	7	6	5	4	3	2	1	0
	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0
初期値：	0	0	1	1	0	0	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WSCRは8ビットのリード/ライト可能なレジスタで、外部メモリ空間のデータバス幅、外部メモリ空間のアクセスステート数、および、外部メモリ空間のウェイトモードとウェイトステート数を設定します。内蔵メモリおよび内部I/Oレジスタのバス幅およびアクセスステート数はWSCRの設定値にかかわらず固定です。

WSCRは、リセットおよびハードウェアスタンバイモード時に、H'33に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7：RAMセレクト (RAMS) / ビット6：RAMエリア設定 (RAM0)

リザーブビットです。A マスク品では、本ビットにライトするときは必ず0をライトにしてください。

ビット5：バス幅コントロール (ABW)

外部メモリ空間を8ビットアクセス空間とするか、16ビットアクセス空間とするかを選択します。

ビット5	説明
ABW	
0	外部メモリ空間を16ビットアクセス空間に設定
1	外部メモリ空間を8ビットアクセス空間に設定 (初期値)

ビット4：アクセスステートコントロール (AST)

外部メモリ空間を2ステートアクセス空間にするか、3ステートアクセス空間とするかを選択します。

同時に、ウェイトステートの挿入を許可または禁止します。

ビット4	説明
AST	
0	外部メモリ空間を2ステートアクセス空間に設定 外部メモリ空間のアクセスにウェイトステートの挿入を禁止
1	外部メモリ空間アクセスは3ステートアクセス (初期値) 外部メモリ空間アクセスにウェイトステートの挿入を許可

ビット3、2：ウェイトモードセレクト1、0 (WMS1、WMS0)

ASTビットが1にセットされた状態で、外部メモリ空間をアクセスするときの、ウェイトモードを選択します。

ビット3	ビット2	説明
WMS1	WMS0	
0	0	プログラムウェイトモード (初期値)
	1	ウェイト禁止モード
1	0	端子ウェイトモード
	1	端子オートウェイトモード

ビット1、0：ウェイトカウント1、0（WC1、WC0）

ASTビットが1にセットされた状態で、外部メモリ空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット1	ビット0	説 明
WC1	WC0	
0	0	プログラムウェイトを挿入しない
	1	外部メモリ空間アクセス時、プログラムウェイトを1ステート挿入
1	0	外部メモリ空間アクセス時、プログラムウェイトを2ステート挿入
	1	外部メモリ空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

6.3 バス制御の概要

6.3.1 バス仕様

外部空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)ウェイトモード・プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部I/Oレジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は、ABWビットにより、8ビットまたは16ビットを選択します。

(2) アクセスステート数

アクセスステート数は、ASTビットにより、2ステートまたは3ステートを選択します。2ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

バーストROMインタフェースでは、ASTビットによらず、アクセスステートが決まります。

(3) ウェイトモード・プログラムウェイトステート数

ASTビットによって3ステートアクセス空間に設定したとき、WMS1、WMS0、WC1、WC0により、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは0~3ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表6.3に示します。

表 6.3 各エリアのバス仕様 (基本バスインタフェース)

ABW	AST	WMS1	WMS0	WC1	WC0	バス仕様 (基本バスインタフェース)			
						バス幅	アクセス ステート数	プログラム ウェイト ステート数	
0	0	-	-	-	-	16	2	0	
		1	0	1	-				-
	1	1	- *	- *	0	0	16	3	0
						1			1
			1	0	0	2			
					1	3			
1	0	-	-	-	-	8	2	0	
		1	0	1	-				-
	1	1	- *	- *	0	0	8	3	0
						1			1
			1	0	0	2			
					1	3			

【注】 * WMS1 = 0 かつ WMS0 = 1 を除く

6.3.2 アドバンスモード

外部空間の初期状態は、基本バスインタフェースかつ3ステートアクセス空間になっています。ROM有効拡張モードでは、内蔵ROM、内蔵RAMおよび内部I/Oレジスタを除いた空間が外部空間となります。なお、内蔵RAMはシステムコントロールレジスタ(SYSCR)のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部空間になります。

6.3.3 ノーマルモード

外部メモリ空間の初期状態は、基本バスインタフェースかつ3ステートアクセス空間になっています。ROM無効拡張モードでは、内蔵RAMおよび内部I/Oレジスタを除いた空間が外部空間となります。ROM有効拡張モードでは、内蔵ROM、内蔵RAMおよび内部I/Oレジスタを除いた空間が外部空間となります。なお、内蔵RAMはシステムコントロールレジスタ(SYSCR)のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部空間になります。

6.3.4 I/O セレクト信号

本 LSI は、IO セレクト信号 ($\overline{\text{IOS}}$) を出力することができ、設定された外部空間をアクセスしたとき、Low レベルを出力します。

図 6.2 に、 $\overline{\text{IOS}}$ 信号出力タイミング例を示します。

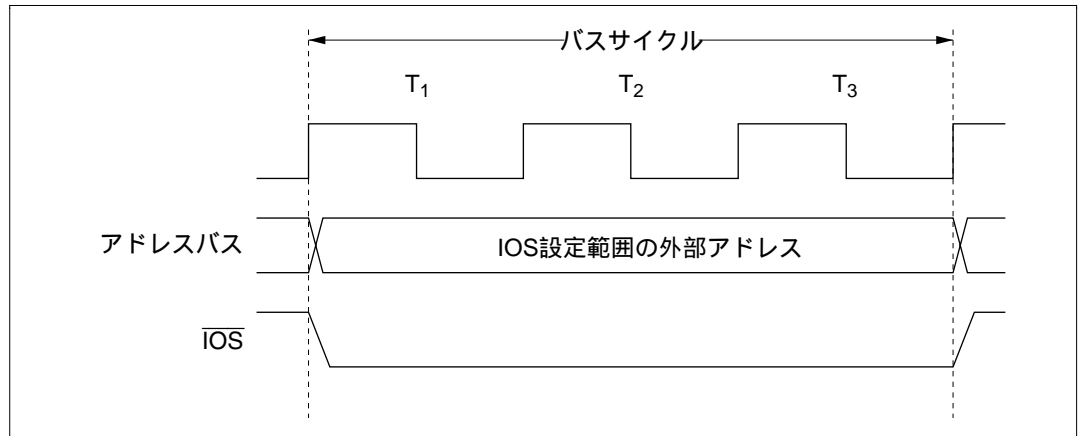


図 6.2 $\overline{\text{IOS}}$ 信号出力タイミング

$\overline{\text{IOS}}$ 信号の出力の許可または禁止は、SYSCR の IOSE ビットの設定により行います。

拡張モードでは、本端子はリセットにより $\overline{\text{AS}}$ 出力端子として動作しますので、 $\overline{\text{IOS}}$ 信号出力として動作させる場合には SYSCR レジスタ IOSE ビットを 1 にセットしてください。

詳細は「第 8 章 I/O ポート」を参照してください。

また、 $\overline{\text{IOS}}$ 信号を出力するアドレスの範囲は、BCR の IOS1、IOS0 ビットにより設定することができます。 $\overline{\text{IOS}}$ 信号のアドレス範囲を、表 6.4 に示します。

表 6.4 $\overline{\text{IOS}}$ 信号出力範囲の設定

IOS1	IOS0	IOS 信号出力範囲
0	0	H'(FF)F000 ~ H'(FF)F03F
	1	H'(FF)F000 ~ H'(FF)F0FF
1	0	H'(FF)F000 ~ H'(FF)F3FF
	1	H'(FF)F000 ~ H'(FF)FE4F* (初期値)

【注】 * H8S/2148 F-ZTAT の A マスク品および H8S/2147 F-ZTAT の A マスク品では、H'(FF)F000 ~ H'(FF)F7FF となります。

6.4 基本バスインタフェース

6.4.1 概要

基本バスインタフェースは、ROM、SRAMなどの直結が可能です。

ABWビット、ASTビット、WMS1、WMS0、WC1、WC0ビットによってバス仕様を選択できます。表6.3を参照してください。

6.4.2 データサイズとデータアライメント

CPUおよびそのほかの内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス(D15~D8)を使用するか、下位側データバス(D7~D0)を使用するかを、アクセスするエリアのバス仕様(8ビットアクセス空間か16ビットアクセス空間)とデータサイズによって制御します。

(1) 8ビットアクセス空間

図6.3に、8ビットアクセス空間のデータアライメント制御を示します。8ビットアクセス空間では、常に上位側データバス(D15~D8)を使ってアクセスを行います。一回にアクセスできるデータ量は1バイトで、ワードアクセスでは2回、ロングワードアクセスは4回のバイトアクセスを実行します。

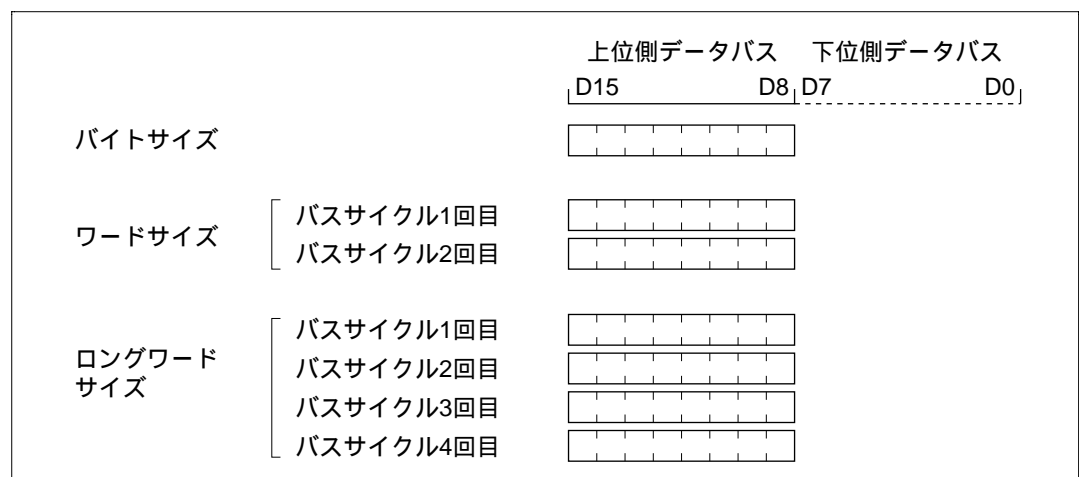


図6.3 アクセスサイズとデータアライメント制御(8ビットアクセス空間)

(2) 16 ビットアクセス空間

図 6.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15 ~ D8) および下位側データバス (D7 ~ D0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

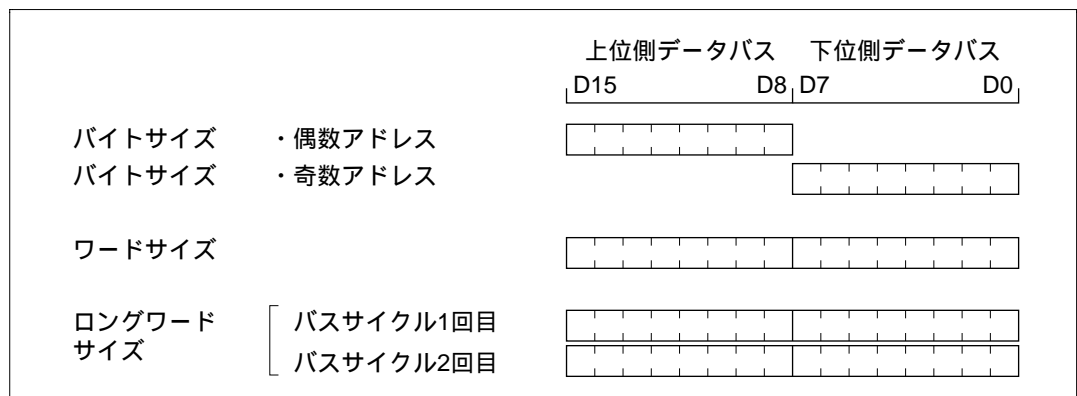


図 6.4 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.4.3 有効ストロープ

表 6.5 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.5 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15 ~ D8)	データバス下位 (D7 ~ D0)
8 ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	ポート他
		ライト	-	\overline{HWR}		ポート他
16 ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} , \overline{LWR}	有効	有効

【注】 不定： 不定データが出力されます。

無効： 入力状態であり、入力値は無視されます。

ポート他： ポートまたは内蔵周辺機能の入出力端子となり、データバスとしては使用されません。

6.4.4 基本タイミング

(1) 8 ビット 2 ステートアクセス空間

図 6.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することはできません。

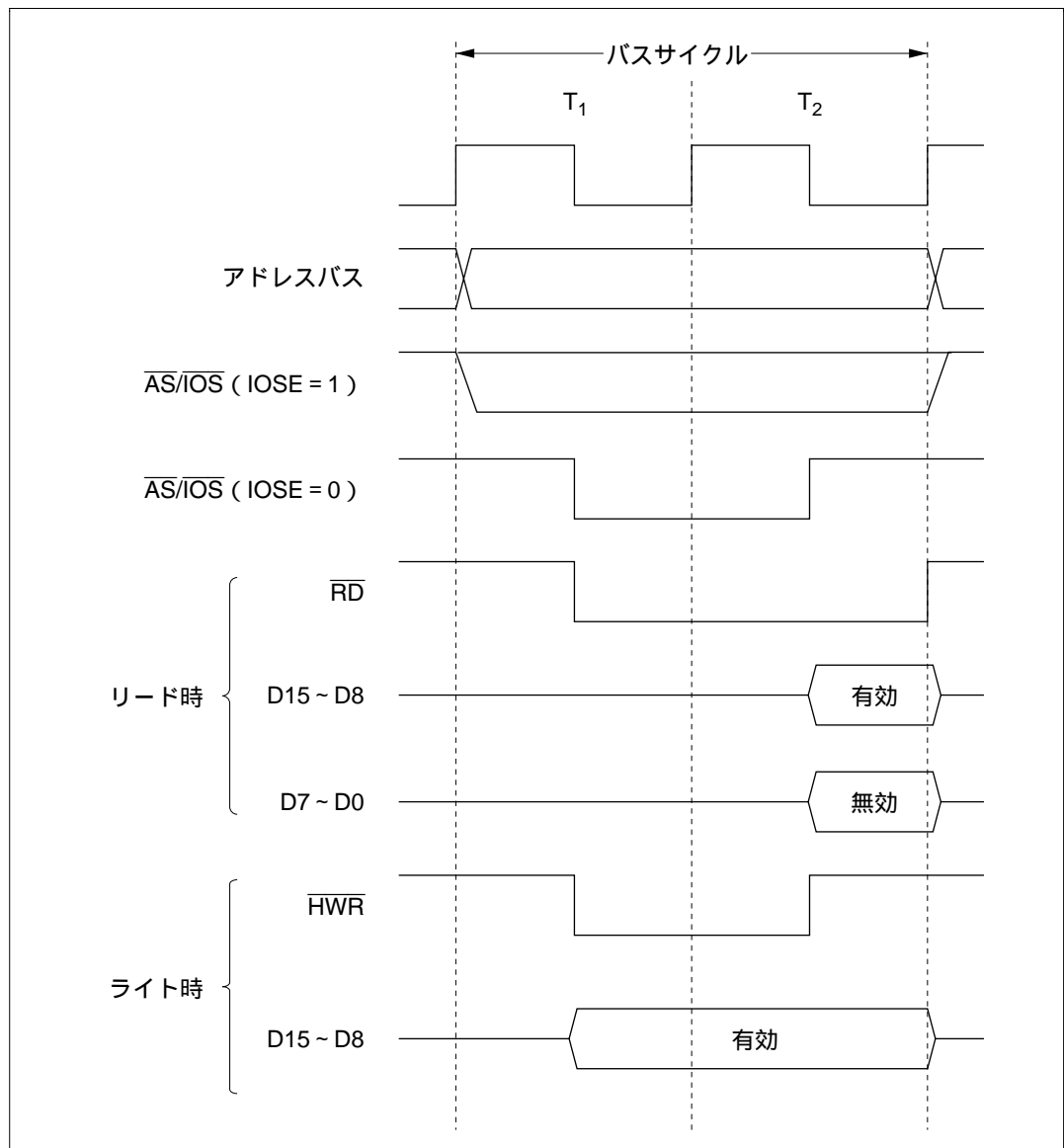


図 6.5 8 ビット 2 ステートアクセス空間のバスタイミング

(2) 8 ビット 3 ステートアクセス空間

図 6.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15 ~ D8) を使用します。

ウェイトステートを挿入することができます。

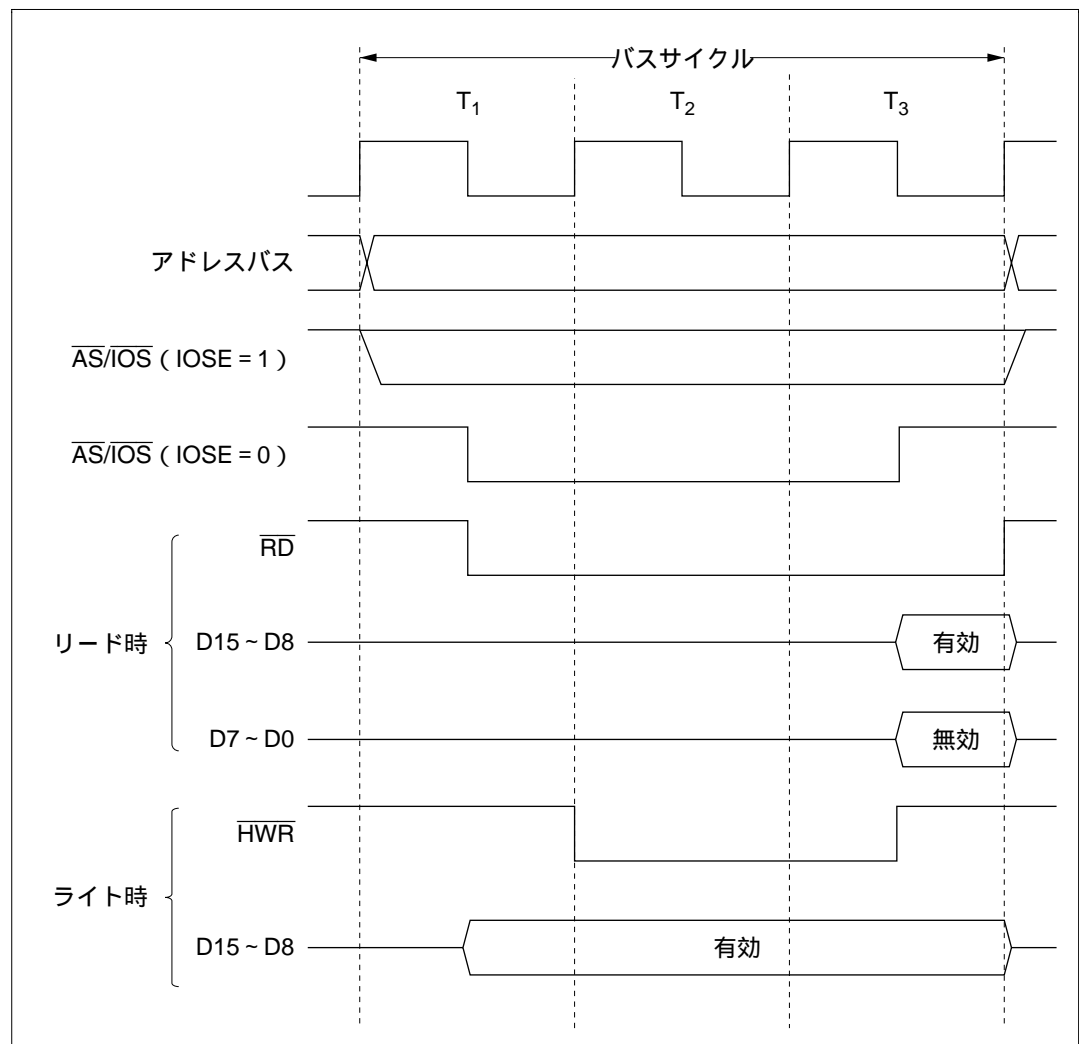


図 6.6 8 ビット 3 ステートアクセス空間のバスタイミング

(3) 16 ビット 2 ステートアクセス空間

図 6.7~図 6.9 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶然アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。

ウェイトステートを挿入することはできません。

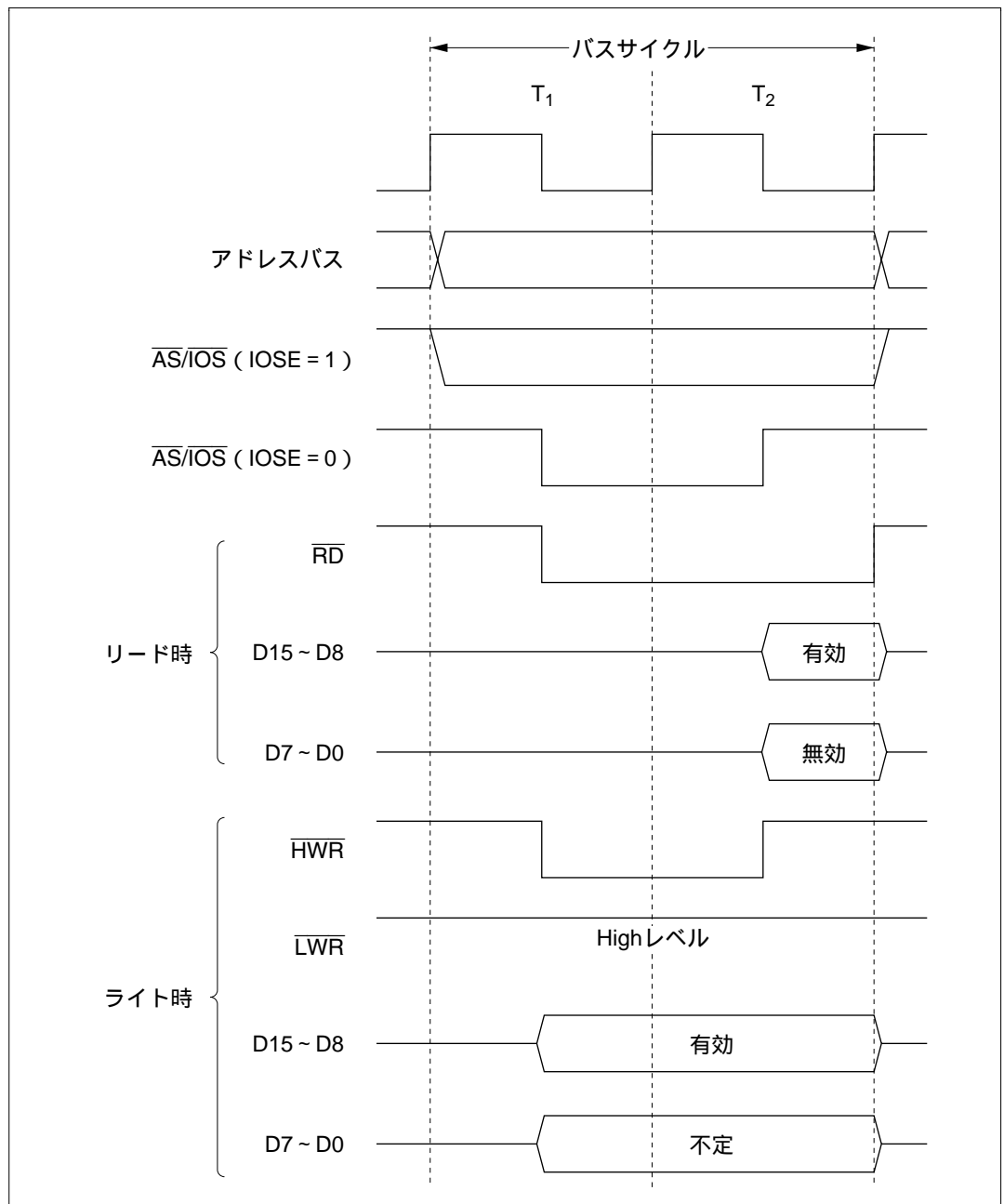


図 6.7 16 ビット 2 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

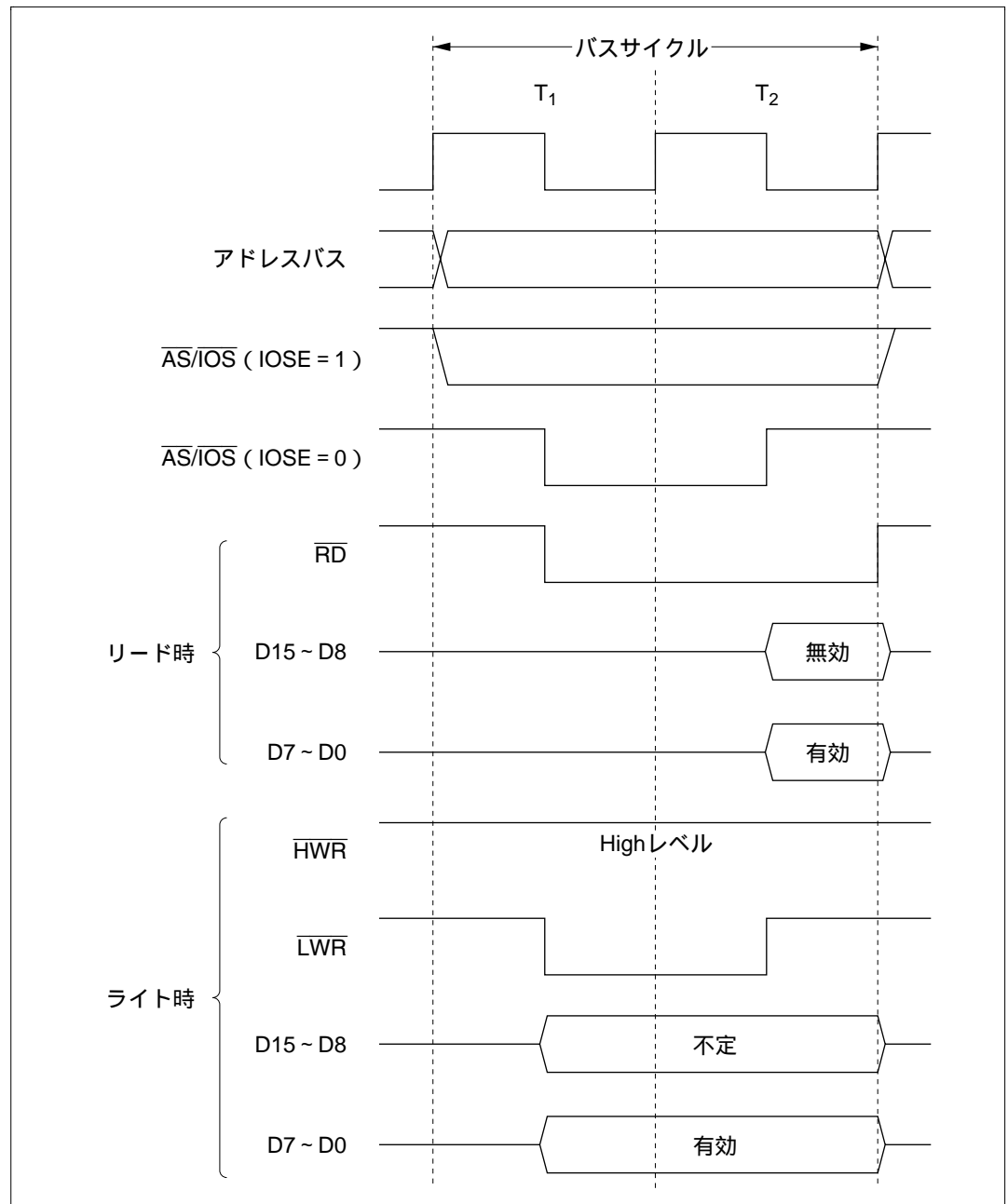


図 6.8 16 ビット 2 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

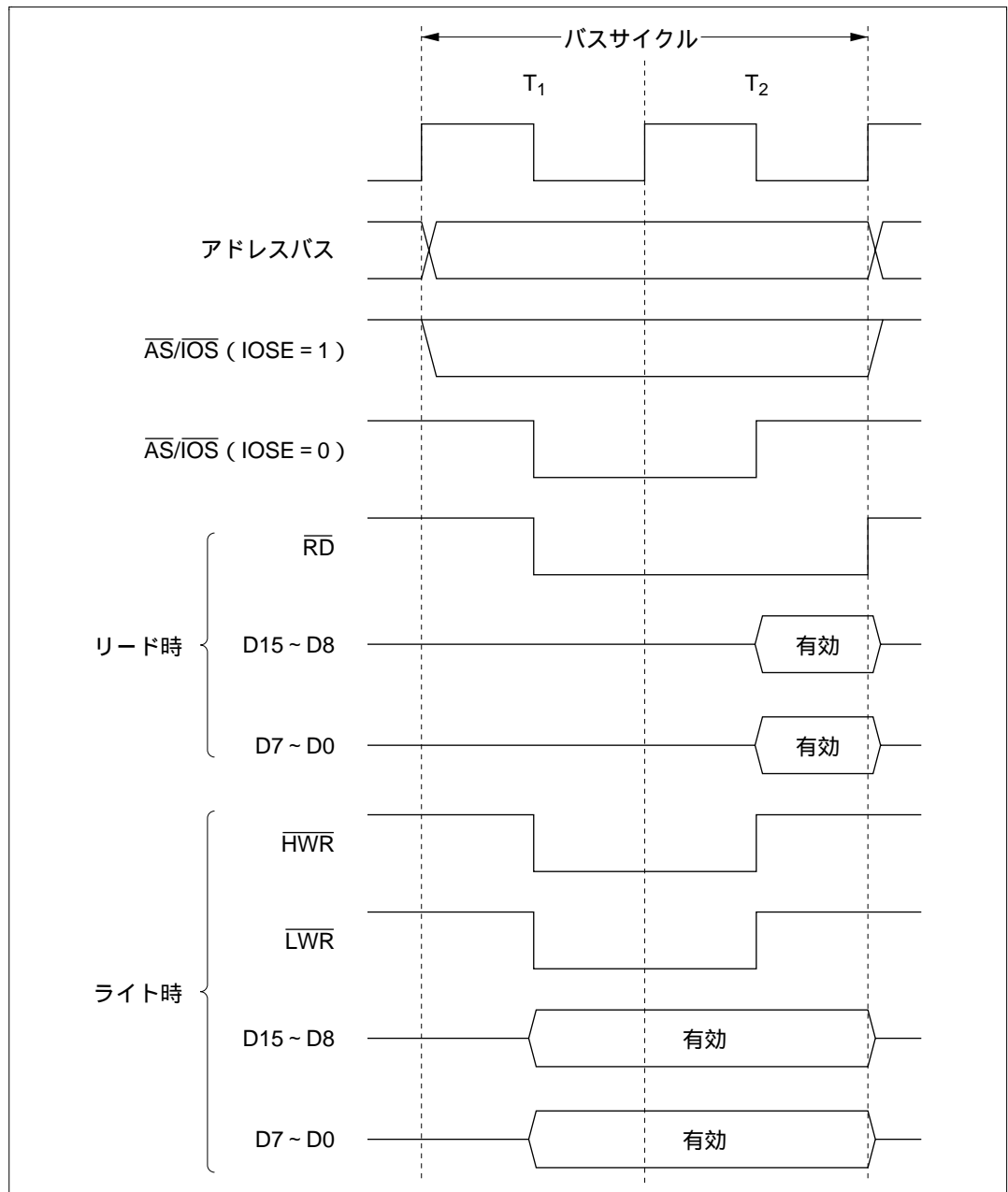


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

(4) 16 ビット 3 ステートアクセス空間

図 6.10~図 6.12 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。

ウェイトステートを挿入することができます。

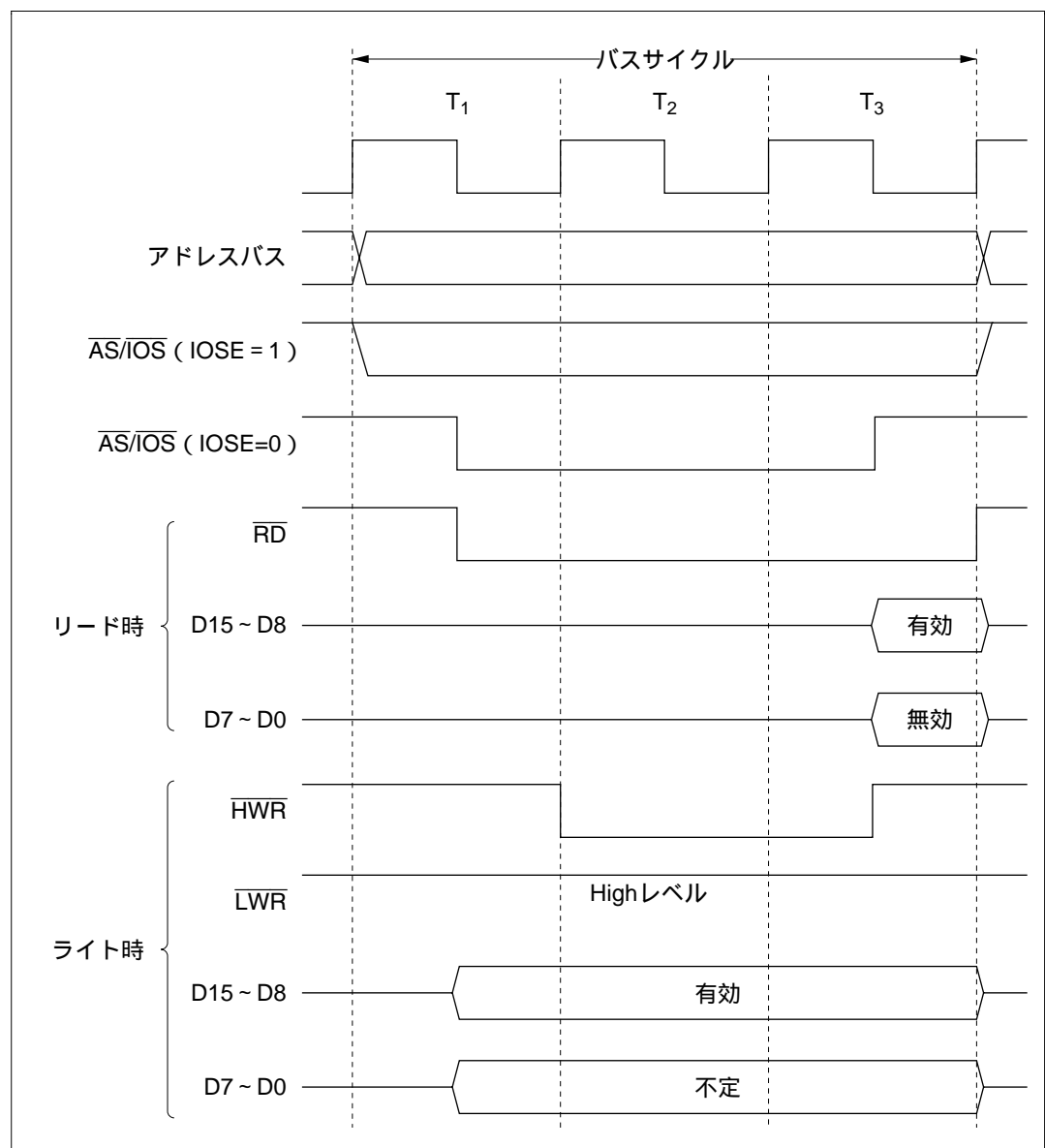


図 6.10 16 ビット 3 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

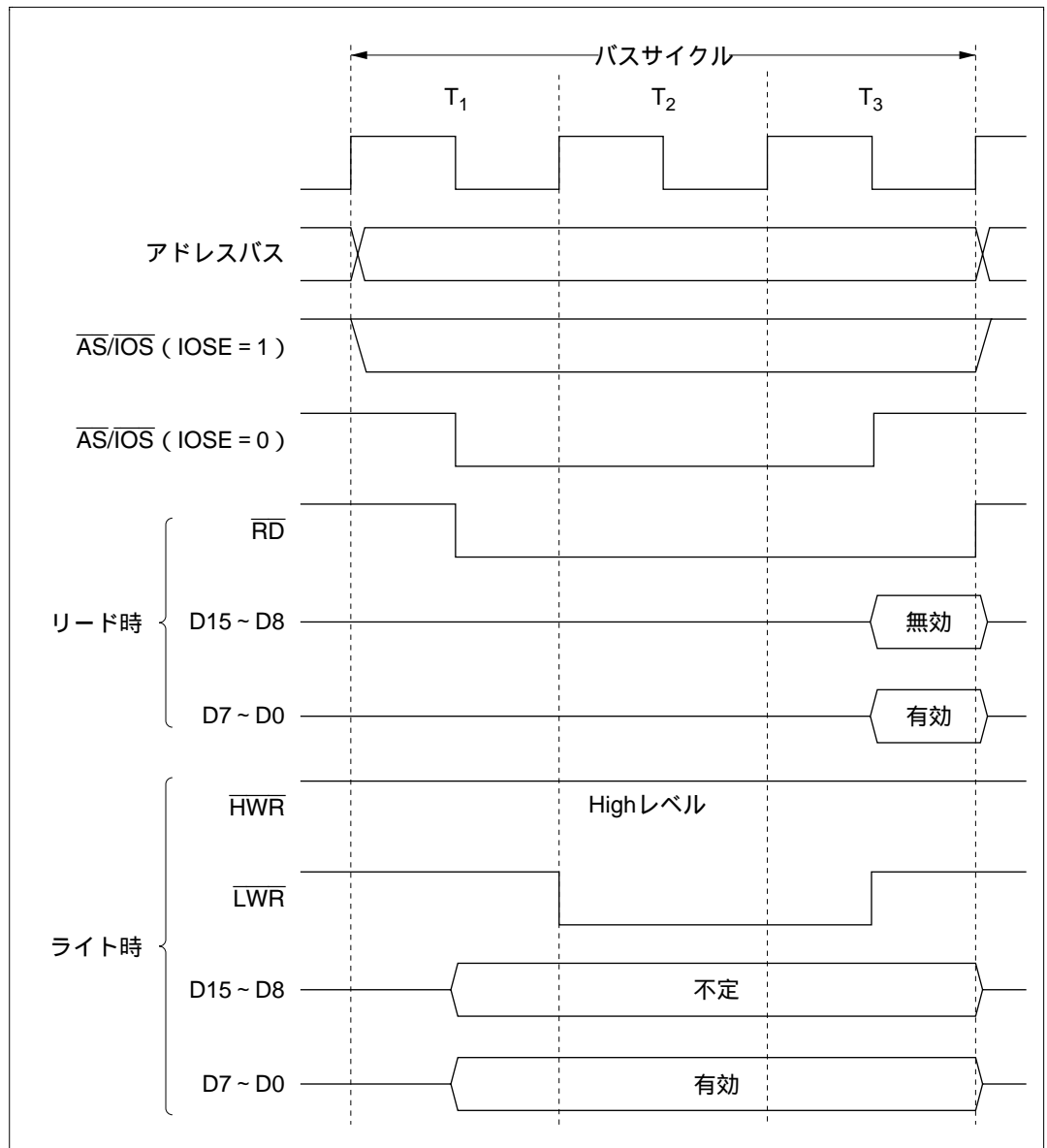


図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

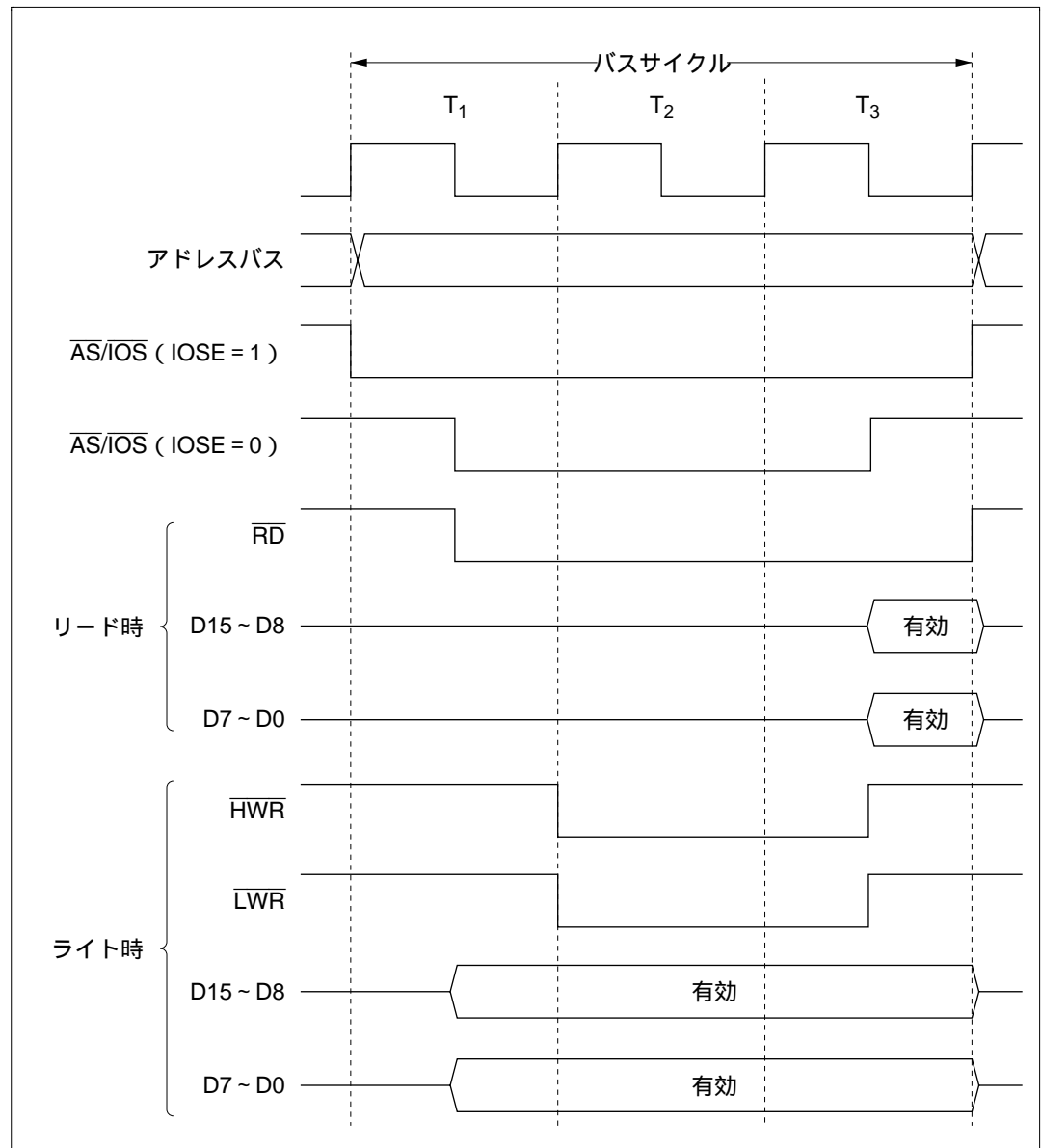


図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

6.4.5 ウェイト制御

本 LSI、外部空間をアクセスするとき、ウェイトステート (T_w) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、(3) プログラムウェイトと $\overline{\text{WAIT}}$ 端子による端子ウェイトの組合せがあります。

(1) プログラムウェイトモード

プログラムウェイトモードでは、外部空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけの T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。

(2) 端子ウェイトモード

端子ウェイトモードでは、外部空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけの T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。 T_2 または T_w の最後のステートの の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

端子ウェイトモードは、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

(3) 端子オートウェイトモード

端子オートウェイトモードでは、外部空間をアクセスしたとき、 T_2 の の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、WC1、WC0 ビットにより設定されたステート数だけの T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されても、設定された数を超える T_w は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

図 6.13 にウェイトステート挿入のタイミング例を示します。

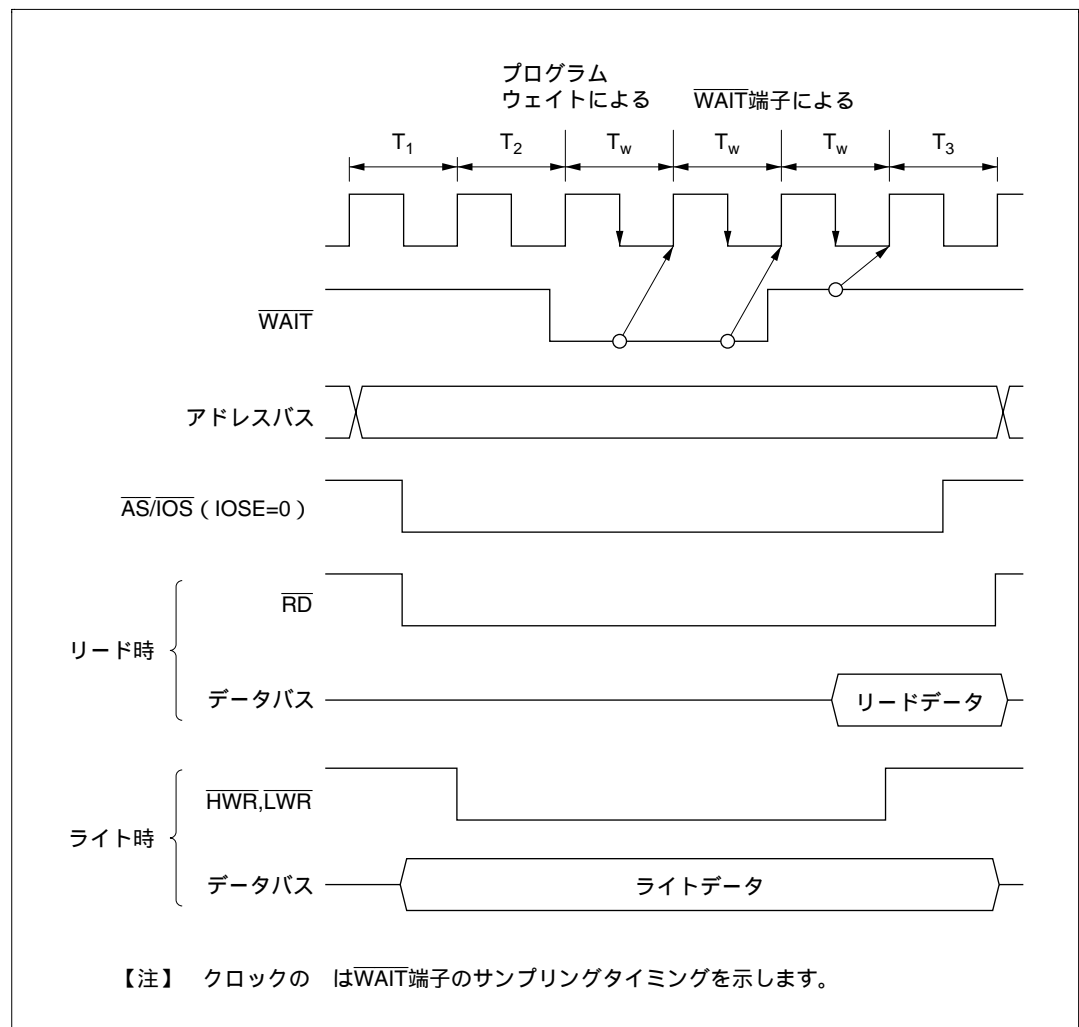


図 6.13 ウェイトステート挿入タイミング例

リセット後は、3 ステートアクセスかつプログラムウェイト3 ステート挿入、WAIT 入力禁止状態となっています。

6.5 バースト ROM インタフェース

6.5.1 概要

本 LSI は、外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。

BCR の BRSTRM ビットにより、外部空間をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.5.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル (フルアクセス) のアクセスステート数は AST ビットの設定にしがいます。また、AST ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCR の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。

また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.14 (a) (b) に示します。

図 6.14 (a) は、AST ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.14 (b) は、AST ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

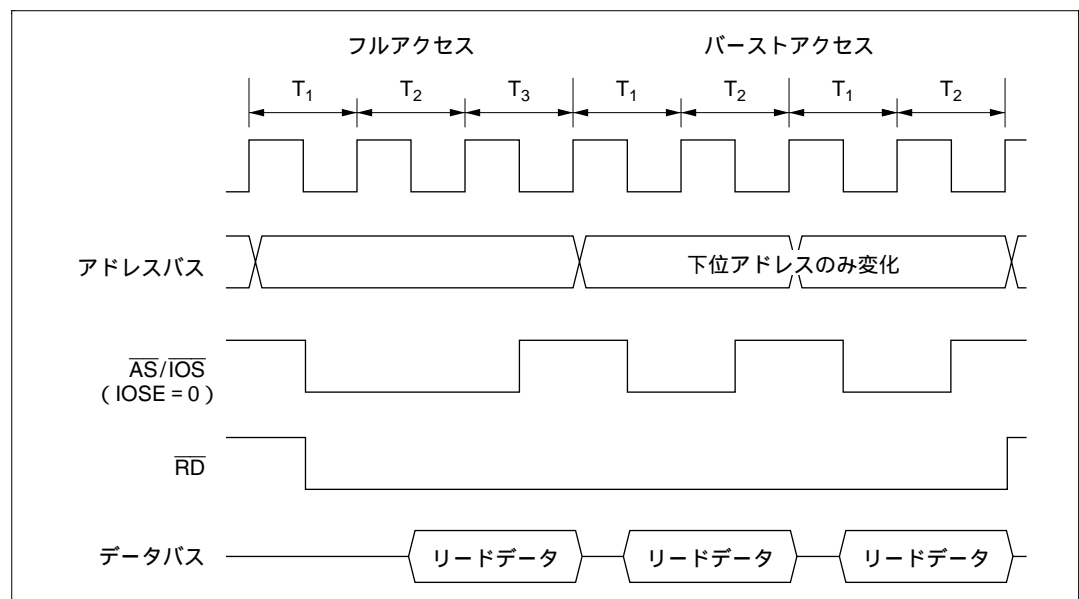


図 6.14 (a) バースト ROM アクセスタイミング例 (AST = BRSTS1 = 1 の場合)

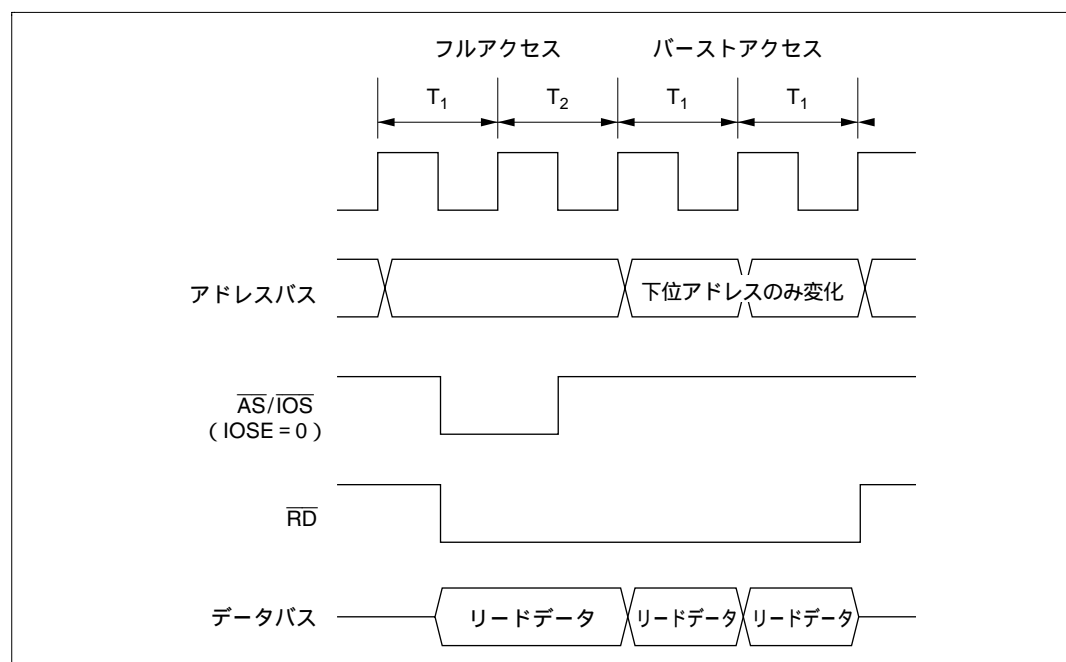


図 6.14 (b) バースト ROM アクセスタイミング例 (AST=BRSTS1=0 の場合)

6.5.3 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、が可能です。「6.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

6.6 アイドルサイクル

6.6.1 動作説明

本 LSI は外部空間をアクセスするとき、リードサイクルの直後にライトサイクルが発生した場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_1) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM などと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

BCR の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。アドバンスモードおよびノーマルモードのとき有効です。

図 6.15 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

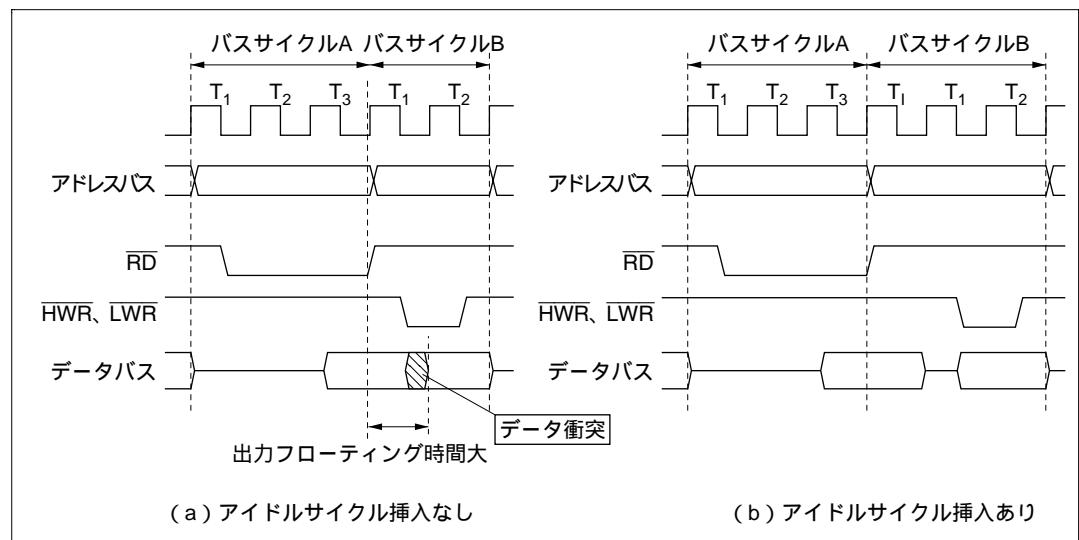


図 6.15 アイドルサイクル動作例

6.6.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.6 に示します。

表 6.6 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0、 $\overline{\text{IOS}}$	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
$\overline{\text{AS}}$	High レベル
$\overline{\text{RD}}$	High レベル
$\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$	High レベル

6.7 バスアービトレーション

6.7.1 概要

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU および DTC の 2 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

6.7.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) DTC > CPU (低)

6.7.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権を DTC に移行します。バス権が移行するタイミングは次のとおりです。

(a) バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合には、分割されたバスサイクルの切れ目では、バス権は移行しません。

バス権を移行しないタイミングは「付録 A.5 命令実行中のバス状態」を参照してください。

(b) CPU がスリープモードの場合、ただちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC は、一連の処理が完了するまでバス権を解放しません。

7. データトランスファ コントローラ (DTC)

H8S/2148 シリーズに内蔵しています。
H8S/2144 シリーズ、H8S/2147N には内蔵していません。

第7章 目次

7.1	概要	191
	7.1.1 特長	191
	7.1.2 ブロック図	191
	7.1.3 レジスタ構成	193
7.2	各レジスタの説明	194
	7.2.1 DTC モードレジスタ A (MRA)	194
	7.2.2 DTC モードレジスタ B (MRB)	196
	7.2.3 DTC ソースアドレスレジスタ (SAR)	197
	7.2.4 DTC デスティネーションアドレスレジスタ (DAR)	197
	7.2.5 DTC 転送カウントレジスタ A (CRA)	197
	7.2.6 DTC 転送カウントレジスタ B (CRB)	198
	7.2.7 DTC イネーブルレジスタ (DTCER)	198
	7.2.8 DTC ベクタレジスタ (DTVECR)	199
	7.2.9 モジュールストップコントロールレジスタ (MSTPCR)	200
7.3	動作説明	201
	7.3.1 概要	201
	7.3.2 起動要因	202
	7.3.3 DTC ベクタテーブル	204
	7.3.4 アドレス空間上でのレジスタ情報の配置	206
	7.3.5 ノーマルモード	207
	7.3.6 リピートモード	208
	7.3.7 ブロック転送モード	209
	7.3.8 チェイン転送	210

7. データトランスファコントローラ (DTC)

7.3.9	動作タイミング.....	211
7.3.10	DTC 実行ステート数.....	212
7.3.11	DTC 使用手順.....	213
7.3.12	DTC 使用例.....	214
7.4	割込み.....	216
7.5	使用上の注意.....	216

7.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

7.1.1 特長

任意チャネル数の転送可能

- ・メモリ上に転送情報を格納
- ・1つの起動要因に対して複数のデータ転送が可能 (チェーン転送)

豊富な転送モード

- ・ノーマルモード/リピートモード/ブロック転送モードの選択が可能
- ・ソース/デスティネーションアドレスのインクリメント/デクリメント/固定の選択が可能

16Mバイトのアドレス空間を直接指定可能

- ・転送元、転送先アドレスを 24 ビットで指定

転送単位をバイト/ワードに設定可能

DTC を起動した割り込みを CPU に要求可能

- ・1回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
- ・指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生

ソフトウェアによる起動が可能

モジュールストップモードの設定可能

- ・初期値では、DTC のレジスタのアクセスが可能。モジュールストップモードの設定で DTC の動作が停止

7.1.2 ブロック図

DTC のブロック図を図 7.1 に示します。

DTC のレジスタ情報は内蔵 RAM に配置されます*。DTC と内蔵 RAM (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行することができます。

【注】 * DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。

7. データトランスファコントローラ (DTC)

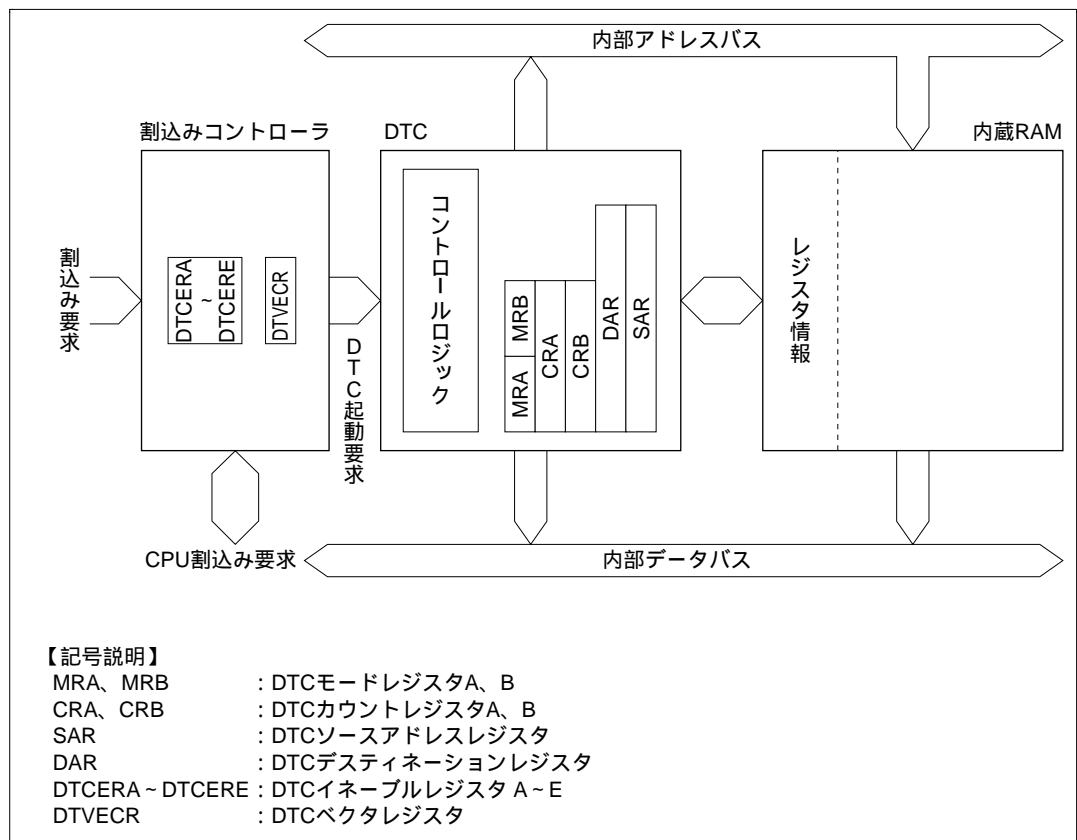


図 7.1 DTC のブロック図

7.1.3 レジスタ構成

DTCのレジスタ構成を表7.1に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
DTCモードレジスタ A	MRA	- * ²	不定	- * ³
DTCモードレジスタ B	MRB	- * ²	不定	- * ³
DTCソースアドレスレジスタ	SAR	- * ²	不定	- * ³
DTCデスティネーションアドレスレジスタ	DAR	- * ²	不定	- * ³
DTC転送カウントレジスタ A	CRA	- * ²	不定	- * ³
DTC転送カウントレジスタ B	CRB	- * ²	不定	- * ³
DTCイネーブルレジスタ	DTGER* ⁴	R/W	H'00	H'EEEE ~ H'FEF2
DTCベクタレジスタ	DTVECR* ⁴	R/W	H'00	H'FEF3
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 DTC内のレジスタは直接リード/ライトできません。

*3 内蔵 RAM のアドレス H'EC00 ~ H'FFFF にレジスタ情報として配置します。
外部メモリ空間には配置できません。

DTCを使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

*4 H8S/2144 シリーズ、H8S/2147N には DTC は内蔵されていません。H8S/2144 シリーズ、H8S/2147N では、DTGER、DTVECR のレジスタアドレス範囲を CPU でアクセスしないでください。

7.2 各レジスタの説明

7.2.1 DTC モードレジスタ A (MRA)

ビット:	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット 7、6: ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 7	ビット 6	説明
SM1	SM0	
0	-	SAR は固定
1	0	SAR は転送後インクリメント (Sz = 0 のとき +1、Sz = 1 のとき +2)
	1	SAR は転送後デクリメント (Sz = 0 のとき -1、Sz = 1 のとき -2)

ビット 5、4: デスティネーションアドレスモード 1、0 (DM1、DM0)

データ転送後に、DAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説明
DM1	DM0	
0	-	DAR は固定
1	0	DAR は転送後インクリメント (Sz = 0 のとき +1、Sz = 1 のとき +2)
	1	DAR は転送後デクリメント (Sz = 0 のとき -1、Sz = 1 のとき -2)

ビット3、2 : DTC モード (MD1、MD0)

DTC の転送モードを指定します。

ビット3	ビット2	説 明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

ビット1 : DTC 転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。

ビット1	説 明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

ビット0 : DTC データトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット0	説 明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

7.2.2 DTC モードレジスタ B (MRB)

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

ビット 7 : DTC チェイン転送イネーブル (CHNE)

チェイン転送を指定します。チェイン転送では、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因のフラグのクリアや DTCER のクリアは行いません。

ビット 7	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)

ビット 6 : DTC インタラプトセレクト (DISEL)

1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定します。

ビット 6	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを 0 にクリア)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを 0 にクリアしない)

ビット 5 ~ 0 : リザーブビット

本 LSI では、DTC の動作に影響を与えません。0 をライトしてください。

7.2.3 DTC ソースアドレスレジスタ (SAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	---	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

SARは24ビットのレジスタで、DTCの転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.4 DTC デスティネーションアドレスレジスタ (DAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	---	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

DARは24ビットのレジスタで、DTCの転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.5 DTC 転送カウントレジスタ A (CRA)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	← CRAH →								← CRAL →							

CRAは16ビットのレジスタで、DTCのデータ転送の転送回数を指定します。

ノーマルモードでは一括して、16ビットの転送カウンタ(1~65536)として機能します。1回のデータ転送を行うたびに、デクリメント(-1)され、カウンタ値がH'0000になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位8ビットのCRAHと下位8ビットのCRALに分割されます。CRAHは転送回数を保持し、CRALは8ビットの転送カウンタ(1~256)として機能します。CRALは、1回のデータ転送を行うたびに、デクリメント(-1)され、カウンタ値がH'00になると、CRAHの内容が転送されます。この動作を繰り返します。

7.2.6 DTC 転送カウントレジスタ B (CRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

7.2.7 DTC イネーブルレジスタ (DTCER)

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCER は、DTC によって起動される割込み要因ごとに対応した 8 ビットのリード/ライトが可能な 5 本のレジスタで、DTCERA ~ DTCERE があります。各割込み要因による DTC 起動の許可または禁止を制御します。

DTCER はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n : DTC 起動イネーブル (DTCE_n)

ビット n	説明
DTCE _n	
0	割込みによる DTC 起動を禁止 (初期値) [クリア条件] ・ DISEL ビットが 1 でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき
1	割込みによる DTC 起動を許可 [保持条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n = 7 ~ 0)

DTCE ビットは、DTC によって起動される各割込み要因ごとに設定できます。各割込み要因と DTCE ビットの対応、およびそのときに割込みコントローラが発生するベクタ番号について表 7.4 に示します。

DTCE ビットの設定は必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし初期設定に限り複数の起動要因を一度に設定するときには割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

7.2.8 DTC ベクタレジスタ (DTVECR)

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* SWDTE ビットは、1 ライトは常時可能ですが、0 ライトは 1 リード後にのみ可能となります。

DTVECR は、8 ビットのリード/ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7 : DTC ソフトウェア起動イネーブル (SWDTE)

DTC ソフトウェア起動の許可または禁止を設定します。

ソフトウェアで SWDTE ビットを 0 にクリアする場合には、SWDTE = 1 の状態をリード後、0 をライトしてください。

ビット 7	説明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) [クリア条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき
1	DTC ソフトウェア起動を許可 [保持条件] ・ DISEL ビットが 1 で、データ転送を終了したとき ・ 指定した回数の転送が終了したとき ・ ソフトウェア起動によるデータ転送中

7. データトランスファコントローラ (DTC)

ビット6~0 : DTC ソフトウェア起動ベクタ6~0 (DTVEC6~DTVEC0)

DTC ソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、 $H'0400 + ((\text{ベクタ番号}) \ll 1)$ となります。ここで $\ll 1$ は1ビットの左シフトを表します。例えば、 $DTVEC6 \sim DTVEC0 = H'10$ のとき、ベクタアドレスは $H'0420$ となります。

7.2.9 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP14ビットを1にセットすると、バスサイクルの終了時点でDTCは動作を停止してモジュールストップモードへ遷移します。ただし、DTCが起動中の場合、MSTP14ビットに1をライトすることはできません。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時に $H'3FFF$ に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット6 : モジュールストップ (MSTP14)

DTCのモジュールストップモードを指定します。

MSTPCRH ビット6	説明
MSTP14	
0	DTCのモジュールストップモード解除 (初期値)
1	DTCのモジュールストップモード設定

7.3 動作説明

7.3.1 概要

DTCは、レジスタ情報をメモリ上に格納しておき、起動要因が発生すると、レジスタ情報をリードし、このレジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャンネル数のデータ転送を行うことができます。また、CHNEビットを1にセットしておくことにより、1つの起動要因で複数の転送を行うことができます。

図7.2にDTCの動作フローチャートを示します。

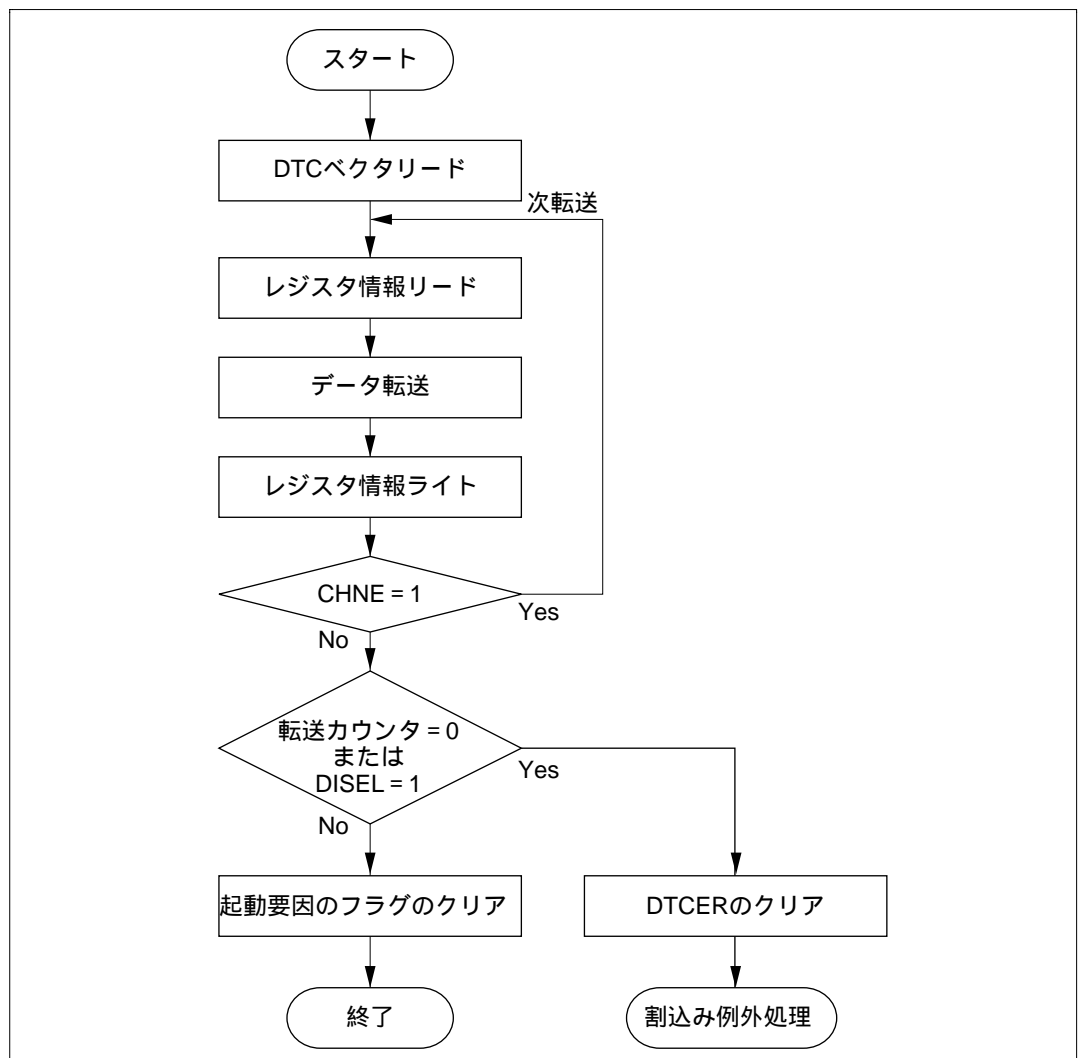


図7.2 DTC動作フローチャート

DTCの転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTCは、転送元アドレスを24ビット長のSAR、転送先アドレスを24ビット長のDARで指定します。SAR、DARは転送後、それぞれ独立にインクリメントまたはデクリメントあるいは固定とされます。

表7.2に、DTCの機能概要を示します。

表7.2 DTCの機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード ・1回の転送要求で1バイトまたは1ワードの転送を実行 ・メモリアドレスを1または2増減 ・転送回数は1~65536	・IRQ ・FRTのICI、OCI ・8ビットタイマのCMI ・ホストインタフェースのIBF	24ビット	24ビット
(2) リピートモード ・1回の転送要求で1バイトまたは1ワードの転送を実行 ・メモリアドレスを1または2増減 ・指定回数(1~256)転送後、初期状態を回復して動作を継続	・SCIのTXI、RXI ・A/D変換器のADI ・IICのIICI ・ソフトウェア		
(3) ブロック転送モード ・1回の転送要求で指定したブロックサイズの転送 ・ブロックサイズ1~256バイトまたはワード ・転送回数は1~65536 ・ソースまたはデスティネーションのいずれかをブロックエリアに指定可能			

7.3.2 起動要因

DTCは、割り込み要因、もしくはソフトウェアによるDTVECRへのライト動作(ソフトウェア起動)を起動要因として動作します。割り込み要因を、CPUに対する割り込み要求とするか、DTCの起動要因とするかは、割り込み要因ごとにDTCERの対応するビットで指定します。対応するビットを1にセットするとDTCの起動要因となり、0にクリアすると、CPUの割り込み要因となります。

1回のデータ転送(チェーン転送の場合、連続した最後の転送)終了時に、起動要因ま

たは DTCER の対応するビットをクリアします。表 7.3 に起動要因と DTCER のクリアを示します。

起動要因フラグは、例えば、RXI0 の場合、SCI0 の RDRF フラグになります。

表 7.3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア 起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> ・ SWDTE ビットは 1 を保持 ・ CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> ・ DTCER の対応するビットは 1 を保持 ・ 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> ・ DTCER の対応するビットは 0 にクリア ・ 起動要因フラグは 1 を保持 ・ 起動要因となった割り込みを CPU に要求

図 7.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

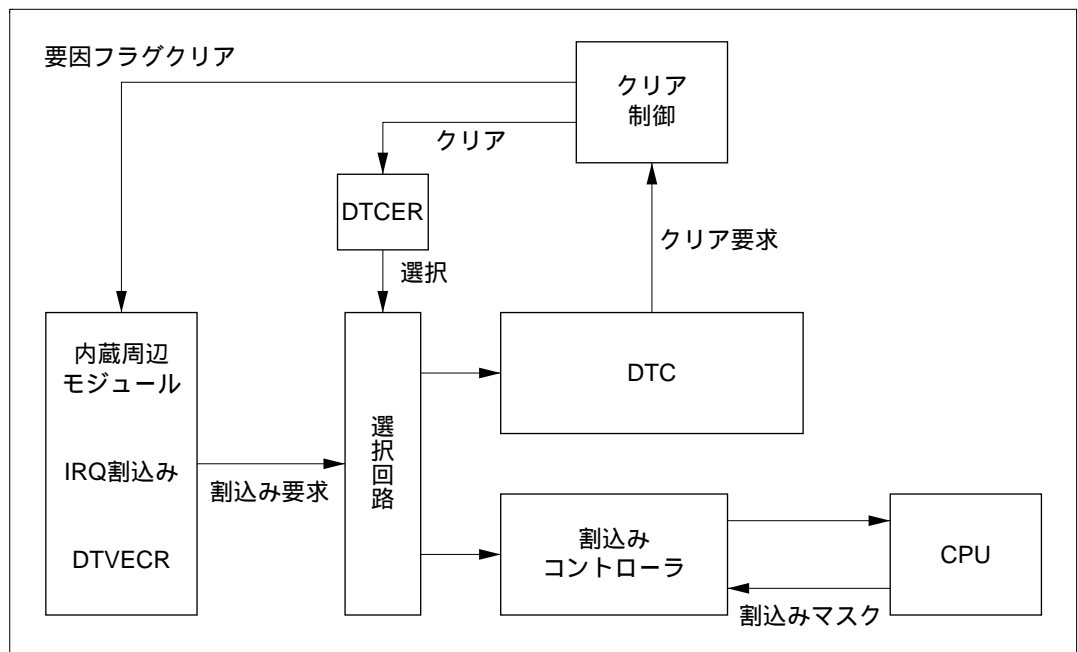


図 7.3 DTC 起動要因制御ブロック図

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの優先順位にしたがって受け付けられ、DTC が起動されます。

7.3.3 DTC ベクタテーブル

図 7.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 7.4 に、起動要因とベクタアドレスの対応および DTCER のビットとの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは $H'0400 + (DTVECR[6:0] \ll 1)$ で求めます ($\ll 1$ は 1 ビットの左シフトを表わします)。たとえば、DTVECR が $H'10$ のとき、ベクタアドレスは $H'0420$ となります。

起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、ノーマルモードとアドバンスモードとで同じです。共に 2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

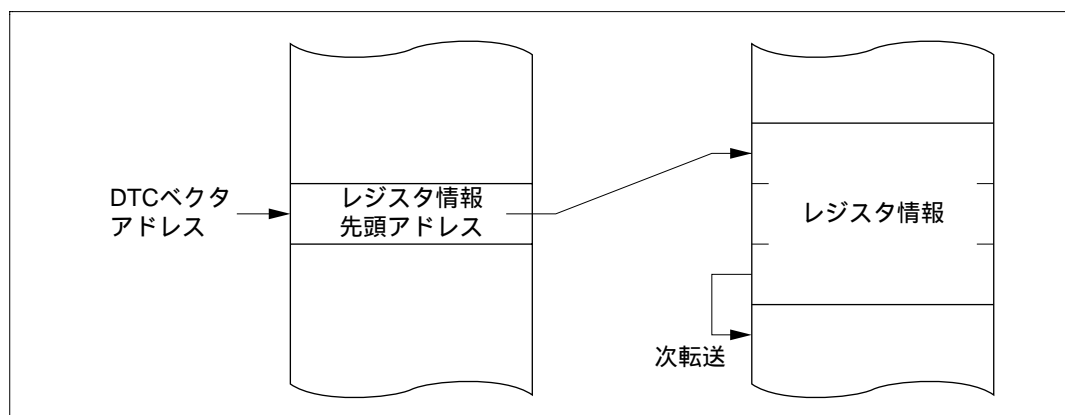


図 7.4 DTC ベクタアドレスとレジスタ情報との対応

表 7.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位
DTVECR へのライト	ソフトウェア	DTVECR (10進数表示)	H'0400 + (DTVECR [6:0] < 1)	-	高 ▲
IRQ0	外部端子	16	H'0420	DTCEA7	↑
IRQ1		17	H'0422	DTCEA6	
IRQ2		18	H'0424	DTCEA5	
IRQ3		19	H'0426	DTCEA4	
ADI (A/D 変換終了)	A/D	28	H'0438	DTCEA3	
ICIA (FRT インพุットキャプチャ A)	FRT	48	H'0460	DTCEA2	
ICIB (FRT インพุットキャプチャ B)		49	H'0462	DTCEA1	
OCIA (FRT アウトプットコンペア A)		52	H'0468	DTCEA0	
OCIB (FRT アウトプットコンペア B)		54	H'046A	DTCEB7	
CMIA0 (TMR0 コンペアマッチ A)	TMR0	64	H'0480	DTCEB2	
CMIB0 (TMR0 コンペアマッチ B)		65	H'0482	DTCEB1	
CMIA1 (TMR1 コンペアマッチ A)	TMR1	68	H'0488	DTCEB0	
CMIB1 (TMR1 コンペアマッチ B)		69	H'048A	DTCEC7	
CMIA Y (TMRY コンペアマッチ A)	TMRY	72	H'0490	DTCEC6	
CMIB Y (TMRY コンペアマッチ B)		73	H'0492	DTCEC5	
IBF1 (IDR1 受信完了)	HIF	76	H'0498	DTCEC4	
IBF2 (IDR2 受信完了)		77	H'049A	DTCEC3	
RXI0 (受信完了 0)	SCI	81	H'04A2	DTCEC2	
TXI0 (送信データエンプティ 0)	チャンネル 0	82	H'04A4	DTCEC1	
RXI1 (受信完了 1)	SCI	85	H'04AA	DTCEC0	
TXI1 (送信データエンプティ 1)		チャンネル 1	86	H'04AC	DTCED7
RXI2 (受信完了 2)	SCI	89	H'04B2	DTCED6	
TXI2 (送信データエンプティ 2)		チャンネル 2	90	H'04B4	DTCED5
IIC0 (IIC0 1 バイト送信 / 受信完了)	IIC0 【オプション】	92	H'04B8	DTCED4	
IIC1 (IIC1 1 バイト送信 / 受信完了)		IIC1 【オプション】	94	H'04BC	DTCED3
					低

【注】 * 対応する割り込みのない DTCE ビットは、リザーブビットとなります。0 をライトしてください。

7.3.4 アドレス空間上でのレジスタ情報の配置

図 7.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス (ベクタアドレスの内容) から、MRA、SAR、MRB、DAR、CRA、CRB の順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上 (アドレス : H'FFEC00 ~ H'FFEFF) に配置してください。

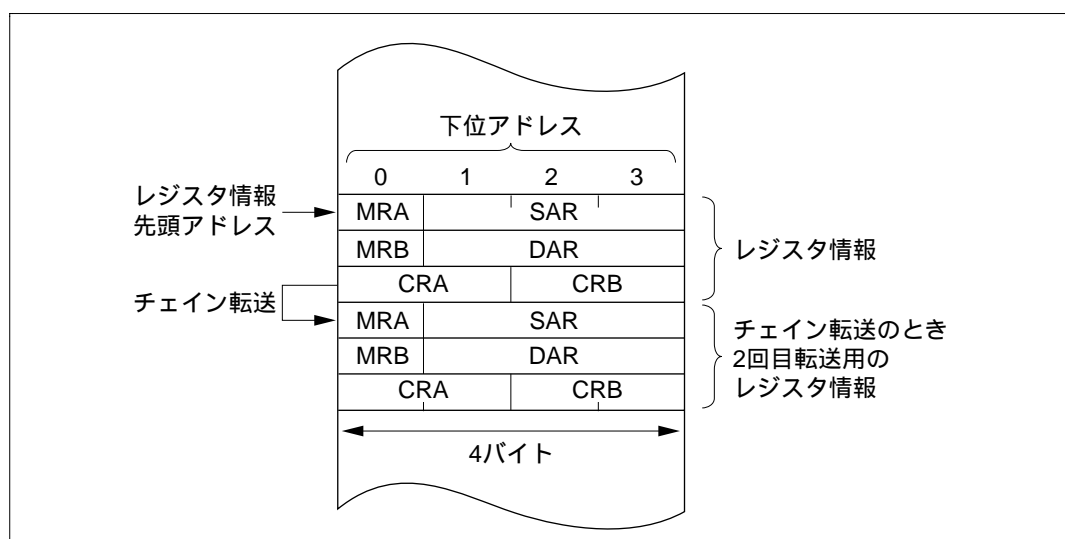


図 7.5 アドレス空間上での DTC レジスタ情報の配置

7.3.5 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割込みを要求することができます。

表7.5にノーマルモードのレジスタ機能を、図7.6にノーマルモードのメモリマップを示します。

表7.5 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTCソースアドレスレジスタ	SAR	転送元アドレス
DTCデスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC転送カウントレジスタA	CRA	転送カウント
DTC転送カウントレジスタB	CRB	使用しません

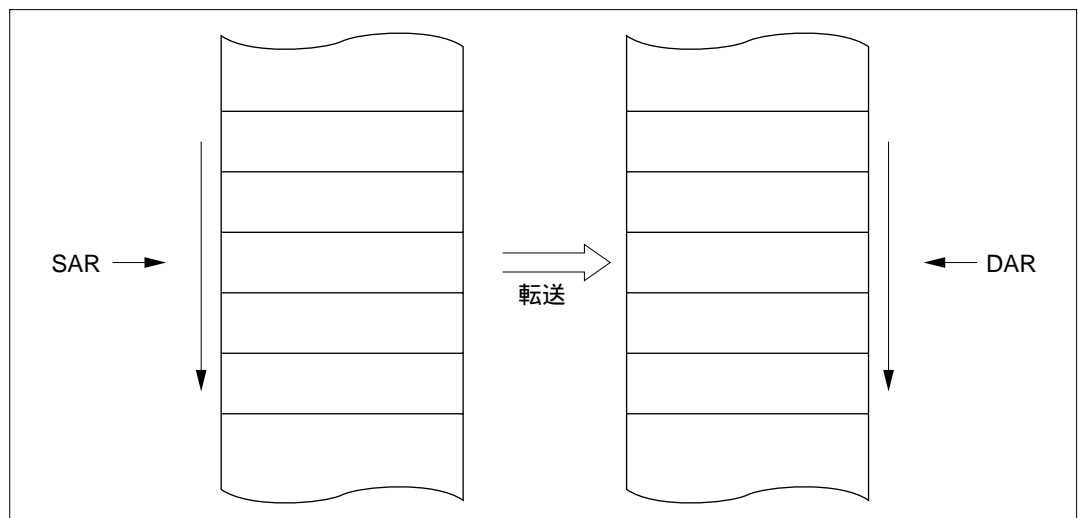


図7.6 ノーマルモードのメモリマップ

7.3.6 リpeatモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~256を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは転送カウンタがH'00になりませんので、DISEL=0の場合、CPUへの割込みは要求されません。

表7.6にリピートモードのレジスタ機能を、図7.7にリピートモードのメモリマップを示します。

表7.6 リpeatモードのレジスタ機能

名 称	略称	機 能
DTCソースアドレスレジスタ	SAR	転送元アドレス
DTCデスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC転送カウンタレジスタ AH	CRAH	転送回数保持
DTC転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC転送カウンタレジスタ B	CRB	使用しません

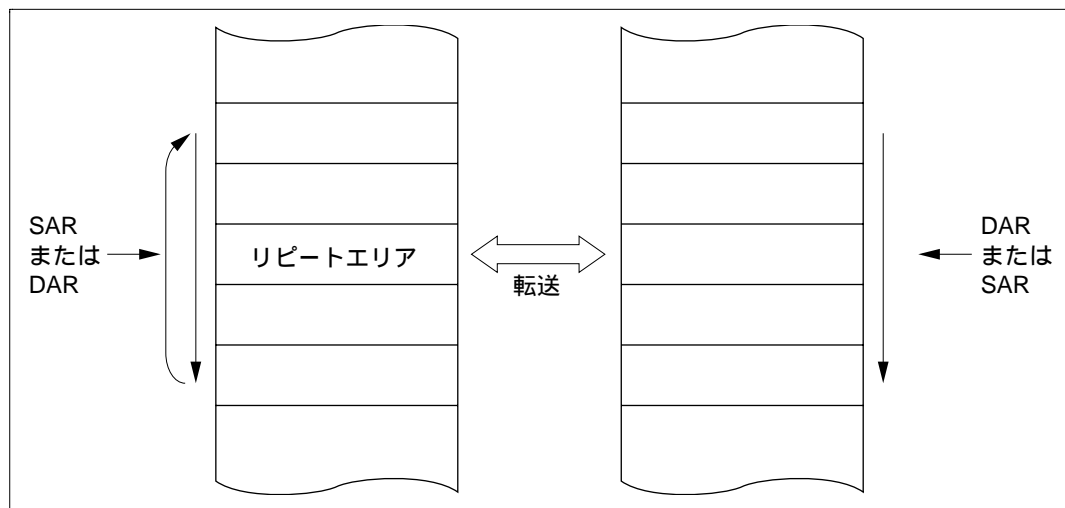


図7.7 リpeatモードのメモリマップ

7.3.7 ブロック転送モード

1 回の動作で、1 ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロックサイズは 1 ~ 256 です。1 ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは連続して、インクリメントまたはデクリメントあるいは固定とされます。

転送回数は 1 ~ 65536 です。指定回数のブロック転送が終了すると、CPU へ割込みを要求することができます。

表 7.7 にブロック転送モードのレジスタ機能を、図 7.8 にブロック転送モードのメモリマップを示します。

表 7.7 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

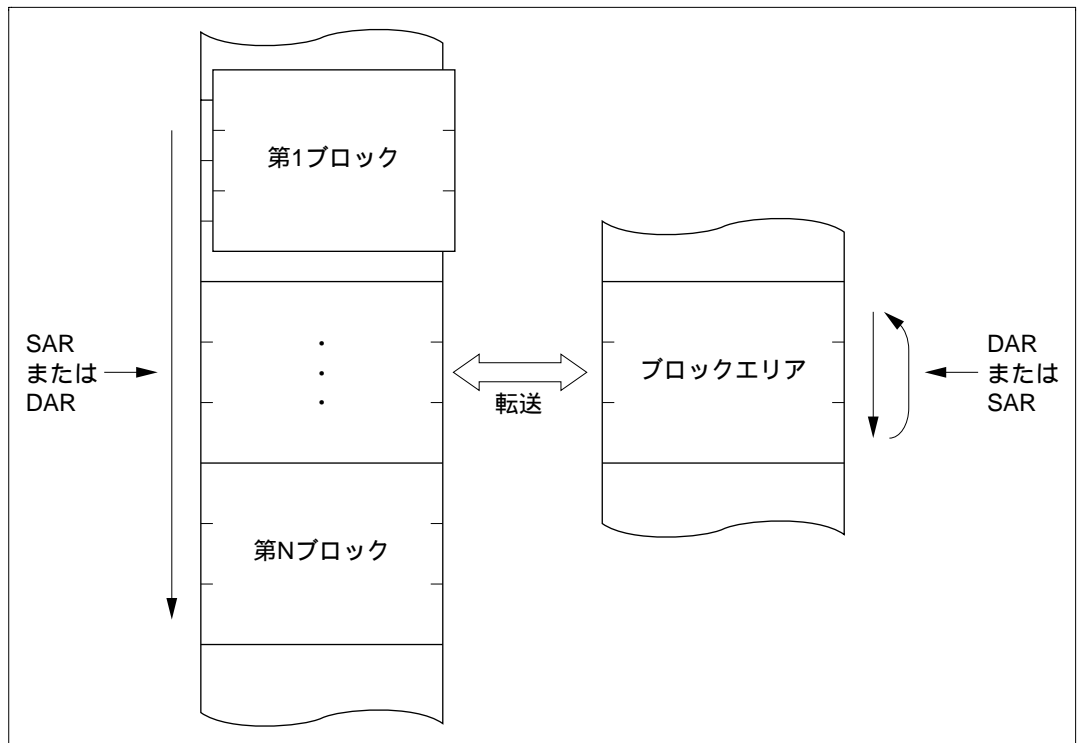


図 7.8 ブロック転送モードのメモリマップ

7.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 7.9 にチェイン転送のメモリマップを示します。

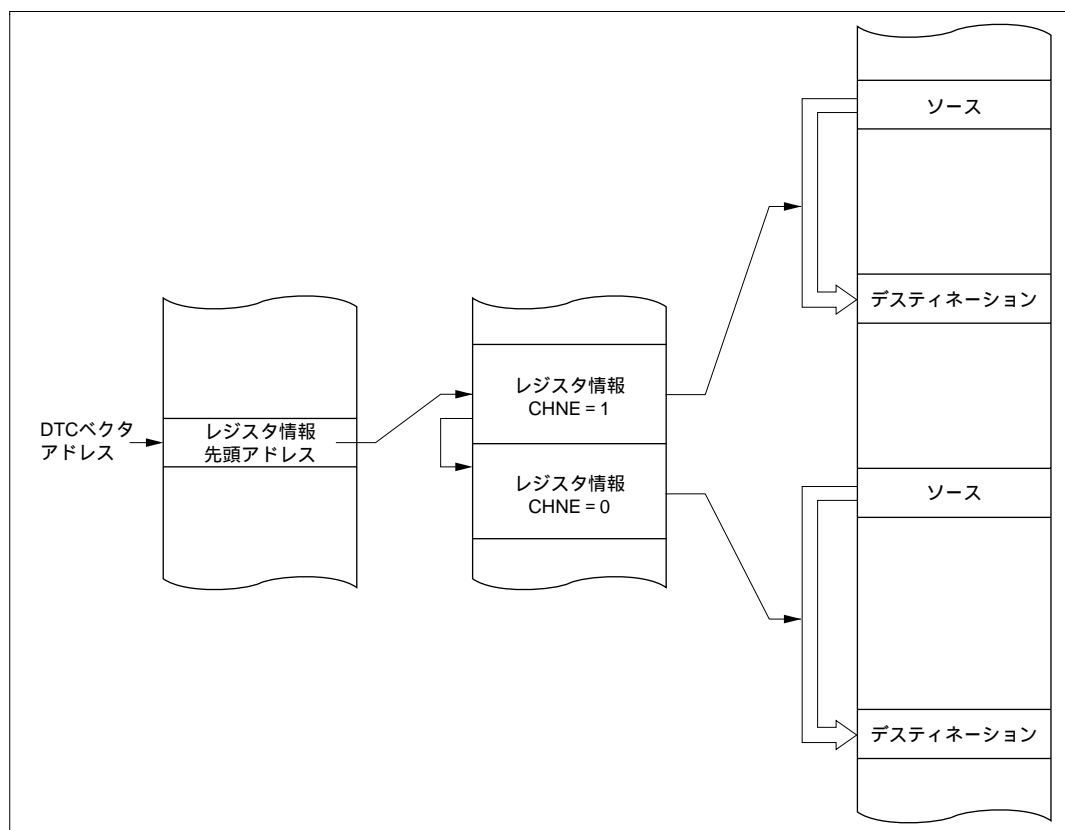


図 7.9 チェイン転送のメモリマップ

CHNE = 1 の転送において、指定した転送回数の終了による CPU への割込み要求や、DISEL = 1 による CPU への割込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割込み要因フラグに影響を与えません。

7.3.9 動作タイミング

図 7.10~図 7.12 に、DTC の動作タイミングの例を示します。

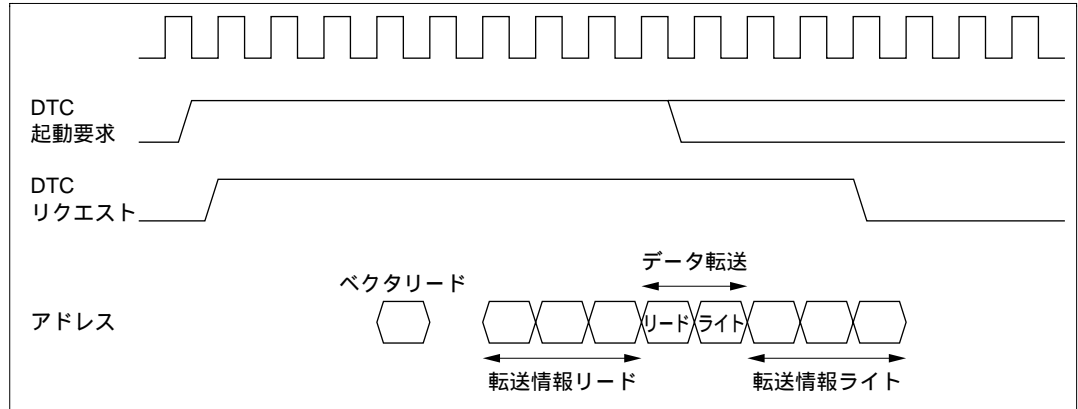


図 7.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

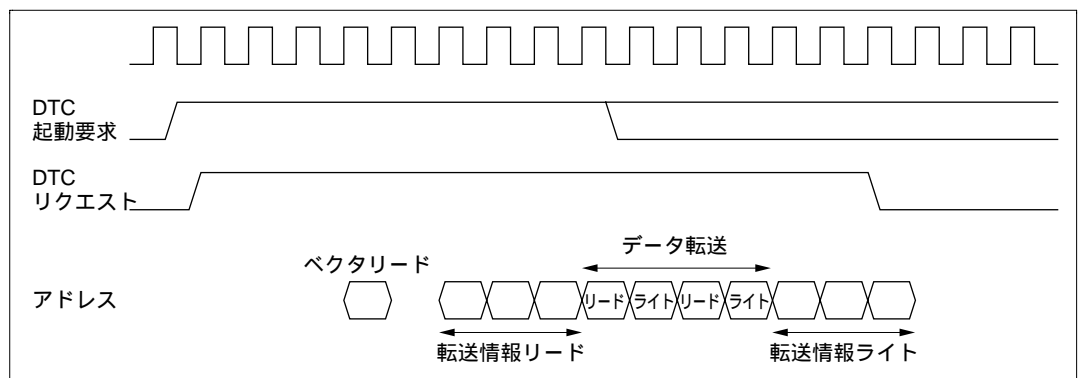


図 7.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2の例)

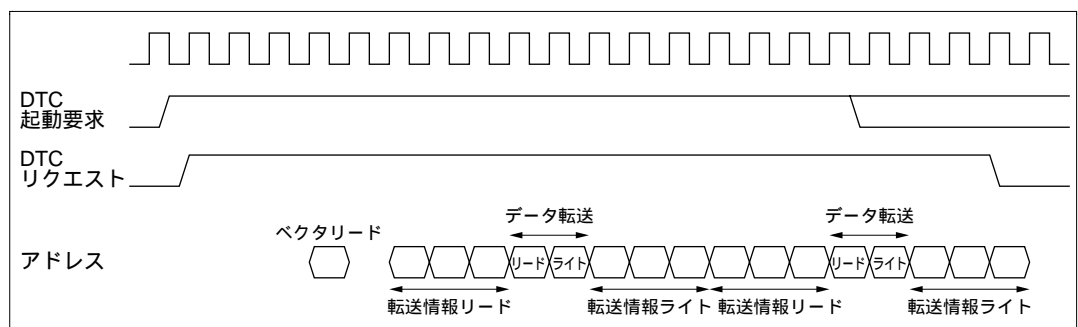


図 7.12 DTC の動作タイミング (チェーン転送の例)

7.3.10 DTC 実行ステート数

表 7.8 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 7.9 に、実行状態に必要なステート数を示します。

表 7.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報	データリード K	データライト L	内部動作 M
		リード/ライト J			
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N : ブロックサイズ (CRAH、CRAL の初期設定値)

表 7.9 実行状態に必要なステート数

アクセス対象	内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス				
			8	16	8		16		
アクセスステート	1	1	2	2	2	3	2	3	
実行 状態	ベクタリード S_I	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報 S_J	1	-	-	-	-	-	-	-
	リード/ライト								
	バイトデータリード S_K	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S_K	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S_L	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S_L	1	1	4	2	4	6+2m	2	3+m
内部動作 S_M			1						

実行ステート数は次の計算式で計算されます。なお、 S_I は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

例えば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

7.3.11 DTC 使用手順

(1) 割込みによる起動

DTC の割込み起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRB のレジスタ情報を内蔵 RAM 上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTC ベクタアドレスに設定します。
- [3] DTCER の対応するビットを 1 にセットします。
- [4] 起動要因となる割込み要因のイネーブルビットを 1 にセットします。
要因となる割込みが発生すると、DTC が起動されます。
- [5] 1 回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCE ビットが 0 にクリアされ、CPU に割込みが要求されます。引続き DTC によるデータ転送を行う場合には、DTCE を 1 にセットしてください。

(2) ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRB のレジスタ情報を内蔵 RAM 上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTC ベクタアドレスに設定します。
- [3] SWDTE = 0 を確認します。
- [4] SWDTE に 1 を、DTVECR にベクタ番号をライトします。
- [5] DTVECR にライトしたベクタ番号を確認します。
- [6] 1 回のデータ転送終了後、DISEL ビットが 0 で、CPU に割込みを要求しない場合、SWDTE ビットが 0 にクリアされます。引続き DTC によるデータ転送を行う場合には、SWDTE を 1 にセットしてください。DISEL ビットが 1 の場合または指定した回数のデータ転送終了後、SWDTE ビットは 1 に保持され、CPU に割込みが要求されます。

7.3.12 DTC 使用例

(1) ノーマルモード

DTCの使用例として、SCIによる128バイトのデータ受信を行う例を示します。

- [1] MRA はソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0)を設定します。DTS ビットは任意の値とすることができます。MRB は1回の割込みで1回のデータ転送 (CHNE=0、DISEL=0)を行います。SAR はSCI のRDR のアドレス、DAR はデータを格納するRAM の先頭アドレス、CRA は128 (H'0080)を設定します。CRB は任意の値とすることができます。
- [2] レジスタ情報の先頭アドレスを、DTC ベクタアドレスに設定します。
- [3] DTCER の対応するビットを1にセットします。
- [4] SCI を所定の受信モードに設定します。SCR のRIE ビットを1にセットし、受信完了 (RXI) 割込みを許可します。また、SCI の受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPU が受信エラー割込みを受け付けられるようにしてください。
- [5] SCI の1バイトのデータ受信が完了するごとに、SSR のRDRFフラグが1にセットされ、RXI 割込みが発生し、DTC が起動されます。DTC によって、受信データがRDR からRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRF フラグは自動的に0にクリアされます。
- [6] 128回のデータ転送終了後、CRA が0になると、RDRFフラグは1のまま保持され、DTCE ビットが0にクリアされ、CPU にRXI 割込みが要求されます。割込み処理ルーチンで終了処理を行ってください。

(2) ソフトウェア起動

DTCの使用例として、ソフトウェア起動による1ブロック128バイトのデータ転送を行う例を示します。転送元アドレスはH'1000、転送先アドレスはH'2000です。ベクタ番号はH'60、したがって、ベクタアドレスはH'04C0です。

- [1] MRA はソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0)を設定します。DTS ビットは任意の値とすることができます。MRB は1回の割込みで1回のブロック転送 (CHNE=0)を行います。SAR は転送元アドレスでH'1000、DAR は転送先アドレスでH'2000、CRA は128 (H'8080)を設定します。CRB は1 (H'0001)をセットします。
- [2] レジスタ情報の先頭アドレスを、DTC ベクタアドレス (H'04C0) に設定します。

- [3] DTVECR の SWDTE = 0 を確認します。現在、DTC がソフトウェア起動による転送を行っていないことの確認です。
- [4] SWDTE = 1 と共に、ベクタ番号 H'60 を DTVECR にライトします。ライトデータは HE0 です。
- [5] 再度 DTVECR を読み、ベクタ番号 H'60 が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表わします。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3] に戻ってください。
- [6] ライトが成功すると、DTC が起動され、128 バイト 1 ブロックの転送を行います。
- [7] 転送後、SWDTEND 割り込みが起動します。割り込み処理ルーチンで SWDTE ビットの 0 クリアなど、終了処理を行ってください。

7.4 割り込み

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

7.5 使用上の注意

(1) モジュールストップ

MSTPCR の MSTP14 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTP14 ビットに 1 をライトできません。

また、DTC をモジュールストップとする場合、必ず DTCER がすべてクリアされた状態で MSTP14 ビットを 1 にセットしてください。

(2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

(3) DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときは、割り込みを禁止して当該レジスタのダミーリードを行ってからライトすることができます。

8. I/O ポート

第8章 目次

8.1	概要	219
8.2	ポート1	227
	8.2.1 概要	227
	8.2.2 レジスタ構成	228
	8.2.3 モード別端子機能	230
	8.2.4 入力プルアップ MOS	231
8.3	ポート2	232
	8.3.1 概要	232
	8.3.2 レジスタ構成	233
	8.3.3 モード別端子機能	235
	8.3.4 入力プルアップ MOS	237
8.4	ポート3	238
	8.4.1 概要	238
	8.4.2 レジスタ構成	239
	8.4.3 モード別端子機能	241
	8.4.4 入力プルアップ MOS	242
8.5	ポート4	243
	8.5.1 概要	243
	8.5.2 レジスタ構成	243
	8.5.3 端子機能	244
8.6	ポート5	248
	8.6.1 概要	248
	8.6.2 レジスタ構成	248
	8.6.3 端子機能	250
8.7	ポート6	251
	8.7.1 概要	251
	8.7.2 レジスタ構成	252

	8.7.3	端子機能.....	254
	8.7.4	入力プルアップ MOS.....	257
8.8	ポート 7.....		258
	8.8.1	概要	258
	8.8.2	レジスタ構成	258
	8.8.3	端子機能.....	259
8.9	ポート 8.....		260
	8.9.1	概要	260
	8.9.2	レジスタ構成	260
	8.9.3	端子機能.....	261
8.10	ポート 9.....		264
	8.10.1	概要	264
	8.10.2	レジスタ構成	265
	8.10.3	端子機能.....	266
8.11	ポート A.....		269
	8.11.1	概要	269
	8.11.2	レジスタ構成	269
	8.11.3	端子機能.....	271
	8.11.4	入力プルアップ MOS.....	274
8.12	ポート B.....		275
	8.12.1	概要	275
	8.12.2	レジスタ構成	276
	8.12.3	端子機能.....	278
	8.12.4	入力プルアップ MOS.....	280

8.1 概要

本 LSI には、10 本の入出力ポート（ポート 1~6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を表 8.1、表 8.2 および表 8.3 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR、ODR）から構成されています。なお、入力専用ポートには DDR はありません。

ポート 1~3、6、A、B には、入力プルアップ MOS が内蔵されています。ポート A、B は DDR と ODR で、入力プルアップ MOS のオン/オフを制御し、ポート 1~3、6 は DDR、DR の他に、入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン/オフを制御します。

ポート 1~6、8、9、A、B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1、2、3 は LED を駆動する（シンク電流 10mA）ことができます。

また、ポート A の PA4~PA7 はバスバッファ駆動が可能です。なお、H8S/2148 シリーズ、H8S/2147N では、ポート 5 の P52、ポート 9 の P97 の出力形式は、NMOS プッシュプル出力となっています。

H8S/2144 シリーズ、H8S/2147N は、一部の周辺機能を内蔵しないサブセットの仕様になっていますので、ご注意ください。ピン機能の異同については、「表 8.1 H8S/2148 シリーズポート機能一覧」「表 8.2 H8S/2147N ポート機能一覧」および「表 8.3 H8S/2144 シリーズポート機能一覧」を参照してください。

表 8.1 H8S/2148 シリーズポートの機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード 1	モード 2、モード 3 (EXPE = 1)	モード 2、モード 3 (EXPE = 0)
ポート 1	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P17 ~ P10/ A7 ~ A0/ PW7 ~ PW0	アドレス出力端子 (A7 ~ A0)	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき アドレス出力端子 (A7 ~ A0) または PWM タイマ出力端子 (PW7 ~ PW0)	PWM タイマ出力端子 (PW7 ~ PW0) と入出力ポートの兼用
ポート 2	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P27/A15/PW15/ CBLANK P26/A14/PW14 P25/A13/PW13 P24/A12/PW12 P23/A11/PW11 P22/A10/PW10 P21/A9/PW9 P20/A8/PW8	アドレス出力端子 (A15 ~ A8)	DDR = 0 のとき (リセット後) 入力ポートまたは タイマ コネクションの出力端子 (CBLANK) DDR = 1 のとき アドレス出力端子 (A15 ~ A8)、PWM タイマ出力端子 (PW15 ~ PW8)、タイマ コネクションの出力端子 (CBLANK)、または出力ポート (P27 ~ P24)	PWM タイマ出力端子 (PW15 ~ PW8)、または タイマ コネクションの出力端子 (CBLANK) と入出力ポートの兼用
ポート 3	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P37 ~ P30/ HDB7 ~ HDB0/ D15 ~ D8	データバス入出力端子 (D15 ~ D8)		HIF データバス入出力端子 (HDB7 ~ HDB0) と入出力ポートの兼用
ポート 4	・ 8 ビットの入出力ポート	P47/PWX1 P46/PWX0 P45/TMRI1/HIRQ12/ CSYNCl P44/TMO1/HIRQ1/ HSYNCO P43/TMCI1/HIRQ11/ HSYNCl P42/TMRI0/SCK2/ SDA1 P41/TMO0/RxD2/ IrRxD P40/TMCI0/TxD2/ IrTxD	14 ビット PWM タイマの出力端子 (PWX1、PWX0)、 8 ビット タイマ 0、1 の入出力端子 (TMCI0、TMRI0、TMO0、TMCI1、TMRI1、TMO1)、 タイマ コネクションの入出力端子 (HSYNCO、CSYNCl、HSYNCl)、 SCI2 の入出力端子 (TxD2、RxD2、SCK2)、 IrDA インタフェースの入出力端子 (IrTxD、IrRxD)、 I ² C バスインタフェース 1 [オプション] の入出力端子 (SDA1) と入出力ポートの兼用	14 ビット PWM タイマの出力端子 (PWX1、PWX0)、 8 ビット タイマ 0、1 の入出力端子 (TMCI0、TMRI0、TMO0、TMCI1、TMRI1、TMO1)、 タイマ コネクションの入出力端子 (HSYNCO、CSYNCl、HSYNCl)、 HIF のホスト CPU 割込み要求出力端子 (HIRQ12、HIRQ1、HIRQ11)、 SCI2 の入出力端子 (TxD2、RxD2、SCK2)、 IrDA インタフェースの入出力端子 (IrTxD、IrRxD)、 I ² C バスインタフェース 1 [オプション] の入出力端子 (SDA1) と入出力ポートの兼用	
ポート 5	・ 3 ビットの入出力ポート	P52/SCK0/SCL0 P51/RxD0 P50/TxD0	SCI0 の入出力端子 (TxD0、RxD0、SCK0)、 I ² C バスインタフェース 0 [オプション] の入出力端子 (SCL0) と入出力ポートの兼用		

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2、モード3 (EXPE = 1)	モード2、モード3 (EXPE = 0)
ポート 6	・8ビットの入出力 ポート	P67/ $\overline{\text{IRQ7}}$ /TMOX/ KIN7/CIN7 P66/ $\overline{\text{IRQ6}}$ /FTOB/ $\overline{\text{KIN6}}$ /CIN6 P65/FTID/ $\overline{\text{KIN5}}$ / CIN5 P64/FTIC/ $\overline{\text{KIN4}}$ / CIN4/CLAMPO P63/FTIB/ $\overline{\text{KIN3}}$ / CIN3/VFBACKI P62/FTIA/TMIY/ KIN2/CIN2/ VSYNCl P61/FTOA/ $\overline{\text{KIN1}}$ / CIN1/VSYNCO P60/FTCl/TMIX/ KIN0/CIN0/ HFBACKI	外部割込み入力($\overline{\text{IRQ7}}$ 、 $\overline{\text{IRQ6}}$)、 FRTの入出力端子(FTCl、FTOA、FTIA、FTIB、FTIC、FTID、FTOB)、 8ビットタイマX、Yの入出力端子(TMOX、TMIX、TMIY)、 タイマコネクションの入出力端子(CLAMPO、VFBACKI、VSYNCl、 VSYNCO、HFBACKI)、 キーセンス割込み入力端子($\overline{\text{KIN7}}$ ~ $\overline{\text{KIN0}}$)、 拡張A/D入力端子(CIN7 ~ CIN0) と入出力ポートの兼用		
ポート 7	・8ビットの入力 ポート	P77/AN7/DA1 P76/AN6/DA0 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0	A/D変換器のアナログ入力(AN7 ~ AN0)、 D/A変換器のアナログ出力(DA1 ~ DA0) と入力ポートの兼用		
ポート 8	・7ビットの入出力 ポート	P86/ $\overline{\text{IRQ5}}$ /SCK1/ SCL1 P85/ $\overline{\text{IRQ4}}$ /Rx/D1 P84/ $\overline{\text{IRQ3}}$ /Tx/D1 P83 P82/HIFSD P81/ $\overline{\text{CS2}}$ /GA20 P80/HA0	外部割込み入力端子($\overline{\text{IRQ5}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$)、 SCI1の入出力端子(Tx/D1、Rx/D1、SCK1)、 I ² Cバスインタフェース1【オプション】の入出力 端子(SCL1) と入出力ポートの兼用		外部割込み入力端子 ($\overline{\text{IRQ5}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$)、SCI1 の入出力端子(Tx/D1、 Rx/D1、SCK1)、HIFの制 御入出力端子($\overline{\text{CS2}}$ 、 GA20、HA0、HIFSD)、 I ² Cバスインタフェース1 【オプション】の入出力端子 (SCL1) と入出力ポートの兼用
ポート 9	・8ビットの入出力 ポート	P97/WAIT/SDA0	拡張データバス制御入力端子(WAIT)、 I ² Cバスインタフェース0【オプション】の入出力 端子(SDA0) と入出力ポートの兼用		I ² Cバスインタフェース0 【オプション】の入出力端子 (SDA0)と 入出力ポートの兼用
		P96/ /EXCL	DDR = 0のとき 入力ポートまたは EXCL入力端子 DDR = 1のとき (リセット後) 出力端子	DDR = 0のとき (リセット後) 入力ポートまたはEXCL入力端子の兼用 DDR = 1のとき 出力端子	
		P95/AS/ $\overline{\text{IOS}}$ / $\overline{\text{CS1}}$ P94/HWR / $\overline{\text{IOW}}$ P93/ $\overline{\text{RD}}$ / $\overline{\text{IOR}}$	拡張データバス制御出力端子 (AS/ $\overline{\text{IOS}}$ 、HWR、RD)		HIFの制御入力端子 ($\overline{\text{CS1}}$ 、 $\overline{\text{IOW}}$ 、 $\overline{\text{IOR}}$) と入出力ポートの兼用
		P92/ $\overline{\text{IRQ0}}$ P91/ $\overline{\text{IRQ1}}$	外部割込み入力端子 ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$) と入出力ポートの兼用		
		P90/ $\overline{\text{LWR}}$ / $\overline{\text{IRQ2}}$ / ADTRG/ $\overline{\text{ECS2}}$	拡張データバス制御出力端子(LWR)、 外部割込み入力端子($\overline{\text{IRQ2}}$)、 A/D変換器の外部トリガ入力端子(ADTRG)、 と入出力ポートの兼用		外部割込み入力端子 ($\overline{\text{IRQ2}}$)、A/D変換器の外部 トリガ入力端子 (ADTRG)、HIFの制御入力 端子($\overline{\text{ECS2}}$)と 入出力ポートの兼用

8. I/O ポート

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2、モード3 (EXPE = 1)	モード2、モード3 (EXPE = 0)
ポート A	・8ビットの入出力 ポート	PA7/A23/ $\overline{\text{KIN15}}$ / CIN15/ PS2CD PA6/A22/ $\overline{\text{KIN14}}$ / CIN14/ PS2CC PA5/A21/ $\overline{\text{KIN13}}$ / CIN13/ PS2BD PA4/A20/ $\overline{\text{KIN12}}$ / CIN12/ PS2BC PA3/A19/ $\overline{\text{KIN11}}$ / CIN11/ PS2AD PA2/A18/ $\overline{\text{KIN10}}$ / CIN10/ PS2AC PA1/A17/ $\overline{\text{KIN9}}$ /CIN9 PA0/A16/ $\overline{\text{KIN8}}$ /CIN8	キーセンス割込み 入力端子($\overline{\text{KIN15}}$ ~ $\overline{\text{KIN8}}$)、拡張 A/D 入力端子(CIN15 ~ CIN8)、 キーボードバッフ ァコントローラ入 出力端子 (PS2CD,PS2CC, PS2BD,PS2BC,P S2AD,PS2AC) と入出力ポートの 兼用	アドレス出力端子(A23 ~ A16)、 キーセンス割込み入力端 子($\overline{\text{KIN15}}$ ~ $\overline{\text{KIN8}}$)、 拡張 A/D 入力端子(CIN15 ~ CIN8)、 キーボードバッファコン トローラ入出力端子 (PS2CD,PS2CC,PS2BD, PS2BC,PS2AD,PS2AC) と入出力ポートの兼用	キーセンス割込み入力端 子($\overline{\text{KIN15}}$ ~ $\overline{\text{KIN8}}$)、 拡張 A/D 入力端子(CIN15 ~ CIN8)、 キーボードバッファコン トローラ入出力端子 (PS2CD,PS2CC,PS2BD, PS2BC,PS2AD,PS2AC) と入出力ポートの兼用
ポート B	・8ビットの入出力 ポート	PB7/D7 PB6/D6 PB5/D5 PB4/D4 PB3/D3/ $\overline{\text{CS4}}$ PB2/D2/ $\overline{\text{CS3}}$ PB1/D1/HIRQ4 PB0/D0/HIRQ3	8ビットバスモード(ABW=1)のとき 入出力ポート 16ビットバスモード(ABW=0)のとき データバス入出力端子(D7 ~ D0)		HIFの制御入出力端子 ($\overline{\text{CS3}}$ 、 $\overline{\text{CS4}}$ 、HIRQ3、 HIRQ4)と 入出力ポートの兼用

表 8.2 H8S/2147N ポートの機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード 1	モード 2、モード 3 (EXPE = 1)	モード 2、モード 3 (EXPE = 0)
ポート 1	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P17 ~ P10/ A7 ~ A0/ PW7 ~ PW0	アドレス出力端子 (A7 ~ A0)	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき アドレス出力端子 (A7 ~ A0) または PWM タイマ出力端子 (PW7 ~ PW0)	PWM タイマ出力端子 (PW7 ~ PW0) と入出力ポートの兼用
ポート 2	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P27/A15/PW15 P26/A14/PW14 P25/A13/PW13 P24/A12/PW12 P23/A11/PW11 P22/A10/PW10 P21/A9/PW9 P20/A8/PW8	アドレス出力端子 (A15 ~ A8)	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき アドレス出力端子 (A15 ~ A8)、PWM タイマ出力端子 (PW15 ~ PW8)、または出力ポート (P27 ~ P24)	PWM タイマ出力端子 (PW15 ~ PW8) と入出力ポートの兼用
ポート 3	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P37 ~ P30/ HDB7 ~ HDB0/ D15 ~ D8	データバス入出力端子 (D15 ~ D8)		HIF データバス入出力端子 (HDB7 ~ HDB0) と入出力ポートの兼用
ポート 4	・ 8 ビットの入出力ポート	P47/PWX1 P46/PWX0 P45/TMR11/HIRQ12 P44/TMO1/HIRQ1 P43/TMC11/HIRQ11 P42/TMRI0/SCK2/ SDA1 P41/TMO0/RxD2/ IrRxD P40/TMC10/TxD2/ IrTxD	14 ビット PWM タイマの出力端子 (PWX1、PWX0)、 8 ビットタイマ 0、1 の入出力端子 (TMC10、TMRI0、TMO0、TMC11、TMR11、TMO1)、 SCI2 の入出力端子 (TxD2、RxD2、SCK2)、 IrDA インタフェースの入出力端子 (IrTxD、IrRxD)、 I ² C バスインタフェース 1【オプション】の入出力端子 (SDA1) と入出力ポートの兼用		14 ビット PWM タイマの出力端子 (PWX1、PWX0)、8 ビットタイマ 0、1 の入出力端子 (TMC10、TMRI0、TMO0、TMC11、TMR11、TMO1)、 HIF のホスト CPU 割込み要求出力端子 (HIRQ12、HIRQ11)、 SCI2 の入出力端子 (TxD2、RxD2、SCK2)、 IrDA インタフェースの入出力端子 (IrTxD、IrRxD)、 I ² C バスインタフェース 1【オプション】の入出力端子 (SDA1) と入出力ポートの兼用
ポート 5	・ 3 ビットの入出力ポート	P52/SCK0/SCL0 P51/RxD0 P50/TxD0	SCI0 の入出力端子 (TxD0、RxD0、SCK0)、 I ² C バスインタフェース 0【オプション】の入出力端子 (SCL0) と入出力ポートの兼用		
ポート 6	・ 8 ビットの入出力ポート	P67/IRQ7/KIN7/CIN7 P66/IRQ6/FTOB/ KIN6/CIN6 P65/FTID/KIN5/ CIN5 P64/FTIC/KIN4/CIN4 P63/FTIB/KIN3/CIN3 P62/FTIA/TMIY/ KIN2/CIN2 P61/FTOA/KIN1/CIN1 P60/FTCI/KIN0/CIN0	外部割込み入力 (IRQ7、IRQ6)、 FRT の入出力端子 (FTCI、FTOA、FTIA、FTIB、FTIC、FTID、FTOB)、 8 ビットタイマ Y の入力端子 (TMIY)、 キーセンス割込み入力端子 (KIN7 ~ KIN0)、 拡張 A/D 入力端子 (CIN7 ~ CIN0) と入出力ポートの兼用		
ポート 7	・ 8 ビットの入出力ポート	P77/AN7/DA1 P76/AN6/DA0 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0	A/D 変換器のアナログ入力 (AN7 ~ AN0)、 D/A 変換器のアナログ出力 (DA1 ~ DA0) と入力ポートの兼用		

8. I/O ポート

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2、モード3 (EXPE = 1)	モード2、モード3 (EXPE = 0)
ポート 8	・7ビットの入出力 ポート	P86/IRQ5/SCK1/ SCL1 P85/IRQ4/RxD1 P84/IRQ3/TxD1 P83 P82/HIFSD P81/CS2/GA20 P80/HA0	外部割込み入力端子(IRQ5、IRQ4、IRQ3)、 SC11の入出力端子(TxD1、RxD1、SCK1)、 I ² C バスインタフェース1【オプション】の入出力 端子(SCL1) と入出力ポートの兼用		外部割込み入力端子 (IRQ5、IRQ4、IRQ3)、SC11 の入出力端子(TxD1、 RxD1、SCK1)、HIFの制 御入出力端子(CS2、 GA20、HA0、HIFSD)、 I ² C バスインタフェース1 【オプション】の入出力端子 (SCL1) と入出力ポートの兼用
ポート 9	・8ビットの入出力 ポート	P97/WAIT/SDA0	拡張データバス制御入力端子(WAIT)、 I ² C バスインタフェース0【オプション】の入出力 端子(SDA0) と入出力ポートの兼用		I ² C バスインタフェース0 【オプション】の入出力端子 (SDA0)と 入出力ポートの兼用
		P96/ /EXCL	DDR = 0 のとき 入力ポートまたは EXCL入力端子 DDR = 1 のとき (リセット後) 出力端子	DDR = 0 のとき (リセット後) 入力ポートまたはEXCL入力端子の兼用 DDR = 1 のとき 出力端子	
		P95/AS/IOS/CS1 P94/HWR/IOW P93/RD/IOR	拡張データバス制御出力端子 (AS/IOS、HWR、RD)		HIFの制御入力端子 (CS1、IOW、IOR) と入出力ポートの兼用
		P92/IRQ0 P91/IRQ1	外部割込み入力端子 (IRQ0、IRQ1) と入出力ポートの兼用		
		P90/LWR/IRQ2/ ADTRG/ECS2	拡張データバス制御出力端子(LWR)、 外部割込み入力端子(IRQ2)、 A/D変換器の外部トリガ入力端子(ADTRG)、 と入出力ポートの兼用	外部割込み入力端子 (IRQ2)、A/D変換器の外部 トリガ入力端子 (ADTRG)、HIFの制御入力 端子(ECS2)と 入出力ポートの兼用	
ポート A	・8ビットの入出力 ポート	PA7/A23/KIN15/ CIN15/ PS2CD PA6/A22/KIN14/ CIN14/ PS2CC PA5/A21/KIN13/ CIN13/ PS2BD PA4/A20/KIN12/ CIN12/ PS2BC PA3/A19/KIN11/ CIN11/ PS2AD PA2/A18/KIN10/ CIN10/ PS2AC PA1/A17/KIN9/CIN9 PA0/A16/KIN8/CIN8	キーセンズ割込み 入力端子(KIN15 ~ KIN8)、拡張 A/D 入力端子(CIN15 ~ CIN8)、 キーボードバッフ ァントローラ入 出力端子 (PS2CD,PS2CC, PS2BD,PS2BC,P S2AD,PS2AC) と入出力ポートの 兼用	アドレス出力端子(A23 ~ A16)、 キーセンズ割込み入力端 子(KIN15 ~ KIN8)、 拡張 A/D 入力端子(CIN15 ~ CIN8)、 キーボードバッファコン トローラ入出力端子 (PS2CD,PS2CC,PS2BD, PS2BC,PS2AD,PS2AC) と入出力ポートの兼用	キーセンズ割込み入力端 子(KIN15 ~ KIN8)、 拡張 A/D 入力端子(CIN15 ~ CIN8)、 キーボードバッファコン トローラ入出力端子 (PS2CD,PS2CC,PS2BD, PS2BC,PS2AD,PS2AC) と入出力ポートの兼用
ポート B	・8ビットの入出力 ポート	PB7/D7 PB6/D6 PB5/D5 PB4/D4 PB3/D3/CS4 PB2/D2/CS3 PB1/D1/HIRQ4 PB0/D0/HIRQ3	8ビットバスモード(ABW=1)のとき 入出力ポート 16ビットバスモード(ABW=0)のとき データバス入出力端子(D7~D0)		HIFの制御入出力端子 (CS3、CS4、HIRQ3、 HIRQ4)と 入出力ポートの兼用

表 8.3 H8S/2144 シリーズポートの機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2、モード3 (EXPE=1)	モード2、モード3 (EXPE=0)
ポート 1	・8ビットの入出力 ポート ・入力プルアップ MOS内蔵 ・LED 駆動可能	P17 ~ P10/ A7 ~ A0	アドレス出力端子 (A7 ~ A0)	DDR=0のとき (リセット後) 入力ポート DDR=1のとき アドレス出力端子(A7 ~ A0)	入出力ポート
ポート 2	・8ビットの入出力 ポート ・入力プルアップ MOS内蔵 ・LED 駆動可能	P27 ~ P20/ A15 ~ A8	アドレス出力端子 (A15 ~ A8)	DDR=0のとき (リセット後) 入力ポート DDR=1のとき アドレス出力端子(A15 ~ A8)、または出力ポート (P27 ~ P24)	入出力ポート
ポート 3	・8ビットの入出力 ポート ・入力プルアップ MOS内蔵 ・LED 駆動可能	P37 ~ P30/ D15 ~ D8	データバス入出力端子 (D15 ~ D8)		入出力ポート
ポート 4	・8ビットの入出力 ポート	P47/PWX1 P46/PWX0 P45/TMR11 P44/TMO1 P43/TMC11 P42/TMR10/SCK2 P41/TMO0/RxD2/ IrRxD P40/TMC10/TxD2/ IrTxD	14ビットPWMタイマの出力端子(PWX1、PWX0)、 8ビットタイマ0、1の入出力端子(TMC10、TMR10、TMO0、TMC11、 TMR11、TMO1)、 SCI2の入出力端子(TxD2、RxD2、SCK2)、 IrDAインタフェースの入出力端子(IrTxD、IrRxD) と入出力ポートの兼用		
ポート 5	・3ビットの入出力 ポート	P52/SCK0 P51/RxD0 P50/TxD0	SCI0の入出力端子(TxD0、RxD0、SCK0) と入出力ポートの兼用		
ポート 6	・8ビットの入出力 ポート	P67/IRQ7/KIN7/CIN7 P66/IRQ6/FTOB/ KIN6/CIN6 P65/FTID/KIN5/CIN5 P64/FTIC/KIN4/CIN4 P63/FTIB/KIN3/CIN3 P62/FTIA/TMIY/ KIN2/CIN2 P61/FTOA/KIN1/ CIN1 P60/FTCI/KIN0/CIN0	外部割込み入力端子 (IRQ7、IRQ6)、 FRTの入出力端子(FTCI、FTOA、FTIA、FTIB、FTIC、FTID、FTOB)、 8ビットタイマYの入力端子 (TMIY)、 ケース割込み入力端子 (KIN7 ~ KIN0)、 拡張A/D入力端子 (CIN7 ~ CIN0) と入出力ポートの兼用		
ポート 7	・8ビットの入力 ポート	P77/AN7/DA1 P76/AN6/DA0 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0	A/D変換器のアナログ入力 (AN7 ~ AN0)、 D/A変換器のアナログ出力 (DA1、DA0) と入力ポートの兼用		
ポート 8	・7ビットの入出力 ポート	P86/IRQ5/SCK1 P85/IRQ4/RxD1 P84/IRQ3/TxD1 P83 P82 P81 P80	外部割込み入力端子(IRQ5、IRQ4、IRQ3)、SCI1の入出力端子 (TxD1、RxD1、SCK1)と入出力ポートの兼用		

8. I/O ポート

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2、モード3 (EXPE=1)	モード2、モード3 (EXPE=0)
ポート 9	・8ビットの入出力 ポート	P97/WAIT	拡張データバス制御入力端子(WAIT) と入出力ポートの兼用		入出力ポート
		P96/EXCL	DDR=0のとき 入力ポートまたは EXCL入力端子 DDR=1のとき (リセット後) 出力端子	DDR=0のとき (リセット後) 入力ポートまたはEXCL入力端子の兼用 DDR=1のとき 出力端子	
		P95/AS/IOS P94/HWR P93/RD	拡張データバス制御出力端子 (AS/IOS、HWR、RD)		入出力ポート
		P92/IRQ0 P91/IRQ1	外部割込み入力端子 (IRQ0、IRQ1)と入出力ポートの兼用		
		P90/LWR/IRQ2/ ADTRG	拡張データバス制御出力端子(LWR)、 外部割込み入力端子 (IRQ2)、 A/D変換器の外部トリガ入力端子(ADTRG) と入出力ポートの兼用	外部割込み入力端子 (IRQ2)、A/D変換器の外部 トリガ入力端子(ADTRG) と入出力ポートの兼用	
ポート A	・8ビットの入出力 ポート	PA7~PA0/ A23~A16/ KIN15~KIN8/ CIN15~CIN8	キーセンス割込み 入力端子(KIN15 ~KIN8)、拡張A/D 入力端子(CIN15 ~CIN8)と入出力 ポートの兼用	アドレス出力端子(A23~ A16)、キーセンス割込み 入力端子(KIN15~ KIN8)、 拡張A/D入力端子(CIN15 ~CIN8) と入出力ポートの兼用	キーセンス割込み入力端 子(KIN15~KIN8)、 拡張A/D入力端子(CIN15 ~CIN8) と入出力ポートの兼用
ポート B	・8ビットの入出力 ポート	PB7~PB0/D7~D0	8ビットバスモード(ABW=1)のとき 入出力ポート 16ビットバスモード(ABW=0)のとき データバス入出力端子(D7~D0)		入出力ポート

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、アドレスバス出力機能、8 ビット PWM の出力端子 (PW7 ~ PW0) 【H8S/2148 シリーズ、H8S/2147N のみ】と兼用になっており、動作モードによって端子機能が切り替わります。

ポート 1 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート 1 の各端子の構成を図 8.1 に示します。

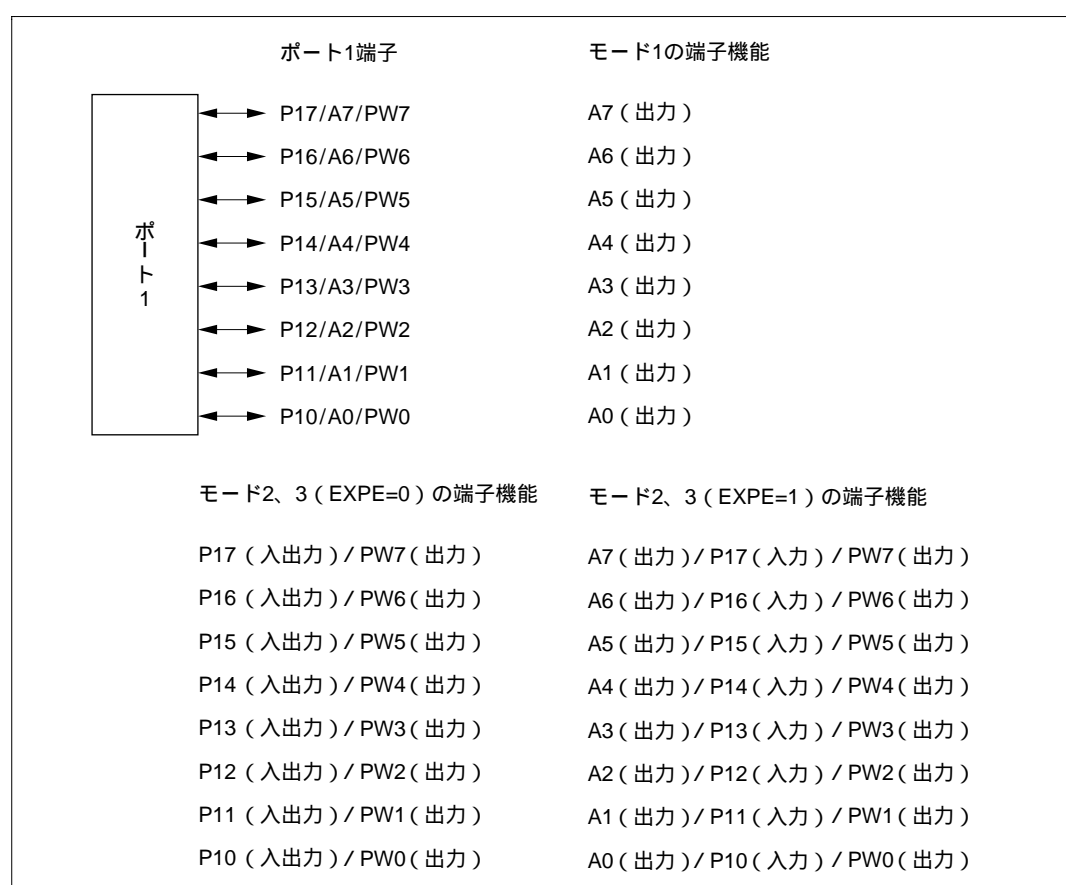


図 8.1 ポート 1 の端子機能

8.2.2 レジスタ構成

表 8.4 にポート 1 のレジスタ構成を示します。

表 8.4 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート 1 データ ディレクションレジスタ	P1DDR	W	H'00	H'FFB0
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FFB2
ポート 1 プルアップ MOS コントロールレジスタ	P1PCR	R/W	H'00	H'FFAC

【注】 *1 アドレスの下位 16 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。ソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持します。

(a) モード 1

P1DDR の設定値にかかわらず、対応するポート 1 の各端子はアドレス出力となります。ハードウェアスタンバイモード時は、アドレス出力はハイインピーダンス状態となります。

(b) モード2、3 (EXPE = 1)

P1DDR を1にセットすると対応するポート1の各端子はアドレス出力またはPWM出力となり、0にクリアすると入力ポートになります。

(c) モード2、3 (EXPE = 0)

P1DDR を1にセットすると対応するポート1の各端子は出力ポートまたはPWM出力となり、0にクリアすると入力ポートになります。

(2) ポート1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DRは、8ビットのリード/ライト可能なレジスタで、ポート1の各端子 (P17~P10) の出力データを格納します。P1DDR が1のときポート1のリードを行うと、P1DRの値を直接リードします。そのため端子の状態の影響を受けません。P1DDR が0のときポート1のリードを行うと、端子の状態が読み出されます。

P1DRは、リセットまたはハードウェアスタンバイモードではH'00に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート1 プルアップ MOS コントロールレジスタ (P1PCR)

ビット :	7	6	5	4	3	2	1	0
	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1PCRは、8ビットのリード/ライト可能なレジスタで、ポート1に内蔵された入力プルアップMOSをビットごとに制御します。

モード2、3では、P1DDRを0にクリアした (入力ポート) 状態で、P1PCRを1にセットすると、入力プルアップMOSはオンします。

P1PCRは、リセットまたはハードウェアスタンバイモードではH'00に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.2.3 モード別端子機能

(1) モード 1

モード 1 のとき、ポート 1 は自動的にアドレス出力になります。
 ポート 1 の端子機能を図 8.2 に示します。

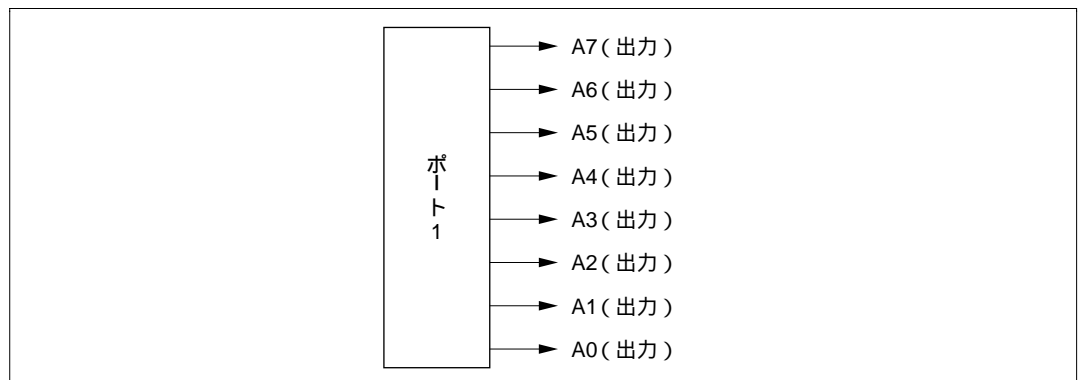


図 8.2 ポート 1 の端子機能 (モード 1)

(2) モード 2、3 (EXPE = 1)

モード 2、3 (EXPE = 1) のとき、ポート 1 はアドレス出力、PWM 出力または入力ポートとして機能し、ビット単位で入出力を指定可能です。P1DDR の各ビットを 1 にセットすると対応する端子はアドレス出力または PWM 出力になり、0 にクリアすると入力ポートになります。

ポート 1 の端子機能を図 8.3 に示します。

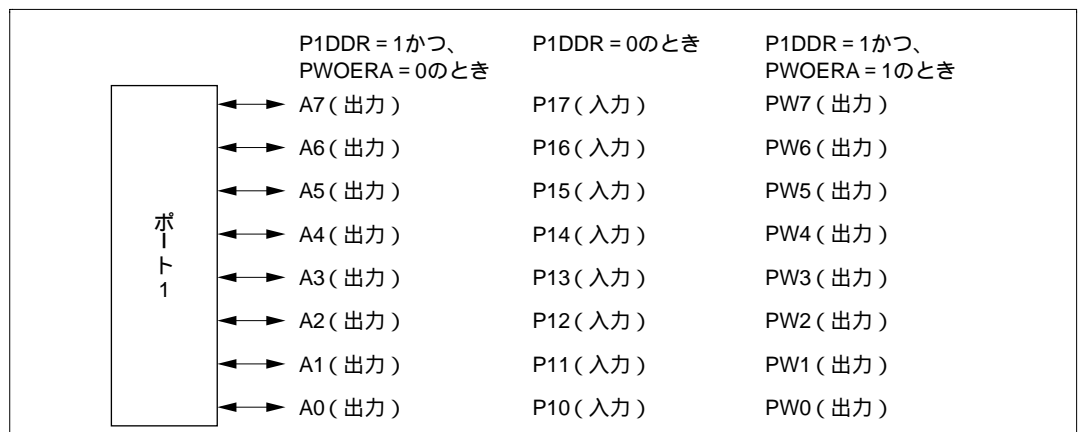


図 8.3 ポート 1 の端子機能 (モード 2、3 (EXPE = 1))

(3) モード 2、3 (EXPE = 0)

モード 2、3 (EXPE = 0) のとき、ポート 1 は PWM 出力または入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。P1DDR の各ビットを 1 にセットすると対応する端子は PWM 出力または出力ポートになり、0 にクリアすると入力ポートになります。

ポート 1 の端子機能を図 8.4 に示します。

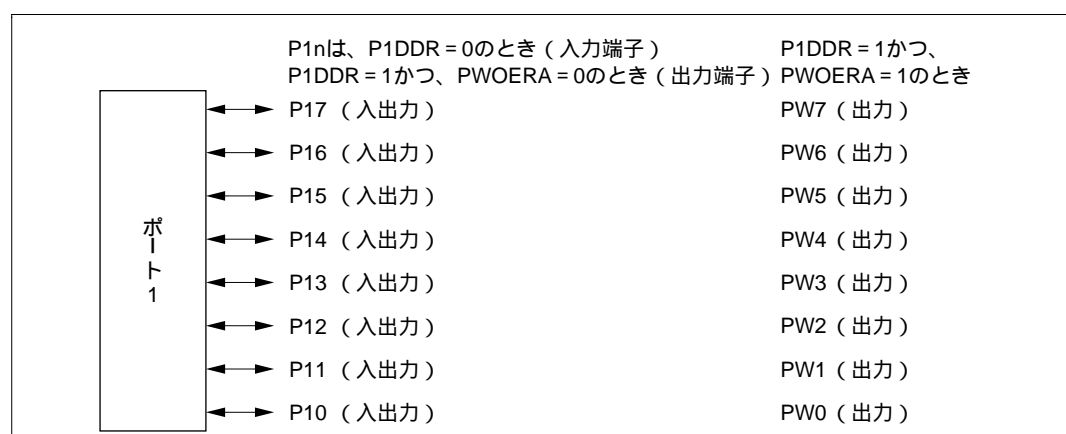


図 8.4 ポート 1 の端子機能 (モード 2、3 (EXPE = 0))

8.2.4 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 2、3 のとき、P1DDR を 0 にクリアした状態で P1PCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.5 に示します。

表 8.5 入力プルアップ MOS の状態 (ポート 1)

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF		OFF	
2、3	ON/OFF			

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : P1DDR = 0 かつ P1PCR = 1 のときオン状態、その他のときはオフ状態です。

8.3 ポート 2

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、アドレスバス出力機能、8 ビット PWM の出力端子 (PW15 ~ PW8) 【H8S/2148 シリーズ、H8S/2147N のみ】、タイマ接続の出力端子 (CBLANK) 【H8S/2148 シリーズのみ】と兼用になっており、動作モードによって端子機能が切り替わります。

ポート 2 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート 2 の各端子の構成を図 8.5 に示します。

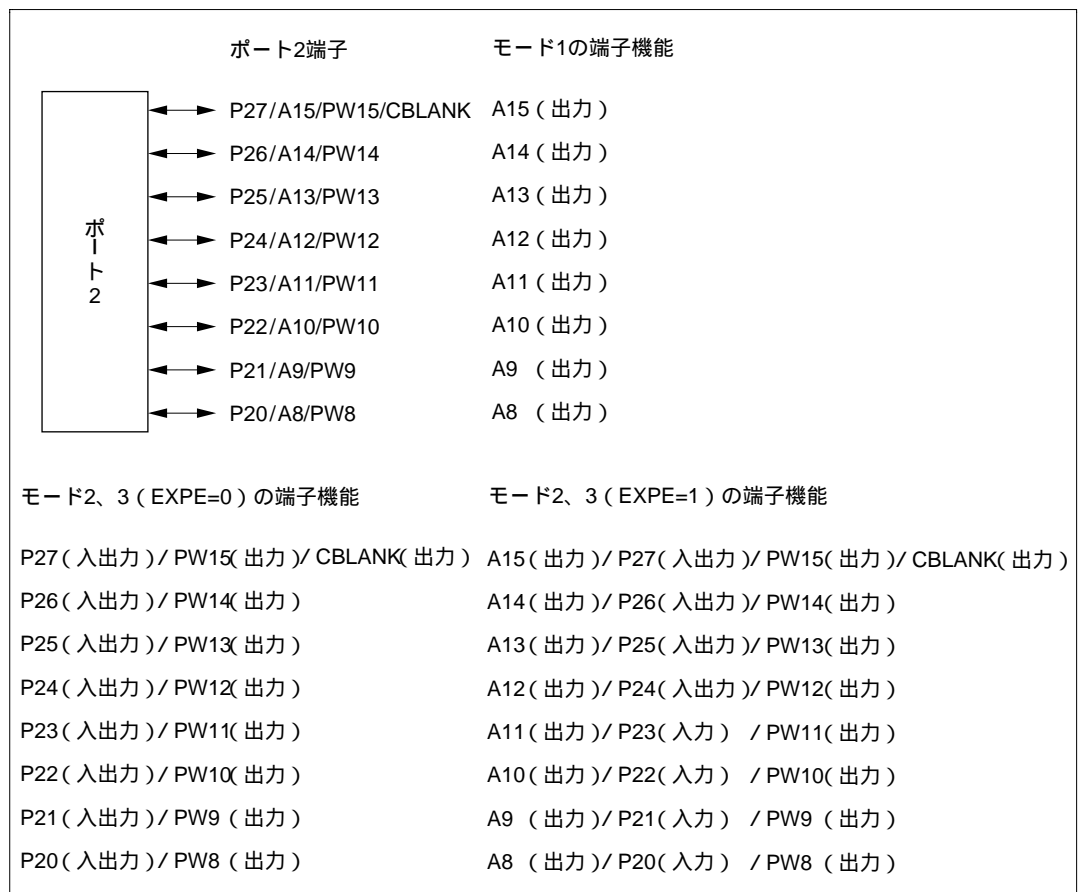


図 8.5 ポート 2 の端子機能

8.3.2 レジスタ構成

表 8.6 にポート 2 のレジスタ構成を示します。

表 8.6 ポート 2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート 2 データ ディレクションレジスタ	P2DDR	W	H'00	H'FFB1
ポート 2 データレジスタ	P2DR	R/W	H'00	H'FFB3
ポート 2 プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00	H'FFAD

【注】 *1 アドレスの下位 16 ビットを示しています。

(1) ポート 2 データディレクションレジスタ (P2DDR)

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P2DDR は、8 ビットのライト専用レジスタで、ポート 2 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P2DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。ソフトウェアスタンバイモードでは、P2DDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持します。

(a) モード 1

P2DDR の設定値にかかわらず、対応するポート 1 の各端子はアドレス出力となります。ハードウェアスタンバイモード時は、アドレス出力はハイインピーダンス状態となります。

(b) モード2、3 (EXPE = 1)

P2DDR を1にセットすると対応するポート2の各端子はアドレス出力またはPWM出力となり、0にクリアすると入力ポートになります。なお、P27~P24については、IOSEビット=1にすることによりアドレス出力から出力ポートに切り替わります。

また、P27は、P27DDRにかかわらず周辺機能出力とすることができます。

ポート2をアドレス出力として使用する場合は、外部空間のアクセスを正常に行なうために周辺機能出力に設定しないでください。

(c) モード2、3 (EXPE = 0)

P2DDR を1にセットすると対応するポート2の各端子は出力ポート、PWM出力または出力ポートとなり、0にクリアすると入力ポートになります。

P27は、P27DDRにかかわらず周辺機能出力とすることができます。

(2) ポート2 データレジスタ (P2DR)

ビット :	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DRは、8ビットのリード/ライト可能なレジスタで、ポート2の各端子(P27~P20)の出力データを格納します。P2DDRが1のときポート2のリードを行なうと、P2DRの値を直接リードします。そのため端子の状態の影響を受けません。P2DDRが0のときポート2のリードを行なうと、端子の状態が読み出されます。

P2DRは、リセットまたはハードウェアスタンバイモードではH'00に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート2 プルアップ MOS コントロールレジスタ (P2PCR)

ビット :	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2PCRは、8ビットのリード/ライト可能なレジスタで、ポート2に内蔵された入力プルアップMOSをビットごとに制御します。

モード2、3では、P2DDRを0にクリアした(入力ポート)状態で、P2PCRを1にセットすると、入力プルアップMOSはオンします。

P2PCRは、リセットまたはハードウェアスタンバイモードではH'00に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.3.3 モード別端子機能

(1) モード1

モード1のとき、ポート2は自動的にアドレス出力になります。
ポート2の端子機能を図8.6に示します。

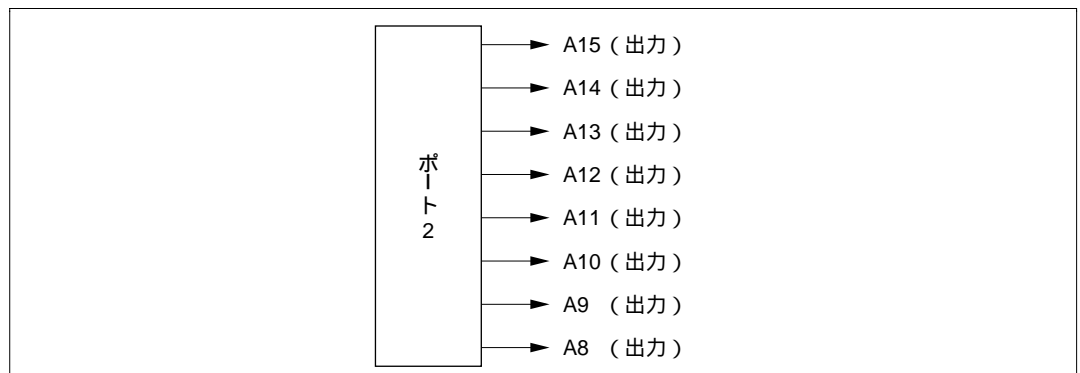


図 8.6 ポート2の端子機能 (モード1)

(2) モード2、3 (EXPE = 1)

モード2、3 (EXPE = 1) のとき、ポート2はアドレス出力、PWM出力または入出力ポートとして機能し、ビット単位で入出力を指定可能です。P2DDRの各ビットを1にセットすると対応する端子はアドレス出力またはPWM出力になり、0にクリアすると入力ポートになります。なお、P27~P24については、IOSEビット=1にすることによりアドレス出力から出力ポートに切り替わります。また、P27は、P27DDRにかかわらず周辺機能出力とすることができます。ポート2をアドレス出力として使用する場合は、外部空間のアクセスを正常に行なうために周辺機能出力に設定しないでください。

ポート2の端子機能を図8.7に示します。

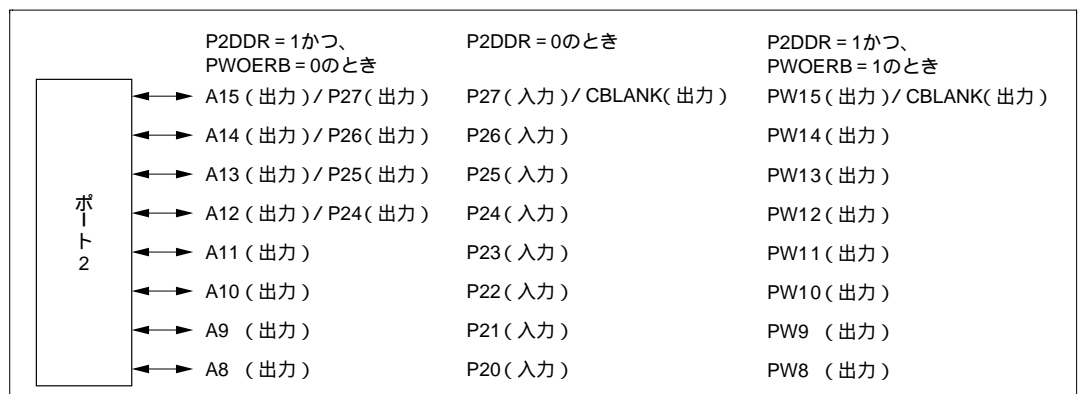


図 8.7 ポート2の端子機能 (モード2、3 (EXPE = 1))

(3) モード 2、3 (EXPE = 0)

モード 2、3 (EXPE = 0) のとき、ポート 2 は PWM 出力、タイマコネクション出力 (CBLANK) または入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。P2DDR の各ビットを 1 にセットすると対応する端子は PWM 出力または出力ポートになり、0 にクリアすると入力ポートになります。P27 は、P27DDR にかかわらず周辺機能出力とすることができます。

ポート 2 の端子機能を図 8.8 に示します。

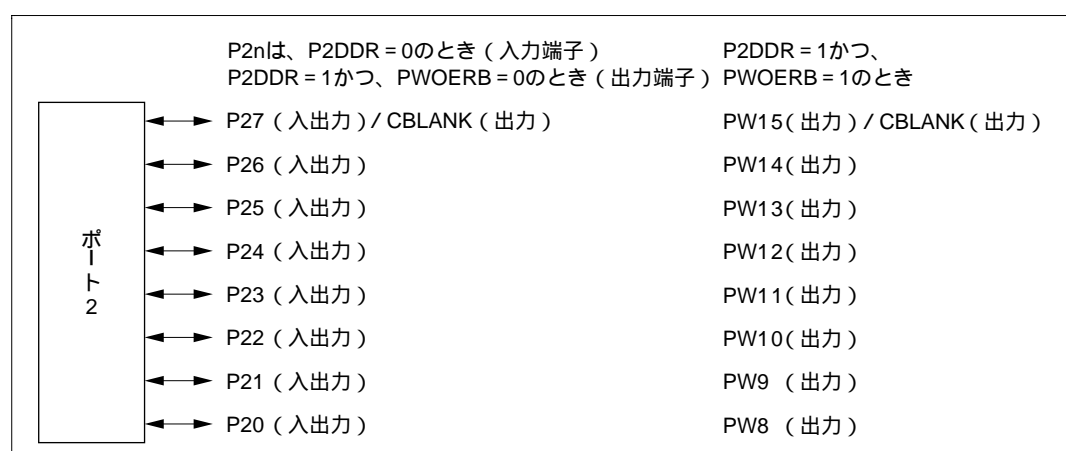


図 8.8 ポート 2 の端子機能 (モード 2、3 (EXPE = 0))

8.3.4 入力プルアップMOS

ポート2は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSはモード2、3のときに使用でき、ビット単位でオン/オフを指定できます。

モード2、3のとき、P2DDRを0にクリアした状態で、P2PCRを1にセットすると、入力プルアップMOSはオンとなります。

入力プルアップMOSは、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップMOSの状態を表8.7に示します。

表8.7 入力プルアップMOSの状態（ポート2）

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1		OFF	OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップMOSは、常にオフ状態です。

ON/OFF : P2DDR = 0 かつ P2PCR = 1 のときオン状態、その他のときはオフ状態です。

8.4 ポート3

8.4.1 概要

ポート3は、8ビットの入出力ポートです。ポート3は、ホストデータバス入出力(HDB7~HDB0)【H8S/2148シリーズ、H8S/2147Nのみ】およびデータバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート3は、プログラムで制御可能な入力プルアップMOSが内蔵されています。

ポート3の各端子の構成を図8.9に示します。

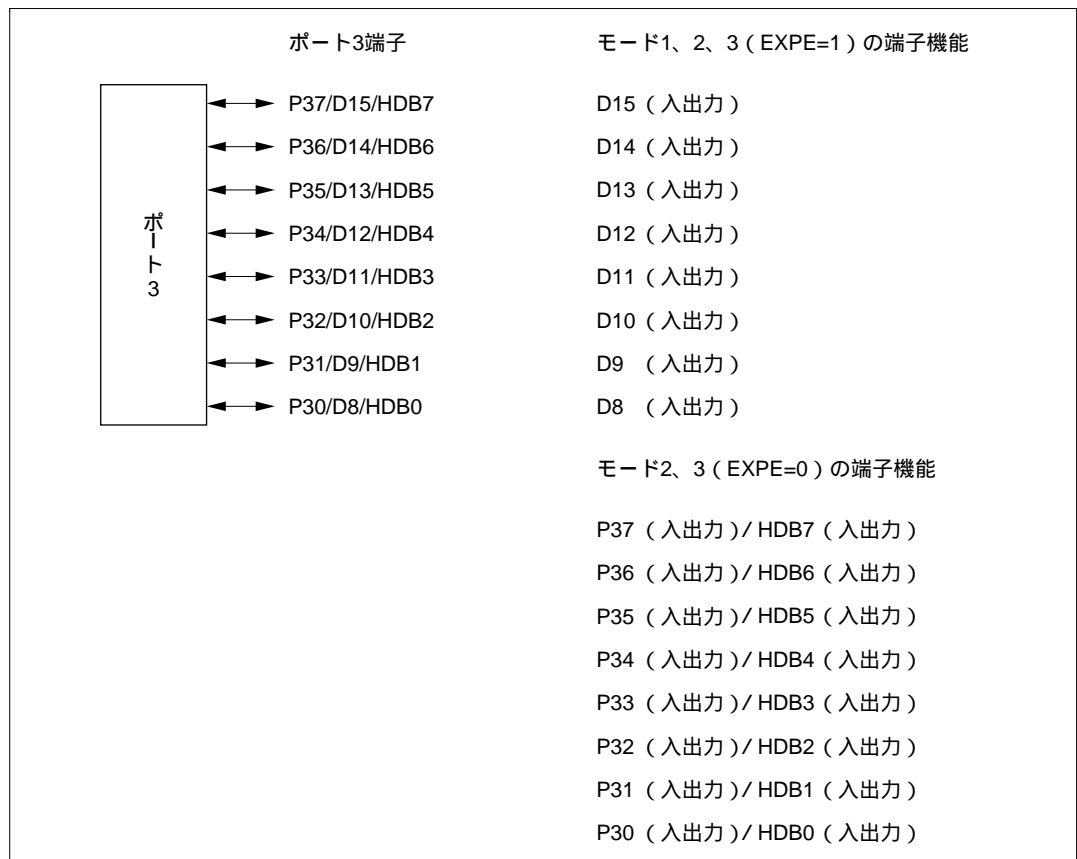


図 8.9 ポート3の端子機能

8.4.2 レジスタ構成

表 8.8 にポート 3 のレジスタ構成を示します。

表 8.8 ポート 3 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート 3 データ ディレクションレジスタ	P3DDR	W	H'00	H'FFB4
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FFB6
ポート 3 プルアップ MOS コントロールレジスタ	P3PCR	R/W	H'00	H'FFAE

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 3 データディレクションレジスタ (P3DDR)

ビット :	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P3DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。ソフトウェアスタンバイモードでは、P3DDR は直前の状態を保持します。

(a) モード 1、2、3 (EXPE = 1)

P3DDR による入出力の方向は無視され、自動的にデータ入出力となります。

また、リセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時には、データ入出力はハイインピーダンス状態になります。

(b) モード 2、3 (EXPE = 0)

P3DDR を 1 にセットすると対応するポート 3 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート 3 データレジスタ (P3DR)

ビット :	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 (P37 ~ P30) の出力データを格納します。P3DDR が 1 のときポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。P3DDR が 0 のときポート 3 のリードを行うと、端子の状態が読み出されます。

P3DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 3 プルアップ MOS コントロールレジスタ (P3PCR)

ビット :	7	6	5	4	3	2	1	0
	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3PCR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3 (EXPE=0) では、P3DDR を 0 にクリアした (入力ポート) 状態で、P3PCR を 1 にセットすると、入力プルアップ MOS はオンします。

P3PCR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

入力プルアップ MOS は、スレープモード (ホストインタフェースイネーブル時) には使用できません。

8.4.3 モード別端子機能

(1) モード 1、2、3 (EXPE = 1)

モード 1、2、3 (EXPE = 1) のとき、ポート 3 は自動的にデータ入出力になります。ポート 3 の端子機能を図 8.10 に示します。

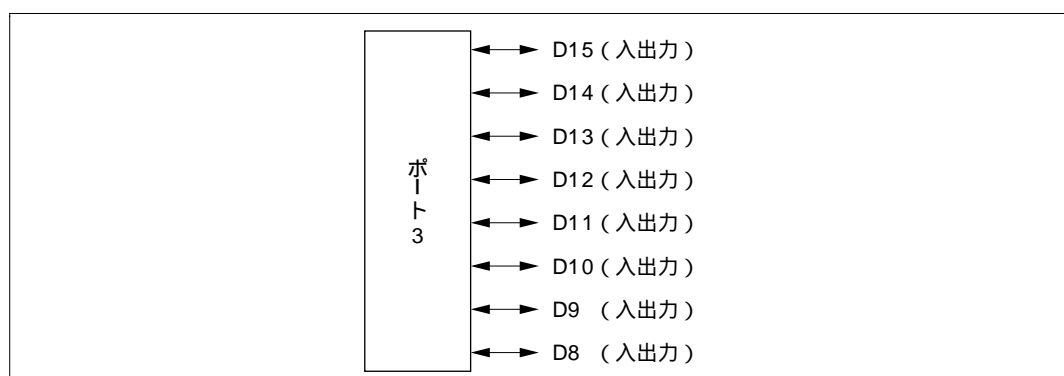


図 8.10 ポート 3 の端子機能 (モード 1、2、3 (EXPE = 1))

(2) モード 2、3 (EXPE = 0)

モード 2、3 (EXPE = 0) のとき、ポート 3 はホストインタフェースデータバス入出力 (HDB7 ~ HDB0) または入出力ポートとして機能します。SYSCR2 の HI12E ビットが 1 にセットされ、スレーブモードに遷移するとポート 3 はホストインタフェースデータバスとなります。スレーブモードでは、P3DR と P3DDR は H'00 にクリアしてください。HI12E ビットが 0 にクリアされているとポート 3 は入出力ポートとなり、各端子はビット単位で入出力を指定可能です。P3DDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート 3 の端子機能を図 8.11 に示します。

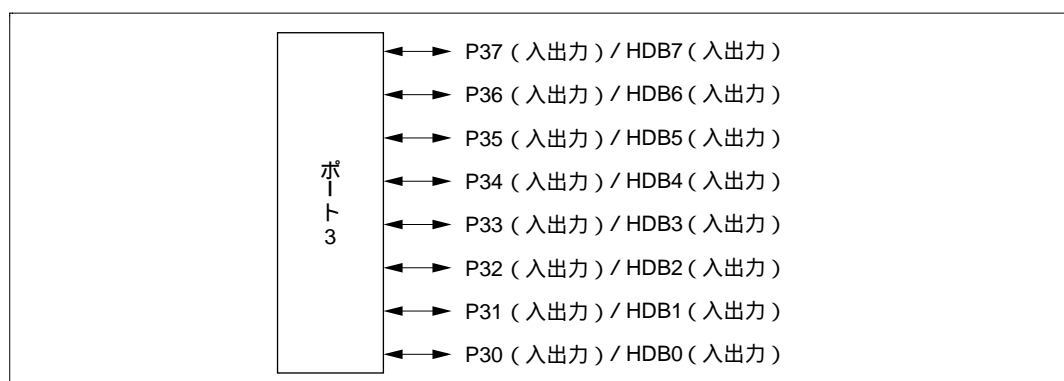


図 8.11 ポート 3 の端子機能 (モード 2、3 (EXPE = 0))

8.4.4 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3 (EXPE=0) のときに使用でき、ビット単位でオン/オフを指定できます。

モード 2、3 (EXPE=0) のとき、P3DDR を 0 にクリアした状態で、P3PCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.9 に示します。

表 8.9 入力プルアップ MOS の状態 (ポート 3)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1)	OFF		OFF	
2、3 (EXPE=0)			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : P3DDR = 0 かつ P3PCR = 1 のときオン状態、その他のときはオフ状態です。

8.5 ポート4

8.5.1 概要

ポート4は、8ビットの入出力ポートです。ポート4は、14ビットPWMの出力端子(PWX1、PWX0)、タイマ0、1(TMR0、TMR1)の入出力端子(TMCI0、TMRI0、TMO0、TMCI1、TMRI1、TMO1)、タイマコネクションの入出力端子(CSYNCI、HSYNCI、HSYNCO)【H8S/2148シリーズのみ】、SCI2の入出力端子(TxD2、RxD2、SCK2)、IrDAインタフェースの入出力端子(IrTxD、IrRxD)、HIFの出力端子(HIRQ12、HIRQ1、HIRQ11)【H8S/2148シリーズ、H8S/2147Nのみ】、IIC1の入出力端子(SDA1)【H8S/2148シリーズ、H8S/2147Nのみオプション】と兼用になっています。ポート4の端子機能は、いずれの動作モードでも共通です。ポート4の各端子の構成を図8.12に示します。

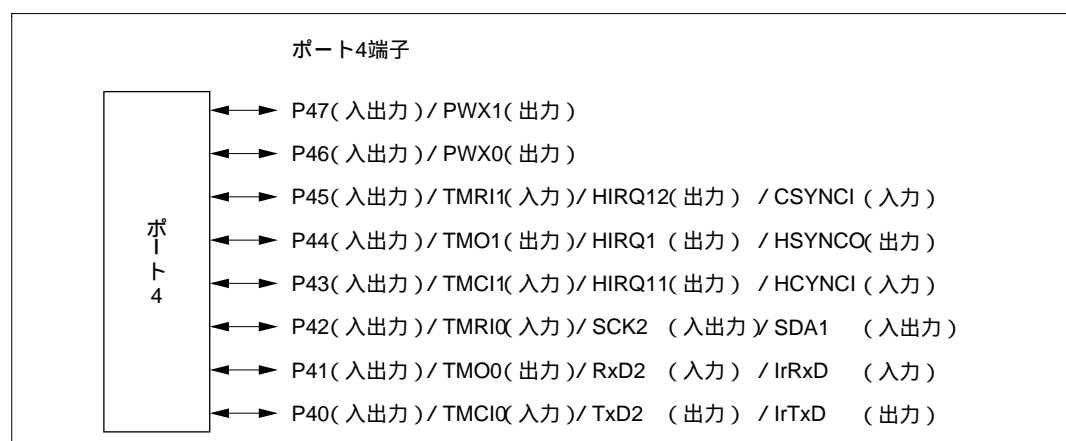


図8.12 ポート4の端子機能

8.5.2 レジスタ構成

表8.10にポート4のレジスタ構成を示します。

表8.10 ポート4レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート4データディレクションレジスタ	P4DDR	W	H'00	H'FFB5
ポート4データレジスタ	P4DR	R/W	H'00	H'FFB7

【注】 * アドレスの下位16ビットを示しています。

(1) ポート 4 データディレクションレジスタ (P4DDR)

ビット :	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P4DDR は、8 ビットのライト専用レジスタで、ポート 4 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P4DDR を 1 にセットすると対応するポート 4 の各端子は出力となり、0 にクリアすると入力になります。

P4DDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。ソフトウェアスタンバイモードでは 14 ビット PWM と SCI2 は初期化されるため、TMR0、TMR1、HIF、IIC1、P4DDR、P4DR の指定によって端子状態が決定されます。

(2) ポート 4 データレジスタ (P4DR)

ビット :	7	6	5	4	3	2	1	0
	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P4DR は、8 ビットのリード/ライト可能なレジスタで、ポート 4 の各端子 (P47 ~ P40) の出力データを格納します。P4DDR が 1 のときポート 4 のリードを行うと、P4DR の値を直接リードします。そのため端子の状態の影響を受けません。P4DDR が 0 のときポート 4 のリードを行うと、端子の状態が読み出されます。

P4DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.5.3 端子機能

ポート 4 の各端子は、ポート 4 は、14 ビット PWM の出力端子 (PWX1、PWX0)、タイマ 0、1 (TMR0、TMR1) の入出力端子 (TMCI0、TMRI0、TMO0、TMCI1、TMRI1、TMO1)、タイマ接続の入出力端子 (CSYNCI、HSYNCI、HSYNCO)、SCI2 の入出力端子 (TxD2、RxD2、SCK2)、IrDA インタフェースの入出力端子 (IrTxD、IrRxD)、HIF の出力端子 (HIRQ12、HIRQ1、HIRQ11)、IIC1 の入出力端子 (SDA1) と兼用になっています。ポート 4 の端子機能を表 8.11 に示します。

表 8.11 ポート4の端子機能

端子	選択方法と端子機能				
P47 /PWX1	14ビットPWMのDACRのOEBビットとP47DDRビットの組み合わせにより、次のように切り替わります。				
	OEB	0		1	
	P47DDR	0	1	-	
	端子機能	P47入力端子	P47出力端子	PWX1出力端子	
P46 /PWX0	14ビットPWMのDACRのOEAビットとP46DDRビットの組み合わせにより、次のように切り替わります。				
	OEA	0		1	
	P46DDR	0	1	-	
	端子機能	P46入力端子	P46出力端子	PWX0出力端子	
P45 /TMR11 /HIRQ12 /CSYNCI	動作モードとP45DDRビットの組み合わせにより、次のように切り替わります。				
	P45DDR	0	1		
	動作モード	-	スレーブモード以外	スレーブモード	
	端子機能	P45入力端子	P45出力端子	HIRQ12出力端子	
		TMR11入力端子、CSYNCI入力端子			
TMR1のTCR1のCCLR1、CCLR0ビットをそれぞれ1にセットした場合は、TMR11入力端子として使用します。また、CSYNCI入力端子として使用可能です。					
P44 /TMO1 /HIRQ1 /HSYNCO	動作モード、TMR1のTCSRのOS3～OS0ビット、タイマコネクションのTCONROのHOEビット、およびP44DDRビットの組み合わせにより、次のように切り替わります。				
	HOE	0			1
	OS3～OS0	すべてが0		いずれかが1	-
	P44DDR	0	1	-	-
	動作モード	-	スレーブモード以外	スレーブモード	-
	端子機能	P44入力端子	P44出力端子	HIRQ1出力端子	TMO1出力端子

端子	選択方法と端子機能						
P43/TMC11 /HIRQ11 /HSYNCl	動作モードと P43DDR ビットの組み合わせにより、次のように切り替わります。						
	P43DDR	0			1		
	動作モード	-			スレープモード以外		スレープモード
	端子機能	P43入力端子		P43出力端子		HIRQ11出力端子	
		TMC11入力端子、HSYNCl入力端子					
TMR1の TCR1の CKS2 ~ CKS0 ビットで外部クロックを選択した場合に、TMC11 入力端子として使用します。また、HSYNCl 入力端子として使用可能です。							
P42/TMR10 /SCK2 /SDA1	IIC1 の ICCR の ICE ビット、SCI2 の SCR の CKE1、CKE0 ビット、SMR の C/ \bar{A} ビット、および P42DDR ビットの組み合わせにより、次のように切り替わります。						
	ICE	0				1	
	CKE1	0			1	0	
	C/ \bar{A}	0		1	-	0	
	CKE0	0		1	-	0	
	P42DDR	0	1	-	-	-	
	端子機能	P42	P42	SCK2	SCK2	SCK2	SDA1
		入力端子	出力端子	出力端子	出力端子	入力端子	入出力端子
TMR10入力端子							
SDA1 入出力端子として使用する場合は、SCI2 の SCR の CKE1、CKE0 ビット、SMR の C/ \bar{A} ビットの各ビットを必ず 0 にクリアしてください。なお、SDA1 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。							
TMR0の TCR0の CCLR1、CCLR0 ビットをそれぞれ 1 にセットした場合は、TMR10 入力端子として使用します。							
P41/TMO0 /RxD2 /IrxD	TMR0の TCSR の OS3 ~ OS0 ビット、SCI2 の SCR の RE ビットおよび P41DDR ビットの組み合わせにより、次のように切り替わります。						
	OS3 ~ OS0	すべてが0			いずれかが1		
	RE	0		1	0		
	P41DDR	0	1	-	-		
	端子機能	P41入力端子	P41出力端子	RxD2/IrxD	TMO0出力端子		
TMO0 出力端子として使用する場合は、SCI2 の SCR の RE ビットを必ず 0 にクリアしてください。							

端子	選択方法と端子機能			
P40/TMCIO /TxD2 /IrTxD	SCI2 の SCR の TE ビットと P40DDR ビットの組み合わせにより、次のように切り替わります。			
	TE	0		1
	P40DDR	0	1	-
	端子機能	P40入力端子	P40出力端子	TxD2/IrTxD出力端子
		TMCIO入力端子		
	TMR0の TCR0の CKS2 ~ CKS0 ビットで外部クロックを選択した場合に、TMCIO 入力端子として使用します。			

8.6 ポート5

8.6.1 概要

ポート5は、3ビットの入出力ポートです。ポート5は、SCI0の入出力端子（TxD0、RxD0、SCK0）、IIC0の入出力端子（SCL0）【H8S/2148シリーズ、H8S/2147Nのみオプション】と兼用になっています。H8S/2148シリーズ、H8S/2147Nでは、P52、SCK0の出力形式は、NMOSプッシュプル出力となっています。また、SCL0の出力形式は、NMOSオープンドレイン出力となっています。ポート5の端子機能はいずれの動作モードでも共通です。ポート5の各端子の構成を図8.13に示します。

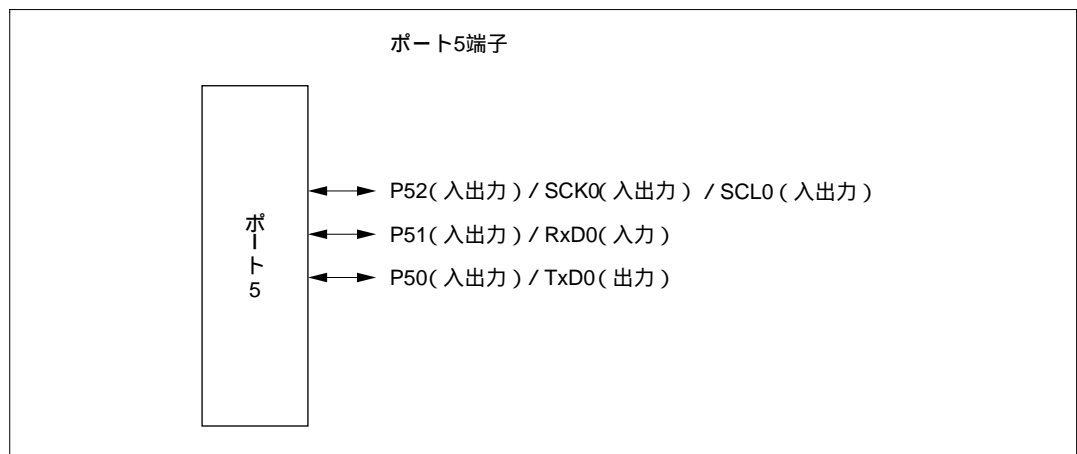


図8.13 ポート5の端子機能

8.6.2 レジスタ構成

表8.12にポート5のレジスタ構成を示します。

表8.12 ポート5レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート5データディレクションレジスタ	P5DDR	W	H'F8	H'FFB8
ポート5データレジスタ	P5DR	R/W	H'F8	H'FFBA

【注】 * アドレスの下位16ビットを示しています。

(1) ポート5 データディレクションレジスタ (P5DDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	P52DDR	P51DDR	P50DDR
初期値 :	1	1	1	1	1	0	0	0
R/W :	-	-	-	-	-	W	W	W

P5DDR は、8ビットのライト専用レジスタで、ポート5の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット7~3はリザーブビットです。

P5DDR を1にセットすると対応するポート5の各端子は出力となり、0にクリアすると入力になります。

P5DDR は、リセットまたはハードウェアスタンバイモードではH'F8に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。SCI0は初期化されるため、IIC0のICCR、P5DDR、P5DRの指定によって端子状態が決定されます。

(2) ポート5 データレジスタ (P5DR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	P52DR	P51DR	P50DR
初期値 :	1	1	1	1	1	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	R/W

P5DR は、8ビットのリード/ライト可能なレジスタで、ポート5の各端子 (P52~P50) の出力データを格納します。P5DDR が1のときポート5のリードを行うと、P5DRの値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が0のときポート5のリードを行うと、端子の状態が読み出されます。

ビット7~3はリザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

P5DR は、リセットまたはハードウェアスタンバイモードではH'F8に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.6.3 端子機能

ポート5の各端子は、SCI0の入出力端子（TxD0、RxD0、SCK0）、IIC0の入出力端子（SCL0）と兼用になっています。ポート5の端子機能を表8.13に示します。

表8.13 ポート5の端子機能

端子	選択方法と端子機能						
P52/SCK0 /SCL0	SCI0のSMRのC/Aビット、SCRのCKE0、CKE1ビット、IIC0のICCRのICEビット、およびP52DDRビットの組み合わせにより、次のように切り替わります。						
	ICE	0				1	
	CKE1	0			1	0	
	C/A	0		1	-	0	
	CKE0	0	1	-	-	0	
	P52DDR	0	1	-	-	-	-
	端子機能	P52 入力端子	P52 出力端子	SCK0 出力端子	SCK0 出力端子	SCK0 入力端子	SCL0 入出力端子
SCL0入出力端子として使用する場合は、SCI0のSCRのCKE1、CKE0ビット、SMRのC/Aビットの各ビットを必ず0にクリアしてください。なお、SCL0の出力形式は、NMOSオープンドレイン出力となり、直接バス駆動が可能です。 また、H8S/2148シリーズ、H8S/2147Nでは、P52出力端子、SCK0出力端子に設定した場合の出力形式は、NMOSプッシュプル出力となります。							
P51/RxD0	SCI0のSCRのREビットとP51DDRビットの組み合わせにより、次のように切り替わります。						
	RE	0				1	
	P51DDR	0		1		-	
	端子機能	P51入力端子		P51出力端子		RxD0入力端子	
P50/TxD0	SCI0のSCRのTEビットとP50DDRビットの組み合わせにより、次のように切り替わります。						
	TE	0				1	
	P50DDR	0		1		-	
	端子機能	P50入力端子		P50出力端子		TxD0出力端子	

8.7 ポート 6

8.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、16 ビットフリーランニングタイマ (FRT) の入出力端子 (FTOA、FTOB、FTIA ~ FTID、FTCI)、タイマ X (TMRX) の入出力端子 (TMOX、TMIX) 【H8S/2148 シリーズのみ】、タイマ Y (TMR Y) の入力端子 (TMIY)、タイマコネクションの入出力端子 (HFBACKI、VSYINCI、VSYNCO、VFBACKI、CLAMPO) 【H8S/2148 シリーズのみ】、キーセンス割込み入力端子 ($\overline{KIN7} \sim \overline{KIN0}$)、拡張 A/D 入力端子 (CIN7 ~ CIN0)、割込み入力端子 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$) と兼用になっています。また、H8S/2148 シリーズ、H8S/2147N では、ポート 6 の入力レベルを 4 段階に切り替えることができます。ポート 6 の端子機能はいずれの動作モードでも共通です。ポート 6 の各端子の構成を図 8.14 に示します。

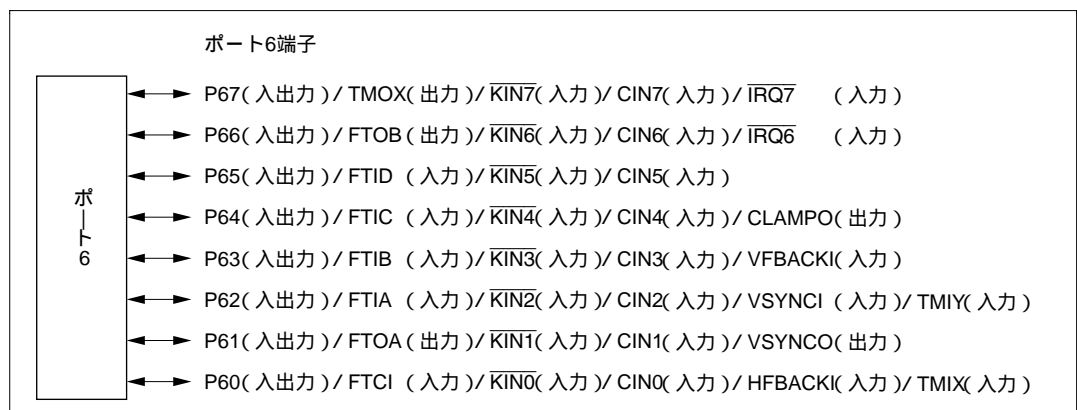


図 8.14 ポート 6 の端子機能

8.7.2 レジスタ構成

表 8.14 にポート 6 のレジスタ構成を示します。

表 8.14 ポート 6 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート 6 データディレクションレジスタ	P6DDR	W	H'00	H'FFB9
ポート 6 データレジスタ	P6DR	R/W	H'00	H'FFBB
ポート 6 プルアップ MOS コントロールレジスタ	KMPCR	R/W	H'00	H'FFF2* ²
システムコントロールレジスタ 2	SYSCR2	R/W	H'00	H'FF83

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 KMPCR は TMRX/TMRY の TICRR/TCORAY と同じアドレスです。KMPCR を選択する
ときには、SYSCR の HIE ビットを 1 に設定し、かつ MSTPCRL の MSTP2 ビットを 0
に設定してください。

(1) ポート 6 データディレクションレジスタ (P6DDR)

ビット :	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P6DDR は、8 ビットのライト専用レジスタで、ポート 6 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P6DDR を 1 にセットすると対応するポート 6 の各端子は出力となり、0 にクリアすると入力になります。

P6DDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(2) ポート6 データレジスタ (P6DR)

ビット :	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P6DRは、8ビットのリード/ライト可能なレジスタで、ポート6の各端子(P67~P60)の出力データを格納します。P6DDRが1のときポート6のリードを行うと、P6DRの値を直接リードします。そのため端子の状態の影響を受けません。P6DDRが0のときポート6のリードを行うと、端子の状態が読み出されます。

P6DRは、リセットまたはハードウェアスタンバイモードではH'00に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート6 プルアップMOSコントロールレジスタ (KMPCR)

ビット :	7	6	5	4	3	2	1	0
	KM7PCR	KM6PCR	KM5PCR	KM4PCR	KM3PCR	KM2PCR	KM1PCR	KM0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KMPCRは、8ビットのリード/ライト可能なレジスタで、ポート6に内蔵された入力プルアップMOSをビットごとに制御します。

P6DDRを0にクリアした(入力ポート)状態で、KMPCRを1にセットすると、入力プルアップMOSはオンします。

KMPCRは、リセットまたはハードウェアスタンバイモードではH'00に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) システムコントロールレジスタ2 (SYSCR2)

【H8S/2148シリーズ、H8S/2147Nのみ】

ビット :	7	6	5	4	3	2	1	0
	KWUL1	KWUL0	P6PUE	-	SDE	CS4E	CS3E	HI12E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の入力レベル選択、ホストインタフェース機能の動作を制御します。

ここではビット 7、6、5 についてのみ説明します。ビット 4～ビット 0 については、「18.2.2 システムコントロールレジスタ 2 (SYSCR2)」を参照してください。

SYSCR2 は、リセット、ハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6 : キーウェイクアップレベル 1、0 (KWUL1、KWUL0)

ポート 6 の入力レベルをソフトウェアにより設定切り替えすることができます。この設定によりポート 6 に兼用の端子機能の入力レベルも切り替わります。

ビット 7	ビット 6	説 明
KWUL1	KWUL0	
0	0	ポート 6 入力レベルは標準入力レベルを選択 (初期値)
	1	ポート 6 入力レベルは入力レベル 1 を選択
1	0	ポート 6 入力レベルは入力レベル 2 を選択
	1	ポート 6 入力レベルは入力レベル 3 を選択

ビット 5 : ポート 6 入力プルアップエクストラ (P6PUE)

KMPCR の設定により接続されるポート 6 の入力プルアップ MOS の電流仕様を制御、選択します。

ビット 5	説 明
P6PUE	
0	ポート 6 入力プルアップ MOS は標準電流の仕様を選択 (初期値)
1	ポート 6 入力プルアップ MOS は電流制限の仕様を選択

8.7.3 端子機能

ポート 6 の各端子は、16 ビットフリーランニングタイマ (FRT) の入出力端子 (FTOA、FTOB、FTIA～FTID、FTCI)、タイマ X (TMRX) の入出力端子 (TMOX、TMIX)、タイマ Y (TMR Y) の入力端子 (TMIY)、タイマコネクシヨンの入出力端子 (HFBACKI、VSYINCI、VSYNCO、VFBACKI、CLAMPO)、キーセンス割込み入力端子 ($\overline{KIN7}$ ～ $\overline{KIN0}$)、拡張 A/D 入力端子 (CIN7～CIN0)、割込み入力端子 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$) と兼用になっています。また、H8S/2148 シリーズ、H8S/2147N では、ポート 6 の入力レベルを 4 段階に切り替えることができます。ポート 6 の端子機能を表 8.15 に示します。

表 8.15 ポート 6 の端子機能

端子	選択方法と端子機能			
P67/TMOX $\overline{\text{IRQ7}}$ $\overline{\text{KIN7}}$ /CIN7	TMRX の TCSR の OS3 ~ OS0 ビットと P67DDR ビットの組み合わせにより、次のように切り替わります。			
	OS3 ~ OS0	すべてが0		いずれかが1
	P67DDR	0	1	-
	端子機能	P67入力端子	P67出力端子	TMOX出力端子
		IRQ7入力端子、KIN7入力端子、CIN7入力端子		
	IER の IRQ7E ビットを 1 にセットした場合、 $\overline{\text{IRQ7}}$ 入力端子として使用します。			
	また、常時 $\overline{\text{KIN7}}$ 、CIN7 入力端子として使用可能です。			
P66/FTOB $\overline{\text{IRQ6}}$ $\overline{\text{KIN6}}$ /CIN6	FRT の TOCR の OEB ビットと P66DDR ビットの組み合わせにより、次のように切り替わります。			
	OEB	0		1
	P66DDR	0	1	-
	端子機能	P66入力端子	P66出力端子	FTOB出力端子
		IRQ6入力端子、KIN6入力端子、CIN6入力端子		
	IER の IRQ6E ビットを 1 にセットした場合、 $\overline{\text{IRQ6}}$ 入力端子として使用します。			
	また、常時 $\overline{\text{KIN6}}$ 、CIN6 入力端子として使用可能です。			
P65/FTID $\overline{\text{KIN5}}$ /CIN5	P65DDR	0	1	
	端子機能	P65入力端子	P65出力端子	
		FTID入力端子、 $\overline{\text{KIN5}}$ 入力端子、CIN5入力端子		
	また、常時 FTID、 $\overline{\text{KIN5}}$ 、CIN5 入力端子として使用可能です。			
P64/FTIC $\overline{\text{KIN4}}$ /CIN4 /CLAMPO	タイマコネクションの TCONRO の CLOE ビットと P64DDR ビットの組み合わせにより、次のように切り替わります。			
	CLOE	0		1
	P64DDR	0	1	-
	端子機能	P64入力端子	P64出力端子	CLAMPO出力端子
		FTIC入力端子、 $\overline{\text{KIN4}}$ 入力端子、CIN4入力端子		
	また、常時 FTIC、 $\overline{\text{KIN4}}$ 、CIN4 入力端子として使用可能です。			

端子	選択方法と端子機能			
P63/FTIB / $\overline{\text{KIN3}}$ /CIN3 /VFBACKI	P63DDR	0	1	
	端子機能	P63入力端子		P63出力端子
FTIB入力端子、VFBACKI入力端子、 $\overline{\text{KIN3}}$ 入力端子、CIN3入力端子				
また、常時 FTIB、 $\overline{\text{KIN3}}$ 、CIN3、VFBACKI 入力端子として使用可能です。				
P62/FTIA /TMIY / $\overline{\text{KIN2}}$ /CIN2 /VSYNCI	P62DDR	0	1	
	端子機能	P62入力端子		P62出力端子
FTIA入力端子、VSYNCI入力端子、TMIY入力端子、 $\overline{\text{KIN2}}$ 入力端子、CIN2入力端子				
また、常時 FTIA、TMIY、 $\overline{\text{KIN2}}$ 、CIN2、VSYNCI 入力端子として使用可能です。				
P61/FTOA / $\overline{\text{KIN1}}$ /CIN1 /VSYNCO	FRT の TOCR の OEA ビット、タイマコネクションの TCONRO の VOE ビット、および P61DDR ビットの組み合わせにより、次のように切り替わります。			
	VOE	0		1
OEA	0	1	0	0
P61DDR	0	1	-	-
端子機能	P61入力端子	P61出力端子	FTOA出力端子	VSYNCO出力端子
$\overline{\text{KIN1}}$ 入力端子、CIN1入力端子				
VSYNCO 端子として使用する場合は、FRT の TOCR の OEA ビットを必ず 0 にクリアしてください。				
また、常時 $\overline{\text{KIN1}}$ 、CIN1 入力端子として使用可能です。				
P60/FTCI /TMIX / $\overline{\text{KIN0}}$ /CIN0 /HFBACKI	P60DDR	0	1	
	端子機能	P60入力端子		P60出力端子
FTCI入力端子、HFBACKI入力端子、TMIX入力端子、 $\overline{\text{KIN0}}$ 入力端子、CIN0入力端子				
FRT の TCR の CKS1、CKS0 ビットで外部クロックを選択した場合に、FTCI 入力端子として使用します。				
また、常時 TMIX、 $\overline{\text{KIN0}}$ 、CIN0、HFBACKI 入力端子として使用可能です。				

8.7.4 入力プルアップMOS

ポート6は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSはいずれの動作モードでも使用でき、ビット単位でオン/オフを指定できます。

P6DDRを0にクリアした状態で、KMPCRを1にセットすると、入力プルアップMOSはオンとなります。また、P6PUEビットによりプルアップMOS電流仕様を変更することができます。なお、内蔵周辺機能の出力端子に設定した場合は、入力プルアップMOSは常にオフとなります。

入力プルアップMOSは、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップMOSの状態を表8.16に示します。

表8.16 入力プルアップMOSの状態(ポート6)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3		OFF		ON/OFF

【記号説明】

OFF : 入力プルアップMOSは、常にオフ状態です。

ON/OFF : P6DDR=0かつKMPCR=1のときオン状態、その他のときはオフ状態です。

8.8 ポート7

8.8.1 概要

ポート7は、8ビットの入力専用ポートです。ポート7は、A/D変換器のアナログ入力端子（AN0～AN7）、D/A変換器のアナログ出力端子（DA0、DA1）との兼用になっています。ポート7の端子機能はいずれの動作モードでも共通です。ポート7の各端子の構成を図8.15に示します。

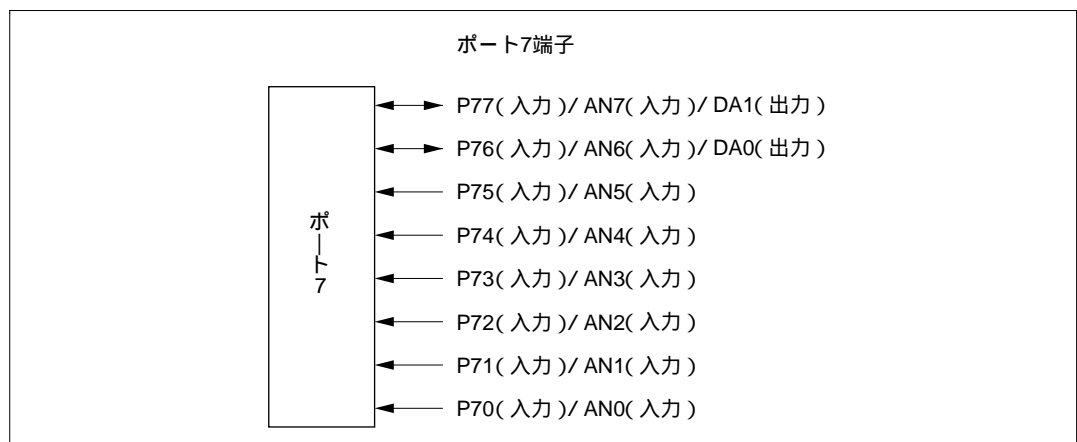


図 8.15 ポート7の端子機能

8.8.2 レジスタ構成

表 8.17 にポート7のレジスタ構成を示します。ポート7は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 8.17 ポート7レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート7入力データレジスタ	P7PIN	R	不定	H'FFBE* ²

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 P7PIN は PBDDR と同じアドレスです。

(1) ポート7入力データレジスタ (P7PIN)

ビット:	7	6	5	4	3	2	1	0
	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN
初期値:	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

【注】* P77~P70端子の状態により決定されます。

P7PIN のリードを行うと、常に端子の状態が読み出されます。

P7PIN は PBDDR と同じアドレスであり、ライトを行うと PBDDR にデータが書き込まれ、ポートBの設定が変わります。

8.8.3 端子機能

ポート7の各端子は、A/D変換器のアナログ入力端子 (AN0~AN7)、D/A変換器のアナログ出力端子 (DA0、DA1) との兼用になっています。

8.9 ポート8

8.9.1 概要

ポート8は、8ビットの入出力ポートです。ポート8は、SCI1の入出力端子(TxD1、RxD1、SCK1)、IIC1の入出力端子(SCL1)【H8S/2148シリーズ、H8S/2147Nのみオプション】、HIFの入出力端子($\overline{CS2}$ 、GA20、HA0、HIFSD)【H8S/2148シリーズ、H8S/2147Nのみ】、割込み入力端子($\overline{IRQ5} \sim \overline{IRQ3}$)と兼用になっています。ポート8の端子機能はいずれの動作モードでも共通です。ポート8の各端子の構成を図8.16に示します。

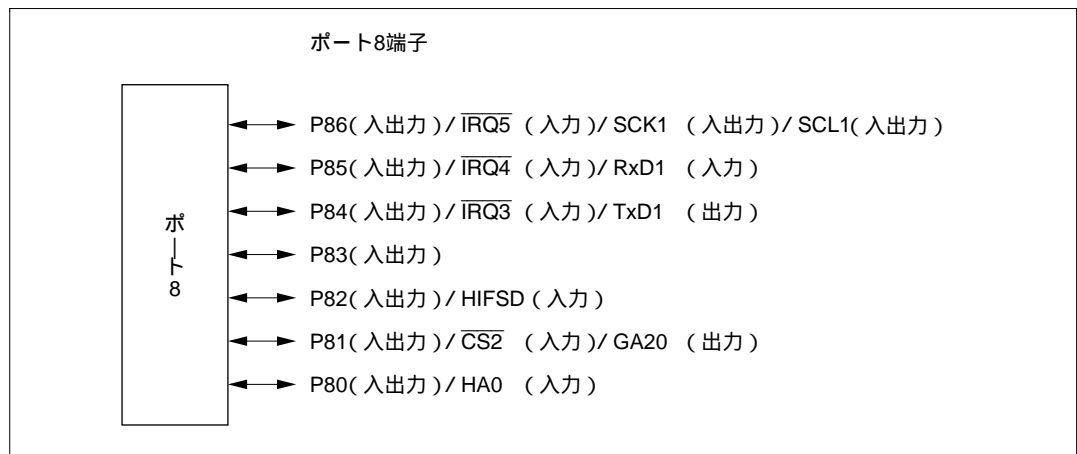


図 8.16 ポート8の端子機能

8.9.2 レジスタ構成

表 8.18 にポート8のレジスタ構成を示します。

表 8.18 ポート8レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート8データディレクションレジスタ	P8DDR	W	H'80	H'FFBD* ²
ポート8データレジスタ	P8DR	R/W	H'80	H'FFBF

【注】 *1 アドレスの下位16ビットを示しています。

*2 P8DDRはPBPINと同じアドレスです。

(1) ポート8 データディレクションレジスタ (P8DDR)

ビット:	7	6	5	4	3	2	1	0
	—	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

P8DDR は、7ビットのライト専用レジスタで、ポート8の各端子の入出力をビットごとに指定します。P8DDR はPBPINと同じアドレスであり、リードするとポートBの状態が読み出されます。

P8DDR を1にセットすると対応するポート8の各端子は出力となり、0にクリアすると入力になります。

P8DDR は、リセットまたはハードウェアスタンバイモードではH'80に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(2) ポート8 データレジスタ (P8DR)

ビット:	7	6	5	4	3	2	1	0
	—	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P8DR は、7ビットのリード/ライト可能なレジスタで、ポート8の各端子 (P86~P80) の出力データを格納します。P8DDR が1のときポート8のリードを行うと、P8DRの値を直接リードします。そのため端子の状態の影響を受けません。P8DDR が0のときポート8のリードを行うと、端子の状態が読み出されます。

P8DR は、リセットまたはハードウェアスタンバイモードではH'80に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.9.3 端子機能

ポート8の各端子は、SCI1の入出力端子 (TxD1、RxD1、SCK1)、IIC1の入出力端子 (SCL1)、HIFの入出力端子 ($\overline{CS2}$ 、GA20、HA0、HIFSD)、割込み入力端子 ($\overline{IRQ5}$ ~ $\overline{IRQ3}$) と兼用になっています。ポート8の端子機能を表8.19に示します。

表 8.19 ポート 8 の端子機能

端子	選択方法と端子機能						
P86 $\overline{\text{IRQ5}}$ /SCK1 /SCL1	SCI1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビット、IIC1 の ICCR の ICE ビット、および P86DDR ビットの組み合わせにより、次のように切り替わります。						
	ICE	0				1	
	CKE1	0			1	0	
	C/ $\overline{\text{A}}$	0		1	-	0	
	CKE0	0		1	-	-	0
	P86DDR	0	1	-	-	-	-
	端子機能	P86 入力端子	P86 出力端子	SCK1 出力端子	SCK1 出力端子	SCK1 入力端子	SCL1 入出力端子
$\overline{\text{IRQ5}}$ 入力端子							
IER の IRQ5E ビットを 1 にセットした場合、 $\overline{\text{IRQ5}}$ 入力端子として使用します。 SCL1 入出力端子として使用する場合は、SCI1 の SCR の CKE1、CKE0 ビット、SMR の C/ $\overline{\text{A}}$ ビットの各ビットを必ず 0 にクリアしてください。なお、SCL1 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。							
P85 $\overline{\text{IRQ4}}$ /RxD1	SCI1 の SCR の RE ビットと P85DDR ビットの組み合わせにより、次のように切り替わります。						
	RE	0			1		
	P85DDR	0		1	-		
	端子機能	P85入力端子		P85出力端子	RxD1入力端子		
$\overline{\text{IRQ4}}$ 入力端子							
IER の IRQ4E ビットを 1 にセットした場合、 $\overline{\text{IRQ4}}$ 入力端子として使用します。							
P84 $\overline{\text{IRQ3}}$ /TxD1	SCI1 の SCR の TE ビットと P84DDR ビットの組み合わせにより、次のように切り替わります。						
	TE	0			1		
	P84DDR	0		1	-		
	端子機能	P84入力端子		P84出力端子	TxD1出力端子		
$\overline{\text{IRQ3}}$ 入力端子							
IER の IRQ3E ビットを 1 にセットした場合、 $\overline{\text{IRQ3}}$ 入力端子として使用します。							

端子	選択方法と端子機能							
P83	P83DDR ビットにより、次のように切り替わります。							
	P83DDR	0			1			
	端子機能	P83入力端子			P83出力端子			
P82 /HIFSD	動作モード、SYSCR2 の SDE ビット、および P82DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	スレープモード以外			スレープモード			
	SDE	-			0	1		
	P82DDR	0	1	0	1	-		
	端子機能	P82 入力端子	P82 出力端子	P82 入力端子	P82 出力端子	HIFSD 入力端子		
P81 /GA20 / $\overline{CS2}$	動作モード、SYSCR の CS2E ビット、HIF の HICR の FGA20E ビット、および P81DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	スレープモード以外			スレープモード			
	FGA20E	-			0	1		
	CS2E	-			0	1	-	
	P81DDR	0	1	0	1	-	0	1
	端子機能	P81 入力端子	P81 出力端子	P81 入力端子	P81 出力端子	$\overline{CS2}$ 入力端子	P81 入力端子	GA20 出力端子
GA20 出力端子あるいは $\overline{CS2}$ 入力端子として使用する場合は、モード 2、 $\text{EXPE}=0$ のときのみとしてください。								
P80 /HA0	動作モードと P80DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	スレープモード以外			スレープモード			
	P80DDR	0		1		-		
	端子機能	P80入力端子		P80出力端子		HA0入力端子		

8.10 ポート9

8.10.1 概要

ポート9は、8ビットの入出力ポートです。ポート9は、割り込み入力端子($\overline{\text{IRQ0}} \sim \overline{\text{IRQ2}}$)、A/D変換器の入力端子($\overline{\text{ADTRG}}$)、HIFの入力端子($\overline{\text{ECS2}}$ 、 $\overline{\text{CS1}}$ 、 $\overline{\text{IOW}}$ 、 $\overline{\text{IOR}}$)【H8S/2148シリーズ、H8S/2147Nのみ】、IIC0の入出力端子(SDA0)【H8S/2148シリーズ、H8S/2147Nのみオプション】、サブクロック入力端子(EXCL)、バス制御信号入出力端子($\overline{\text{AS}}/\overline{\text{IOS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{WAIT}}$)およびシステムクロック()出力端子と兼用になっています。H8S/2148シリーズ、H8S/2147Nでは、P97の出力形式は、NMOSプッシュプル出力となります。また、SDA0の出力形式は、NMOSオープンドレイン出力となり、直接バス駆動が可能です。

ポート9の各端子の構成を図8.17に示します。

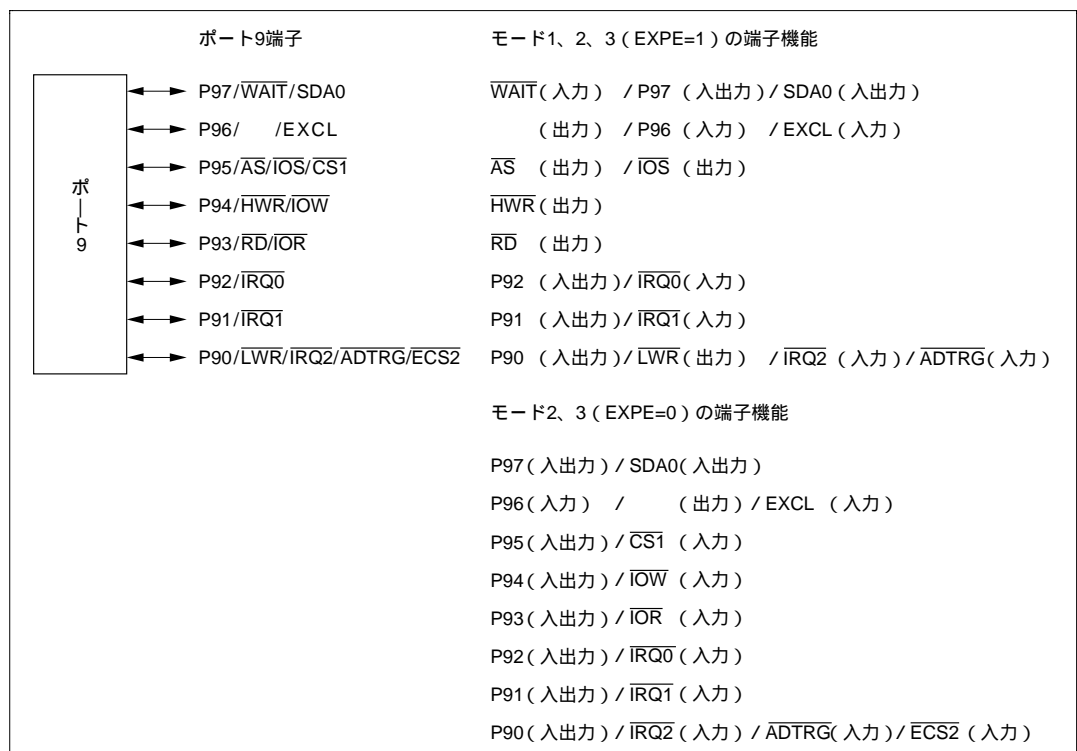


図 8.17 ポート9の端子機能

8.10.2 レジスタ構成

表 8.20 にポート 9 のレジスタ構成を示します。

表 8.20 ポート 9 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート 9 データディレクションレジスタ	P9DDR	W	H'40 / H'00* ²	H'FFC0
ポート 9 データレジスタ	P9DR	R/W	H'00	H'FFC1

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 モードによって、初期値が異なります。

(1) ポート 9 データディレクションレジスタ (P9DDR)

ビット :	7	6	5	4	3	2	1	0
	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR
モード 1								
初期値 :	0	1	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
モード 2、3								
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P9DDR は、8 ビットのライト専用レジスタで、ポート 9 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P9DDR は、リセットまたはハードウェアスタンバイモードでは、モード 1 の場合 H'40 に、モード 2、3 の場合 H'00 に初期化されます。ソフトウェアスタンバイモードでは、P9DDR は直前の状態を保持します。

(a) モード 1、2、3 (EXPE = 1)

P97 端子は、ウェイトモードの設定によりバス制御入力 ($\overline{\text{WAIT}}$)、IIC0 の入出力端子 (SDA0) または入出力ポートになります。入出力ポートの場合、P97DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

P96 端子は、P96DDR を 1 にセットすると 出力端子、0 にクリアするとサブクロック入力 (EXCL) または入力ポートになります。

P95 ~ P93 端子は、P95DDR ~ P93DDR による入出力の方向は無視され、自動的にバス制御出力 ($\overline{\text{AS}}/\overline{\text{IOS}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$) となります。

P92 ~ P91 端子は、P92DDR ~ P91DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

P90 端子は、WSCR の ABW ビットを 0 にクリアすると、P90DDR による入出力の方向は無視され、バス制御出力 ($\overline{\text{LWR}}$) となります。ABW ビットを 1 にセットした状態では、P90DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード 2、3 (EXPE = 0)

P9DDR を 1 にセットすると P96 端子は 出力端子、P97、P95 ~ P90 端子は出力ポートとなります。P9DDR を 0 にクリアすると各端子は入力ポートになります。

(2) ポート 9 データレジスタ (P9DR)

ビット:	7	6	5	4	3	2	1	0
	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR
初期値:	0	*	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】* P96端子の状態により決定されます。

P9DR は、8 ビットのリード/ライト可能なレジスタで、ポート 9 の各端子 (P97 ~ P90) の出力データを格納します。P96 以外では、P9DDR が 1 のときポート 9 のリードを行うと、P9DR の値を直接リードします。そのため端子の状態の影響を受けません。P9DDR が 0 のときポート 9 のリードを行うと、端子の状態が読み出されます。

P9DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.10.3 端子機能

ポート 9 は、割り込み入力端子 ($\overline{\text{IRQ0}} \sim \overline{\text{IRQ2}}$)、A/D 変換器の入力端子 ($\overline{\text{ADTRG}}$)、HIF の入力端子 ($\overline{\text{ECS2}}$ 、 $\overline{\text{CS1}}$ 、 $\overline{\text{IOW}}$ 、 $\overline{\text{IOR}}$)、IIC0 の入出力端子 (SDA0)、サブクロック入力端子 (EXCL)、バス制御信号入出力端子 ($\overline{\text{AS/IOS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{WAIT}}$) およびシステムクロック () 出力端子と兼用になっています。モード 1、2、3 (EXPE = 1) の拡張モードとモード 2、3 (EXPE = 0) シングルチップモードでは端子機能が異なります。ポート 9 の端子機能を表 8.21 に示します。

表 8.21 ポート 9 の端子機能

端子	選択方法と端子機能							
P97/ $\overline{\text{WAIT}}$ /SDA0	動作モード、WSCR の WMS1 ビット、IIC0 の ICCR の ICE ビット、および P97DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2、3 (EXPE=1)				モード2、3 (EXPE=0)		
	WMS1	0			1			
	ICE	0		1	-	0		1
	P97DDR	0	1	-	-	0	1	-
	端子機能	P97 入力端子	P97 出力端子	SDA0 入出力端子	$\overline{\text{WAIT}}$ 入力端子	P97 入力端子	P97 出力端子	SDA0 入出力端子
H8S/2148 シリーズ、H8S/2147N では、P97 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。								
P96/ /EXCL	LPWRRCR の EXCLE ビットと P96DDR ビットの組み合わせにより、次のように切り替わります。							
	P96DDR	0			1			
	EXCLE	0		1	0			
	端子機能	P96入力端子		EXCL入力端子		出力端子		
EXCL 入力端子として使用する場合は、P96DDR を 0 にクリアしてください。								
P95/ $\overline{\text{AS}}$ / $\overline{\text{IOS}}$ / $\overline{\text{CS1}}$	動作モード、SYSCR の IOSE ビット、SYSCR2 の HI12E ビット、および P95DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2、3 (EXPE=1)			モード2、3 (EXPE=0)			
	HI12E	-			0		1	
	P95DDR	-			0	1	-	
	IOSE	0	1	-	-	-		
	端子機能	$\overline{\text{AS}}$ 出力端子	$\overline{\text{IOS}}$ 出力端子	P95入力端子	P95出力端子	$\overline{\text{CS1}}$ 入力端子		
P94/ $\overline{\text{HWR}}$ / $\overline{\text{IOW}}$	動作モード、SYSCR2 の HI12E ビット、および P94DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2、3 (EXPE=1)		モード2、3 (EXPE=0)				
	HI12E	-		0		1		
	P94DDR	-		0	1	-		
	端子機能	$\overline{\text{HWR}}$ 出力端子		P94入力端子	P94出力端子	$\overline{\text{IOW}}$ 入力端子		

端子	選択方法と端子機能						
P93/ \overline{RD} \overline{IOR}	動作モード、SYSCR2のHI12Eビット、およびP93DDRビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード1、2、3 (EXPE=1)		モード2、3 (EXPE=0)			
	HI12E	-		0	1		
	P93DDR	-		0	1	-	
	端子機能	\overline{RD} 出力端子	P93入力端子	P93出力端子	\overline{IOR} 入力端子		
P92/ $\overline{IRQ0}$	P92DDR	0		1			
	端子機能	P92入力端子		P92出力端子			
		$\overline{IRQ0}$ 入力端子					
	IERのIRQ0Eビットを1にセットした場合、 $\overline{IRQ0}$ 入力端子として使用します。						
P91/ $\overline{IRQ1}$	P91DDR	0		1			
	端子機能	P91入力端子		P91出力端子			
		$\overline{IRQ1}$ 入力端子					
	IERのIRQ1Eビットを1にセットした場合、 $\overline{IRQ1}$ 入力端子として使用します。						
P90/ \overline{LWR} $\overline{IRQ2}$ \overline{ADTRG} $\overline{ECS2}$	動作モード、WSCRのABWビット、SYSCR2のHI12Eビット、CS2Eビット、HICRのFGA20Eビット、およびP90DDRビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード1、2、3 (EXPE=1)			モード2、3 (EXPE=0)		
	ABW	0	1		-		
	HI12E	-			いずれかが0		1
	FGA20E	-					1
	CS2E	-					1
	P90DDR	-	0	1	0	1	-
	端子機能	\overline{LWR} 出力端子	P90入力端子	P90出力端子	P90入力端子	P90出力端子	$\overline{ECS2}$ 入力端子
		$\overline{IRQ2}$ 入力端子、 \overline{ADTRG} 入力端子					
	モード1、2、3 (EXPE=1) でかつWSCRのABWビットを1にセットしたとき、およびモード2、3 (EXPE=0) のときに、IERのIRQ2Eビットを1にセットした場合、 $\overline{IRQ2}$ 入力端子として使用します。						
A/D変換器のADCRのTRGS1、TRGS0ビットをいずれも1にセットした場合、 \overline{ADTRG} 入力端子として使用します。							

8.11 ポート A

8.11.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、キーボードバッファコントローラ入出力端子 (PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD) 【H8S/2148 シリーズ、H8S/2147N のみ】、キーセンス割込み入力端子 ($\overline{\text{KIN15}}$ ~ $\overline{\text{KIN8}}$)、拡張 A/D 入力端子 (CIN15 ~ CIN8)、アドレス出力端子 (A23 ~ A16) と兼用になっています。ポート A の端子機能はいずれの動作モードでも共通です。ポート A の各端子の構成を図 8.18 に示します。



図 8.18 ポート A の端子機能

8.11.2 レジスタ構成

表 8.22 にポート A のレジスタ構成を示します。

表 8.22 ポート A レジスタ構成

名称	略称	R/W	初期値	アドレス* ¹
ポート A データディレクションレジスタ	PADDR	W	H'00	H'FFAB* ²
ポート A 出力データレジスタ	PAODR	R/W	H'00	H'FFAA
ポート A 入力データレジスタ	PAPIN	R	不定	H'FFAB* ²

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 PADDR と PAPIN は同じアドレスです。

(1) ポート A データディレクションレジスタ (PADDR)

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。

PADDR を 1 にセットすると対応するポート A の各端子は出力となり、0 にクリアすると入力になります。

PADDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(2) ポート A 出力データレジスタ (PAODR)

ビット :	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAODR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA7 ~ PA0) の出力データを格納します。PADDR の内容と関わりなく、常に PAODR のリード/ライトが可能です。

PAODR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート A 入力データレジスタ (PAPIN)

ビット :	7	6	5	4	3	2	1	0
	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN
初期値 :	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

【注】* PA7 ~ PA0端子の状態により決定されます。

PAPIN のリードを行うと、常に端子の状態が読み出されます。

8.11.3 端子機能

ポート A の各端子は、キーボードバッファコントローラ入出力端子 (PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD)、キーセンス割込み入力端子 ($\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$)、拡張 A/D 入力端子 (CIN15 ~ CIN8)、アドレス出力端子 (A23 ~ A16) と兼用になっています。ポート A の端子機能を表 8.23 に示します。

表 8.23 ポート A の端子機能

端子	選択方法と端子機能								
PA7 /A23 /PS2CD $\overline{\text{KIN15}}$ /CIN15	動作モードとキーボードバッファコントローラの KBCR2H の KBIOE ビット、SYSCR の IOSE ビット、および PA7DDR ビットの組み合わせにより、次のように切り替わります。								
	動作モード			モード2 (EXPE=1)					
	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)					
	KBIOE		0	1	0		1		
	PA7DDR		0	1	-	0	1		
	IOSE		-	-	-	-	0	1	
	端子機能		PA7	PA7	PS2CD	PA7	A23	PA7	PS2CD
			入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子
	$\overline{\text{KIN15}}$ 入力端子、CIN15入力端子、PS2CD入力端子								
	STCR の IICS ビットを 1 にセットするとバスバッファとなります。								
	また、常時 PS2CD、 $\overline{\text{KIN15}}$ 、CIN15 入力端子として使用可能です。								
PA6 /A22 /PS2CC $\overline{\text{KIN14}}$ /CIN14	動作モードとキーボードバッファコントローラの KBCR2H の KBIOE ビット、SYSCR の IOSE ビット、および PA6DDR ビットの組み合わせにより、次のように切り替わります。								
	動作モード			モード2 (EXPE=1)					
	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)					
	KBIOE		0	1	0		1		
	PA6DDR		0	1	-	0	1		
	IOSE		-	-	-	-	0	1	
	端子機能		PA6	PA6	PS2CC	PA6	A22	PA6	PS2CC
			入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子
	$\overline{\text{KIN14}}$ 入力端子、CIN14入力端子、PS2CC入力端子								
	STCR の IICS ビットを 1 にセットするとバスバッファとなります。								
	また、常時 PS2CC、 $\overline{\text{KIN14}}$ 、CIN14 入力端子として使用可能です。								

端子	選択方法と端子機能							
PA5 /A21 /PS2BD $\overline{\text{KIN13}}$ /CIN13	動作モードとキーボードバッファコントローラの KBCR1H の KBIOE ビット、SYSCR の IOSE ビット、および PA5DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード			モード2 (EXPE=1)				
	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)				
	KBIOE			0				
	PA5DDR			0				
	IOSE			0				
	端子機能			PA5				
	PA5	PA5	PS2BD	PA5	A21	PA5	PS2BD	
	入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子	
	KIN13入力端子、CIN13入力端子、PS2BD入力端子							
	STCR の IICS ビットを 1 にセットするとバスバッファとなります。							
	また、常時 PS2BD、 $\overline{\text{KIN13}}$ 、CIN13 入力端子として使用可能です。							
PA4 /A20 /PS2BC $\overline{\text{KIN12}}$ /CIN12	動作モードとキーボードバッファコントローラの KBCR1H の KBIOE ビット、SYSCR の IOSE ビット、および PA4DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード			モード2 (EXPE=1)				
	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)				
	KBIOE			0				
	PA4DDR			0				
	IOSE			0				
	端子機能			PA4				
	PA4	PA4	PS2BC	PA4	A20	PA4	PS2BC	
	入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子	
	KIN12入力端子、CIN12入力端子、PS2BC入力端子							
	STCR の IICS ビットを 1 にセットするとバスバッファとなります。							
	また、常時 PS2BC、 $\overline{\text{KIN12}}$ 、CIN12 入力端子として使用可能です。							
PA3 /A19 /PS2AD $\overline{\text{KIN11}}$ /CIN11	動作モードとキーボードバッファコントローラの KBCR0H の KBIOE ビット、SYSCR の IOSE ビット、および PA3DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード			モード2 (EXPE=1)				
	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)				
	KBIOE			0				
	PA3DDR			0				
	IOSE			0				
	端子機能			PA3				
	PA3	PA3	PS2AD	PA3	A19	PA3	PS2AD	
	入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子	
	KIN11入力端子、CIN11入力端子、PS2AD入力端子							
	また、常時 PS2AD、 $\overline{\text{KIN11}}$ 、CIN11 入力端子として使用可能です。							

端子	選択方法と端子機能								
PA2 /A18 /PS2AC /KIN10 /CIN10	動作モードとキーボードバッファコントローラの KBCR0H の KBIOE ビット、SYSCR の IOSE ビット、および PA2DDR ビットの組み合わせにより、次のように切り替わります。								
	動作モード			モード2 (EXPE=1)					
	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)					
	KBIOE		0	1	0		1		
	PA2DDR		0	1	-	0	1		
	IOSE		-	-	-	-	0	1	
	端子機能		PA2 入力端子	PA2 出力端子	PS2AC 出力端子	PA2 入力端子	A18 出力端子	PA2 出力端子	PS2AC 出力端子
	KIN10入力端子、CIN10入力端子、PS2AC入力端子								
	また、常時 PS2AC、 $\overline{\text{KIN10}}$ 、CIN10 入力端子として使用可能です。								
PA1 /A17 /KIN9 /CIN9	動作モードと SYSCR の IOSE ビットおよび PA1DDR ビットの組み合わせにより、次のように切り替わります。								
	動作モード			モード2 (EXPE=1)					
	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)					
	PA1DDR		0	1	0	1			
	IOSE		-	-	-	0	1		
	端子機能		PA1入力端子	PA1出力端子	PA1入力端子	A17出力端子	PA1出力端子		
	KIN9入力端子、CIN9入力端子								
	また、常時 $\overline{\text{KIN9}}$ 、CIN9 入力端子として使用可能です。								
PA0 /A16 /KIN8 /CIN8	動作モードと SYSCR の IOSE ビットおよび PA0DDR ビットの組み合わせにより、次のように切り替わります。								
	動作モード			モード2 (EXPE=1)					
	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)					
	PA0DDR		0	1	0	1			
	IOSE		-	-	-	0	1		
	端子機能		PA0入力端子	PA0出力端子	PA0入力端子	A16出力端子	PA0出力端子		
	KIN8入力端子、CIN8入力端子								
	また、常時 $\overline{\text{KIN8}}$ 、CIN8 入力端子として使用可能です。								

8.11.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はいずれの動作モードでも使用でき、ビット単位でオン/オフを指定できます。

PADDR を 0 にクリアした状態で、PAODR を 1 にセットすると、入力プルアップ MOS はオンとなります。なお、PA7 ~ PA4 は IICS = 1 にセットした状態では、入力プルアップ MOS は常にオフとなります。また、PA7 ~ PA2 が、キーボードバッファコントローラ用端子として選択されている場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.24 に示します。

表 8.24 入力プルアップ MOS の状態 (ポート A)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3		OFF		ON/OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAODR = 1 のときオン状態、その他のときはオフ状態です。

8.12 ポート B

8.12.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、HIF の入出力端子 ($\overline{CS3}$ 、 $\overline{CS4}$ 、HIRQ3、HIRQ4) 【H8S/2148 シリーズ、H8S/2147N のみ】とデータバス入出力機能 (D7 ~ D0) を持っており、動作モードによって端子機能が切り替わります。

ポート B の各端子の構成を図 8.19 に示します。

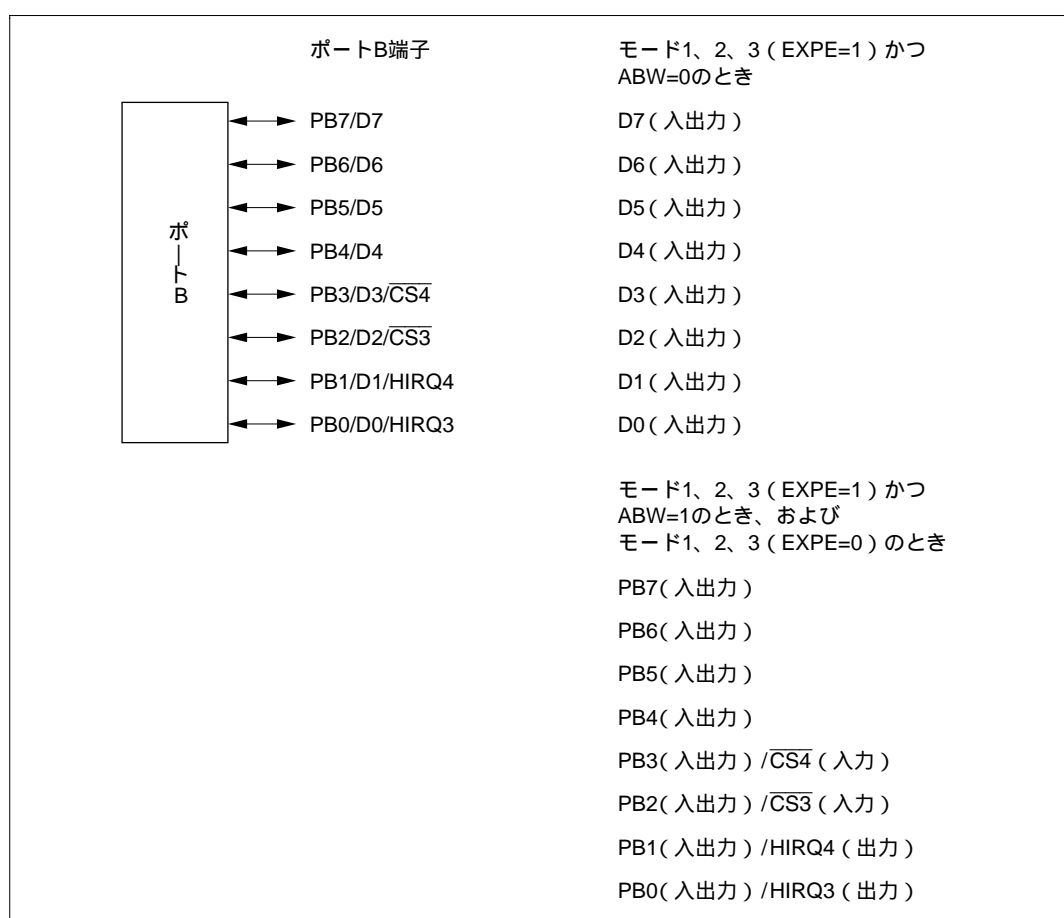


図 8.19 ポート B の端子機能

8.12.2 レジスタ構成

表 8.25 にポート B のレジスタ構成を示します。

表 8.25 ポート B レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FFBE* ²
ポート B 出力データレジスタ	PBODR	R/W	H'00	H'FFBC
ポート B 入力データレジスタ	PBPIN	R	不定	H'FFBD* ³

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 PBDDR は P7PIN と同じアドレスです。

*3 PBPIN は P8DDR と同じアドレスです。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。PBDDR は P7PIN と同じアドレスであり、リードするとポート 7 の端子状態が読み出されます。

PBDDR を 1 にセットすると対応するポート B の各端子は出力となり、0 にクリアすると入力になります。

PBDDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(a) モード 1、2、3 (EXPE = 1)

WSCR の ABW ビットを 0 にクリアすると、PBDDR による入出力の方向は無視され、自動的にデータ入出力 (D7~D0) となります。ABW ビットを 1 にセットした状態では、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また、リセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時には、データ入出力はハイインピーダンス状態になります。

(b) モード 2、3 (EXPE = 0)

PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート B 出力データレジスタ (PBODR)

ビット：	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBODR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB7 ~ PB0) の出力データを格納します。PBDDR の内容と関わりなく、常に PBODR のリード/ライトが可能です。

PBODR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート B 入力データレジスタ (PBPIN)

ビット：	7	6	5	4	3	2	1	0
	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN
初期値：	*	*	*	*	*	*	*	*
R/W：	R	R	R	R	R	R	R	R

【注】* PB7 ~ PB0端子の状態により決定されます。

PBPIN のリードを行うと、常に端子の状態が読み出されます。

PBPIN は P8DDR と同じアドレスであり、ライトを行うと P8DDR にデータが書き込まれポート 8 の設定が変わります。

8.12.3 端子機能

ポート B の各端子は、HIF の入力端子 ($\overline{CS3}$ 、 $\overline{CS4}$ 、HIRQ3、HIRQ4) 【H8S/2148 シリーズ、H8S/2147N のみ】とデータバス入出力端子 (D7 ~ D0) との兼用になっています。ポート B の端子機能を表 8.26 に示します。

表 8.26 ポート B の端子機能

端子	選択方法と端子機能					
PB7/D7	動作モードと PB7DDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		-	
	PB7DDR	-	0	1	0	1
	端子機能	D7入出力端子	PB7入力端子	PB7出力端子	PB7入力端子	PB7出力端子
PB6/D6	動作モードと PB6DDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		-	
	PB6DDR	-	0	1	0	1
	端子機能	D6入出力端子	PB6入力端子	PB6出力端子	PB6入力端子	PB6出力端子
PB5/D5	動作モードと PB5DDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		-	
	PB5DDR	-	0	1	0	1
	端子機能	D5入出力端子	PB5入力端子	PB5出力端子	PB5入力端子	PB5出力端子
PB4/D4	動作モードと PB4DDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		-	
	PB4DDR	-	0	1	0	1
	端子機能	D4入出力端子	PB4入力端子	PB4出力端子	PB4入力端子	PB4出力端子

端子	選択方法と端子機能					
PB3/D3/ $\overline{CS4}$	動作モードと SYSCR2 の HI12E ビット、CS4E ビット、WSCR の ABW ビット、および PB3DDR ビットの組み合わせにより、次のように切り替わります。					
	モード1、モード2、3 (EXPE=1)		モード2、3 (EXPE=0)			
動作モード						
HI12E	-		いずれかが0		1	
CS4E	-				1	
ABW	0	1		-		-
PB3DDR	-	0	1	0	1	-
端子機能	D3 入出力端子	PB3 入力端子	PB3 出力端子	PB3 入力端子	PB3 出力端子	$\overline{CS4}$ 入力端子
PB2/D2/ $\overline{CS3}$	動作モードと SYSCR2 の HI12E ビット、CS3E ビット、WSCR の ABW ビット、および PB2DDR ビットの組み合わせにより、次のように切り替わります。					
	モード1、モード2、3 (EXPE=1)		モード2、3 (EXPE=0)			
動作モード						
HI12E	-		いずれかが0		1	
CS3E	-				1	
ABW	0	1		-		-
PB2DDR	-	0	1	0	1	-
端子機能	D2 入出力端子	PB2 入力端子	PB2 出力端子	PB2 入力端子	PB2 出力端子	$\overline{CS3}$ 入力端子
PB1/D1/HIRQ4	動作モードと SYSCR2 の HI12E ビット、CS4E ビット、WSCR の ABW ビット、および PB1DDR ビットの組み合わせにより、次のように切り替わります。					
	モード1、モード2、3 (EXPE=1)		モード2、3 (EXPE=0)			
動作モード						
HI12E	-		いずれかが0		1	
CS4E	-				1	
ABW	0	1		-		-
PB1DDR	-	0	1	0	1	1
端子機能	D1 入出力端子	PB1 入力端子	PB1 出力端子	PB1 入力端子	PB1 出力端子	HIRQ4 出力端子
PB0/D0/HIRQ3	動作モードと SYSCR2 の HI12E ビット、CS3E ビット、WSCR の ABW ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。					
	モード1、モード2、3 (EXPE=1)		モード2、3 (EXPE=0)			
動作モード						
HI12E	-		いずれかが0		1	
CS3E	-				1	
ABW	0	1		-		-
PB0DDR	-	0	1	0	1	1
端子機能	D0 入出力端子	PB0 入力端子	PB0 出力端子	PB0 入力端子	PB0 出力端子	HIRQ3 出力端子

8.12.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 1、2、3 (EXPE=1) で WSCR の ABW ビットが 1 にセットされているとき、およびモード 2、3 (EXPE=0) のときに使用でき、ビット単位でオン/オフを指定できます。

PBDDR を 0 にクリアした状態で、PBODR を 1 にセットすると、入力プルアップ MOS はオンとなります。なお、内蔵周辺機能の出力端子に設定した場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.27 に示します。

表 8.27 入力プルアップ MOS の状態 (ポート B)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1) かつ WSCR の ABW=0 のとき		OFF	OFF	
1、2、3 (EXPE=1) かつ WSCR の ABW=1 のとき 2、3 (EXPE=0) のとき			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBODR = 1 のときオン状態、その他のときはオフ状態です。

9. 8ビット PWM タイマ (PWM)

H8S/2148 シリーズ、H8S/2147N に内蔵しています。
H8S/2144 シリーズには内蔵していません。

第9章 目次

9.1	概要	283
9.1.1	特長	283
9.1.2	ブロック図	284
9.1.3	端子構成	285
9.1.4	レジスタ構成	285
9.2	各レジスタの説明	286
9.2.1	PWM レジスタセレクト (PWSL)	286
9.2.2	PWM データレジスタ (PWDR0 ~ PWDR15)	289
9.2.3	PWM データポラリティレジスタ (PWPRA、PWPRB)	289
9.2.4	PWM アウトプットイネーブルレジスタ (PWOERA、PWOERB)	290
9.2.5	周辺クロックセレクトレジスタ (PCSR)	291
9.2.6	ポート1 データディレクションレジスタ (P1DDR)	292
9.2.7	ポート2 データディレクションレジスタ (P2DDR)	292
9.2.8	ポート1 データレジスタ (P1DR)	292
9.2.9	ポート2 データレジスタ (P2DR)	293
9.2.10	モジュールストップコントロールレジスタ (MSTPCR)	293
9.3	PWM タイマの動作	294
9.3.1	PWM データレジスタの内容と出力波形の対応	294

9.1 概要

本 LSI は、16 本の出力を持つ PWM (Pulse Width Modulation) タイマを内蔵しています。16 本の出力波形は共通のタイムベースから生成され、パルス分割方式により高いキャリア周波数の PWM 出力が可能です。16 本の 8 ビット PWM データレジスタ (PWDR) を持ち、PWDR およびポートのデータレジスタ (P1DR、P2DR) に設定する値によって、0 ~ 100% の任意の出力を得ることができます。

9.1.1 特長

PWM タイマの特長を以下に示します。

パルス分割により、最大 1.25MHz のキャリア周波数での動作可能 (20MHz 動作時)
デューティ 0 ~ 100% を 1 / 256 の分解能で設定可能 (100% はポート出力で実現)
PWM 出力のイネーブル / ディスエーブルの切り替え、直接出力 / 反転出力の切り替えが可能

9.1.2 ブロック図

PWM タイマのブロック図を図9.1に示します。

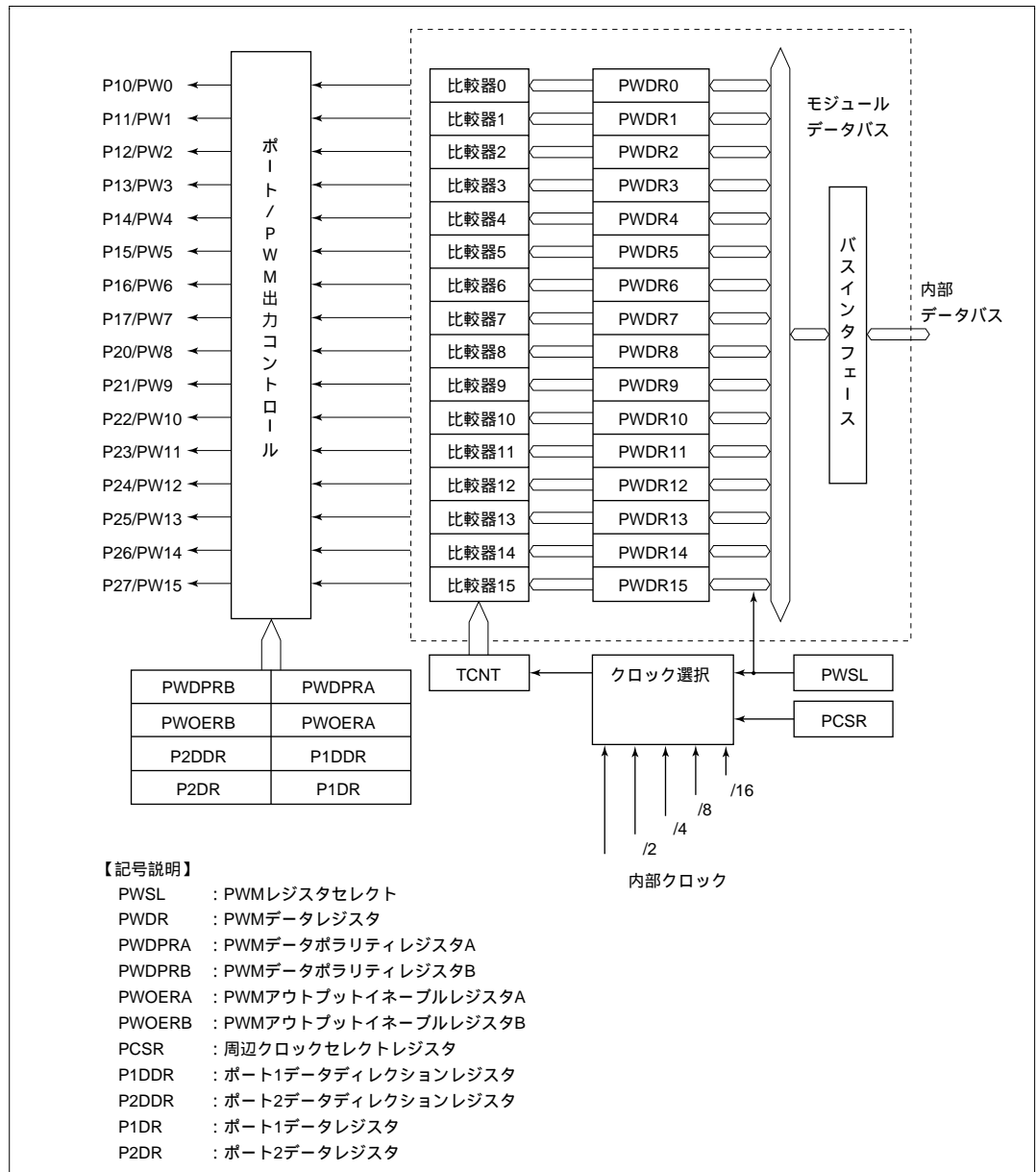


図 9.1 PWM タイマのブロック図

9.1.3 端子構成

PWMの出力端子を表9.1に示します。

表9.1 端子構成

名 称	記号	入出力	機 能
PWM出力端子0~15	PW0~PW15	出力	PWMタイマパルス出力0~15

9.1.4 レジスタ構成

PWMのレジスタ構成を表9.2に示します。

表9.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
PWMレジスタセレクト	PWSL	R/W	H'20	H'FFD6
PWMデータレジスタ0~15	PWDR0~PWDR15	R/W	H'00	H'FFD7
PWMデータポラリティレジスタA	PWDpra	R/W	H'00	H'FFD5
PWMデータポラリティレジスタB	PWDprb	R/W	H'00	H'FFD4
PWMアウトプットイネーブルレジスタA	PWOera	R/W	H'00	H'FFD3
PWMアウトプットイネーブルレジスタB	PWOerb	R/W	H'00	H'FFD2
ポート1データディレクションレジスタ	P1DDR	W	H'00	H'FFB0
ポート2データディレクションレジスタ	P2DDR	W	H'00	H'FFB1
ポート1データレジスタ	P1DR	R/W	H'00	H'FFB2
ポート2データレジスタ	P2DR	R/W	H'00	H'FFB3
周辺クロックセレクトレジスタ	PCSR	R/W	H'00	H'FF82*2
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位16ビットを示しています。

*2 8ビットPWMタイマのレジスタの一部は、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) のFLSHEビットで行います。

9.2 各レジスタの説明

9.2.1 PWM レジスタセレクト (PWSL)

ビット :	7	6	5	4	3	2	1	0
	PWCKE	PWCKS	-	-	RS3	RS2	RS1	RS0
初期値 :	0	0	1	0	0	0	0	0
R/W :	R/W	R/W	-	-	R/W	R/W	R/W	R/W

PWSL は8ビットのリード/ライト可能なレジスタで、PWM タイマの入力クロックの選択およびPWM データレジスタの選択を行います。

PWSL はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時にH'20に初期化されます。

ビット7、6 : PWMクロックイネーブル、

PWMクロックセレクト (PWCKE、PWCKS)

PCSRのPWCKA、PWCKBビットとともに、PWMタイマのTCNTに入力する内部クロックを選択します。

PWSL		PCSR		説明		
ビット7	ビット6	ビット2	ビット1			
PWCKE	PWCKS	PWCKB	PWCKA			
0	-	-	-	クロック入力禁止 (初期値)		
1	0	-	-	(システムクロック)を選択		
			0	0	/2を選択	
	1	0	0	1	/4を選択	
			1	0	0	/8を選択
				1	1	/16を選択

PWMの分解能、PWM変換周期、キャリア周波数は、選択した内部クロックにより、次の式で求めることができます。

$$\text{分解能 (最小パルス幅)} = 1 / \text{内部クロック周波数}$$

$$\text{PWM変換周期} = \text{分解能} \times 256$$

$$\text{キャリア周波数} = 16 / \text{PWM変換周期}$$

したがって、システムクロック()が20MHzの場合の分解能、PWM変換周期、キャリア周波数は表9.3のようになります。

表 9.3 = 20MHz 時の分解能、PWM 変換周期、キャリア周波数

内部クロック周波数	分解能	PWM 変換周期	キャリア周波数
	50ns	12.8 μ s	1250kHz
/ 2	100ns	25.6 μ s	625kHz
/ 4	200ns	51.2 μ s	312.5kHz
/ 8	400ns	102.4 μ s	156.3kHz
/ 16	800ns	204.8 μ s	78.1kHz

ビット5：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット4：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3~0: レジスタセレクト (RS3~RS0)

PWM データレジスタを選択します。

ビット3	ビット2	ビット1	ビット0	レジスタ選択	
RS3	RS2	RS1	RS0		
0	0	0	0	PWDR0 選択	
			1	PWDR1 選択	
		1	0	PWDR2 選択	
			1	PWDR3 選択	
	1	0	0	0	PWDR4 選択
				1	PWDR5 選択
		1	0	0	PWDR6 選択
				1	PWDR7 選択
1	0	0	0	PWDR8 選択	
			1	PWDR9 選択	
		1	0	0	PWDR10 選択
				1	PWDR11 選択
	1	0	0	0	PWDR12 選択
				1	PWDR13 選択
		1	0	0	PWDR14 選択
				1	PWDR15 選択

9.2.2 PWM データレジスタ (PWDR0 ~ PWDR15)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR は、8ビットのリード/ライト可能なレジスタで、出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWDR に設定する値が、変換周期内の 0/1 比に対応します。上位 4 ビットは基本パルスのデューティ比を 0/16 ~ 15/16 まで 1/16 の分解能で指定し、下位 4 ビットは、16 基本パルスで構成される変換周期内にいくつの付加パルスを付加するかを指定します。したがって、変換周期内の 0/1 比は、0/256 ~ 255/256 まで指定可能です。256/256 (100%) を出力する場合は、ポート出力を利用してください。

PWDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'00 に初期化されます。

9.2.3 PWM データポラリティレジスタ (PWPRA、PWPRB)

ビット :	7	6	5	4	3	2	1	0
PWPRA :	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
PWPRB :	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWPR は、8ビットのリード/ライト可能な 2 本のレジスタで、PWM 出力の極性を制御します。OS0 ~ OS15 ビットが PW0 ~ PW15 出力にそれぞれ対応します。

PWPR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されま

OS	説明
0	PWM 直接出力 (PWDR の値が、出力の High 幅に対応) (初期値)
1	PWM 反転出力 (PWDR の値が、出力の Low 幅に対応)

9.2.4 PWM アウトプットイネーブルレジスタ (PWOERA、PWOERB)

ビット :	7	6	5	4	3	2	1	0
PWOERA:	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
PWOERB:	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWOER は、8ビットのリード/ライト可能な2本のレジスタで、PWM出力とポート出力を切り替えます。OE15~OE0ビットがPW15~PW0出力にそれぞれ対応します。端子を出力状態とするためには、さらにポートのデータディレクションレジスタで設定する必要があります。P17DDR~P10DDRビットがPW7~PW0出力に、P27DDR~P20DDRビットがPW15~PW8出力にそれぞれ対応します。

PWOER は、リセットまたはハードウェアスタンバイモード時に、H'00に初期化されま

DDR	OE	説 明
0	0	ポート入力 (初期値)
	1	ポート入力
1	0	ポート出力またはPWMの256/256出力
	1	PWM出力(0~255/256出力)

9.2.5 周辺クロックセレクトレジスタ (PCSR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	PWCKB	PWCKA	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	-

PCSRは8ビットのリード/ライト可能なレジスタで、PWMタイマの入力クロックの選択を行います。

PCSRはリセットまたはハードウェアスタンバイモード時にH'00に初期化されます。

ビット7~3 : リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2, 1 : PWMクロックセレクト (PWCKB、PWCKA)

PWSLのPWCKE、PWCKSビットとともに、PWMタイマのTCNTに入力する内部クロックを選択します。詳細は「9.2.1 PWMレジスタセレクト (PWSL)」を参照してください。

ビット0 : リザーブビット

リザーブビットです。1にセットしないでください。

9.2.6 ポート1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
:	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は 8 ビットのライト専用のレジスタで、ポート 1 の各端子の入出力方向および PWM 出力をビット単位に設定します。

ポート 1 は PW0 ~ PW7 端子との兼用端子となっています。PWM 出力を行う端子に対応するビットを 1 にセットしてください。

P1DDR の詳細は、「8.2 ポート 1」を参照してください。

9.2.7 ポート2 データディレクションレジスタ (P2DDR)

ビット :	7	6	5	4	3	2	1	0
:	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P2DDR は 8 ビットのライト専用のレジスタで、ポート 2 の各端子の入出力方向および PWM 出力をビット単位に設定します。

ポート 2 は PW8 ~ PW15 端子との兼用端子となっています。PWM 出力を行う端子に対応するビットを 1 にセットしてください。

P2DDR の詳細は、「8.3 ポート 2」を参照してください。

9.2.8 ポート1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
:	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は 8 ビットのリード/ライト可能なレジスタで、PWM 出力の 1 固定 (OS = 0 の場合) または 0 固定 (OS = 1 の場合) に使用します。

P1DR の詳細は、「8.2 ポート 1」を参照してください。

9.2.9 ポート2 データレジスタ (P2DR)

ビット :	7	6	5	4	3	2	1	0
:	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DRは8ビットのリード/ライト可能なレジスタで、PWM出力の1固定(OS=0の場合)または0固定(OS=1の場合)に使用します。

P2DRの詳細は、「8.3 ポート2」を参照してください。

9.2.10 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCRH								MSTPCRL							
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP11ビットを1にセットすると、8ビットPWMタイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット3 : モジュールストップ (MSTP11)

PWMのモジュールストップモードを指定します。

MSTPCRH ビット3	説明
MSTP11	
0	PWMのモジュールストップモード解除
1	PWMのモジュールストップモード設定 (初期値)

9.3 PWM タイマの動作

9.3.1 PWM データレジスタの内容と出力波形の対応

PWDR の上位4ビットは基本パルスのデューティ比を $0/16 \sim 15/16$ まで $1/16$ の分解能で次のように指定します。

表9.4 基本パルスのデューティ比

上位4ビット	基本パルス波形 (内部)
0000	0 1 2 3 4 5 6 7 8 9 A B C D E F 0
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1000	
1001	
1010	
1011	
1100	
1101	
1110	
1111	

PWDR の下位4ビットは、16基本パルスに対する付加パルスの付加位置を次のように指定します。付加パルスとしては、基本パルスの立ち上がりエッジの前に分解能分の幅の High 期間 (OS = 0 の場合) を付加します。PWDR の上位4ビットが0000の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。

表 9.5 基本パルスに対する付加パルスの位置

下位 4 ビット	基本パルス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0000																
0001																
0010																
0011																
0100																
0101																
0110																
0111																
1000																
1001																
1010																
1011																
1100																
1101																
1110																
1111																

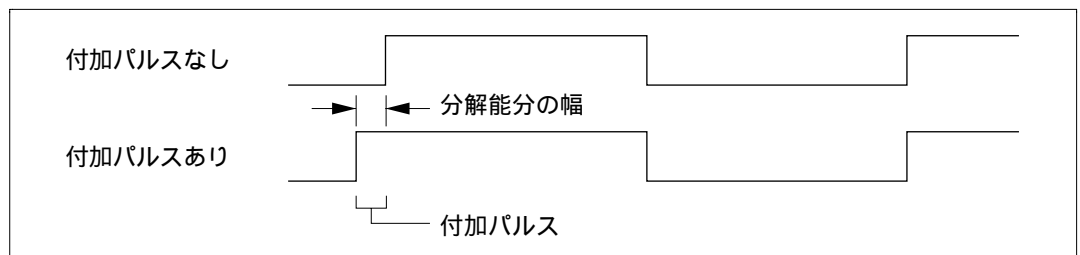


図 9.2 付加パルスタイミング (PWDR 上位 4 ビットが 1000 の例)

10. 14ビット PWM タイマ (PWMX)

第10章 目次

10.1	概要	299
	10.1.1 特長	299
	10.1.2 ブロック図	299
	10.1.3 端子構成	300
	10.1.4 レジスタ構成	300
10.2	各レジスタの説明	301
	10.2.1 PWM (D/A) カウンタ (DACNT)	301
	10.2.2 D/A データレジスタ A、B (DADRA、B)	302
	10.2.3 PWM (D/A) コントロールレジスタ (DACR)	303
	10.2.4 モジュールストップコントロールレジスタ (MSTPCR)	305
10.3	バスマスタとのインタフェース	307
10.4	動作説明	310

10.1 概要

本LSIは、2チャンネルの14ビットPWM (Pulse Width Modulator) を内蔵しています。LSI外部にローパスフィルタを接続することにより、14ビットD/A変換器として使用できます。

2チャンネルのPWMは、カウンタ (DACNT) とコントロールレジスタ (DACR) を共有しています。

10.1.1 特長

14ビットPWM (D/A) の特長を以下に示します。

リップルの少ないパルス分割方式

2種類の分解能、2種類の基本周期を設定可能

分解能は、システムクロック周期とシステムクロック周期×2から選択できます。

また、2種類の基本周期 $T \times 64$ 、 $T \times 256$ ($T =$ 分解能) が選択できます。

4種類の動作速度を設定可能

4種類の動作クロック (基本周期2種類×分解能2種類) が選択できます。

10.1.2 ブロック図

PWM (D/A) のブロック図を図10.1に示します。

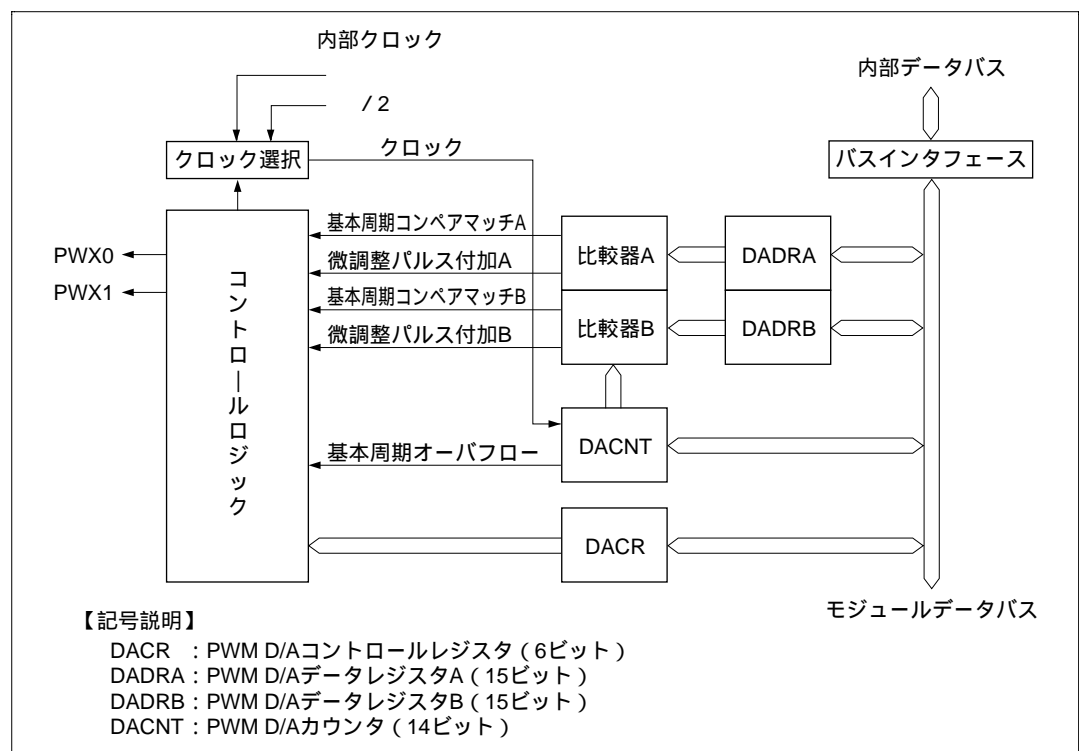


図10.1 PWM (D/A) のブロック図

10.1.3 端子構成

PWM (D/A) の入出力端子を表 10.1 に示します。

表 10.1 端子構成

名 称	記号	入出力	機 能
PWM 出力端子 0	PWX0	出力	チャンネル A の PWM 出力
PWM 出力端子 1	PWX1	出力	チャンネル B の PWM 出力

10.1.4 レジスタ構成

PWM (D/A) のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

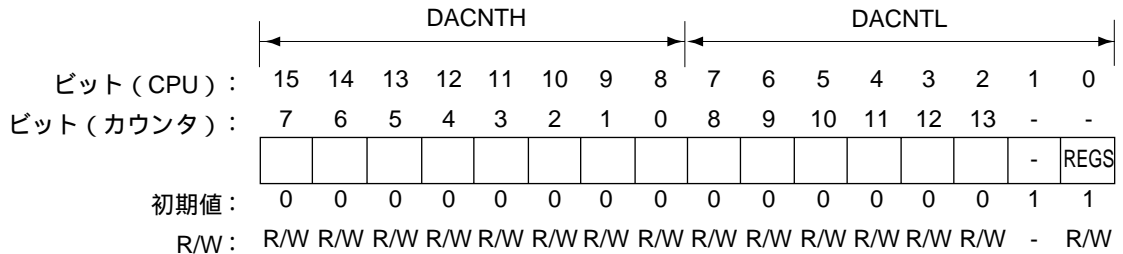
名 称	略称	R/W	初期値	アドレス* ¹
PWM (D/A) コントロールレジスタ	DACR	R/W	H'30	H'FFA0* ²
PWM (D/A) データレジスタ AH	DADRAH	R/W	H'FF	H'FFA0* ²
PWM (D/A) データレジスタ AL	DADRAL	R/W	H'FF	H'FFA1* ²
PWM (D/A) データレジスタ BH	DADRBH	R/W	H'FF	H'FFA6* ²
PWM (D/A) データレジスタ BL	DADRBL	R/W	H'FF	H'FFA7* ²
PWM (D/A) カウンタ H	DACNTH	R/W	H'00	H'FFA6* ²
PWM (D/A) カウンタ L	DACNTL	R/W	H'03	H'FFA7* ²
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 14 ビット PWM タイマのレジスタは、他のレジスタと同じアドレスに割当てられています。それぞれのレジスタの選択は、シリアルタイムコントロールレジスタ (STCR) の IICE ビットで行ないます。また、DADRAH と DACR、DADRB と DACNT のアドレスは同一です。これらの切り替えは DACNT または DADRB の REGS ビットで行います。

10.2 各レジスタの説明

10.2.1 PWM (D/A) カウンタ (DACNT)



DACNTは、14ビットのリードライト可能なアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、DACRのクロックセレクトビット (CKS) で選択します。DACNTの値は、CPUからリード/ライト可能ですが、16ビット構成になっているため、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.3 バスマスタとのインタフェース」を参照してください。

DACNTは、2チャンネルのPWM (D/A) のタイムベースとして使用されます。14ビット精度で使用する場合には、全ビットを利用し、12ビット精度で使用する場合には、上位2ビット (カウンタ) を無視し、下位12ビット (カウンタ) を利用します。

DACNTは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、モジュールストップモード時、またはPWMEビットにより、H'0003に初期化されます。

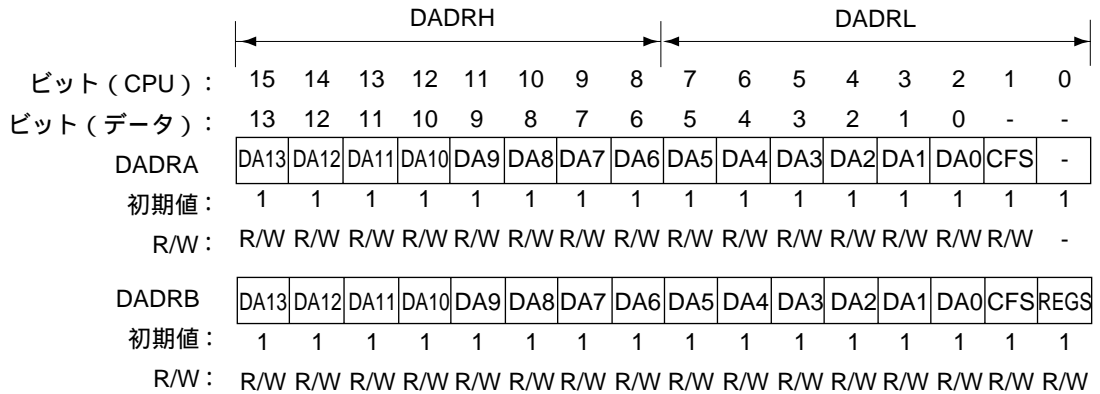
DACNTLのビット1 (CPU) は、未使用で、リードすると1が読み出されます。

DACNTL ビット0 : レジスタセレクト (REGS)

DADRAとDACR、DADRBとDACNTは、同一のアドレスに配置されています。REGSビットは、どちらのレジスタをアクセス可能にするかを選択します。REGSビットは、DADRBとDACNTのいずれが選択されていてもアクセス可能です。

ビット0	説 明
REGS	
0	DADRAとDADRBがアクセス可能
1	DACRとDACNTがアクセス可能 (初期値)

10.2.2 D/A データレジスタ A、B (DADRA、B)



DADR は、16ビットのリード/ライト可能な2本のレジスタ (DADRA、B) で構成されています。DADRA はPWM (D/A) チャネルAに、DADRB はPWM (D/A) チャネルBにそれぞれ対応します。DADR の値は、CPU からリード/ライト可能ですが、16ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.3 バスマスタとのインタフェース」を参照してください。

DADRA の最下位ビット (CPU) は未使用で、リードすると1が読み出されます。

DADR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'FFFF に初期化されます。

ビット 15~3 : D/A データ 13~0 (DA13~0)

DADR の上位 14ビットは、D/A 変換データを設定します。

DADR の上位 14ビットの内容は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを決定し、また分解能幅の付加パルスを出力するか否かを決定します。この動作を可能にするためには、DADR をある範囲の値に設定する必要があります。この範囲はキャリアフリーケンシセレクト (CFS) によって決まります。範囲外の値を DADR に設定すると、PWM 出力は固定されます。

12ビット精度で使用する場合には、下位2ビット (データ) (DA1、0) を0に固定し、上位 12ビット (データ) が有効と見なします。この下位 2ビット (データ) は DACNT の上位 2ビット (カウンタ) に対応しています。

ビット1: キャリアフリーケンシセレクト (CFS)

ビット1	説明
CFS	
0	基本周期 = 分解能 (T) × 64 で動作、DADR の値の範囲は H'0401 ~ H'FFFD
1	基本周期 = 分解能 (T) × 256 で動作、DADR の値の範囲は H'0103 ~ H'FFFF (初期値)

DADRA ビット0: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

DADRB ビット0: レジスタセレクト (REGS)

DADRA と DACR、DADRB と DACNT は、同一のアドレスに配置されています。REGS ビットは、どちらのレジスタをアクセス可能にするかを選択します。REGS ビットは、DADRB と DACNT のいずれが選択されていてもアクセス可能です。

ビット0	説明
REGS	
0	DADRA と DADRB がアクセス可能
1	DACR と DACNT がアクセス可能 (初期値)

10.2.3 PWM (D/A) コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
	TEST	PWME	-	-	OEB	OEA	OS	CKS
初期値:	0	0	1	1	0	0	0	0
R/W:	R/W	R/W	-	-	R/W	R/W	R/W	R/W

DACR は8ビットのリード/ライト可能なレジスタで、テストモードの設定、出力の許可、出力位相、および動作速度の選択を行います。

DACR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'30 に初期化されます。

ビット7：テストモード (TEST)

テスト状態を選択します。このビットはLSIのテストのために使用しますので、通常は0に設定してください。

ビット7	説明
TEST	
0	PWM (D/A) はユーザ状態となり、通常の動作をします (初期値)
1	PWM (D/A) はテスト状態となり、正しい変換結果は得られません

ビット6：PWM イネーブル (PWME)

DACNTの動作または停止を選択します。

ビット6	説明
PWME	
0	DACNT は 14 ビットのアップカウンタとして動作 (初期値)
1	DACNT = H'0003 で停止

ビット5、4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3：アウトプットイネーブルB (OEB)

PWM (D/A) チャネルBの出力の許可または禁止を選択します。

ビット3	説明
OEB	
0	PWM (D/A) チャネルB出力 (PWX1 出力端子) を禁止 (初期値)
1	PWM (D/A) チャネルB出力 (PWX1 出力端子) を許可

ビット2：アウトプットイネーブルA (OEA)

PWM (D/A) チャネルAの出力の許可または禁止を選択します。

ビット2	説明
OEA	
0	PWM (D/A) チャネルA出力 (PWX0 出力端子) を禁止 (初期値)
1	PWM (D/A) チャネルA出力 (PWX0 出力端子) を許可

ビット1: アウトプットセレクト (OS)

PWM (D/A) の出力位相を選択します。

ビット1	説明
OS	
0	PWM 直接出力 (初期値)
1	PWM 反転出力

ビット0: クロックセレクト (CKS)

PWM (D/A) の分解能を選択します。分解能は、システムクロック () が10MHz の場合、100ns と200ns が選択できます。

ビット0	説明
CKS	
0	分解能 (T) = システムクロック周期 (t_{cyc}) で動作 (初期値)
1	分解能 (T) = システムクロック周期 (t_{cyc}) × 2 で動作

10.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP11ビットを1にセットすると、14ビットPWMタイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 3 : モジュールストップ (MSTP11)

PWMX のモジュールストップモードを指定します。

MSTPCRH ビット 3	説 明
MSTP11	
0	PWMX のモジュールストップモード解除
1	PWMX のモジュールストップモード設定 (初期値)

10.3 バスマスタとのインタフェース

DACNT、DADRA、B は、16ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間の、データバスは8ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8ビットのテンポラリレジスタ(TEMP)を介して行います。

各レジスタのリード/ライトは次のような動作で行われます(CPUとのインタフェース例)。

(1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPにストアされます。次に下位バイトのライトで、TEMPにある上位バイトの値とあわせて16ビットデータとしてレジスタにライトされます。

(2) レジスタからのリード時の動作

上位バイトのリードで、上位バイトの値はCPUに転送され、下位バイトの値はTEMPに転送されます。次に下位バイトのリードで、TEMPにある下位バイトの値がCPUに転送されます。

これらのレジスタをアクセスするときは、MOV命令を使用し、常に16ビット単位(バイトアクセスを2回行うことも含みます)で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。なお、ビット操作命令は使用できません。

図10.2にCPUがDACNTをアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。

例1 DACNTへのライト

MOV . W R0 , @DACNT DACNTへR0の内容をライト

例2 DADRAのリード

MOV . W @DADRA , R0 DADRAの内容をR0に転送

表 10.3 16ビットレジスタのリード/ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA, B				×
DACNT		×		×

：許されているアクセスを示します。ワード単位のアクセスとは上位バイト 下位バイトの順序で連続してバイトアクセスすることを含みます。

×：その単位のアクセスでは、結果が保証されないことを示します。

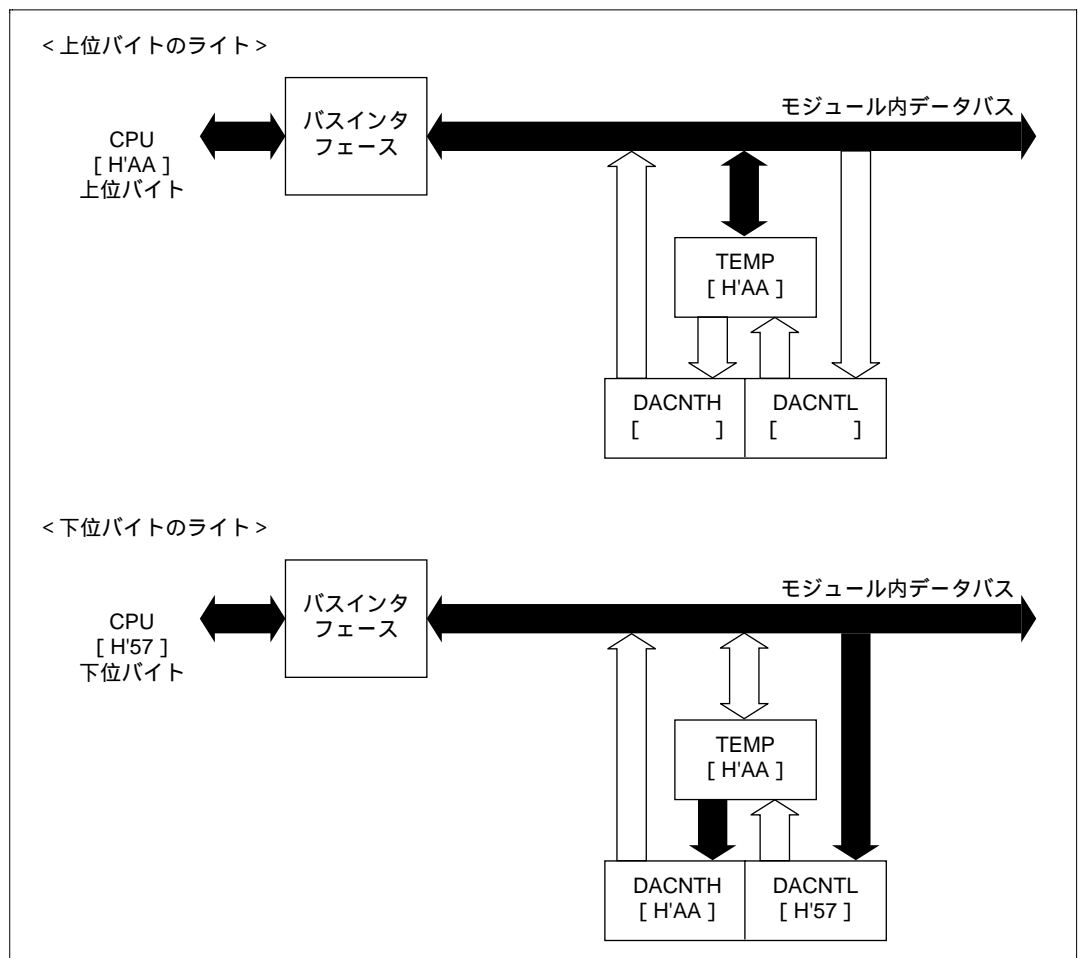


図 10.2 (a) DACNTのアクセス動作 (CPU DACNT [H'AA57] ライト時)

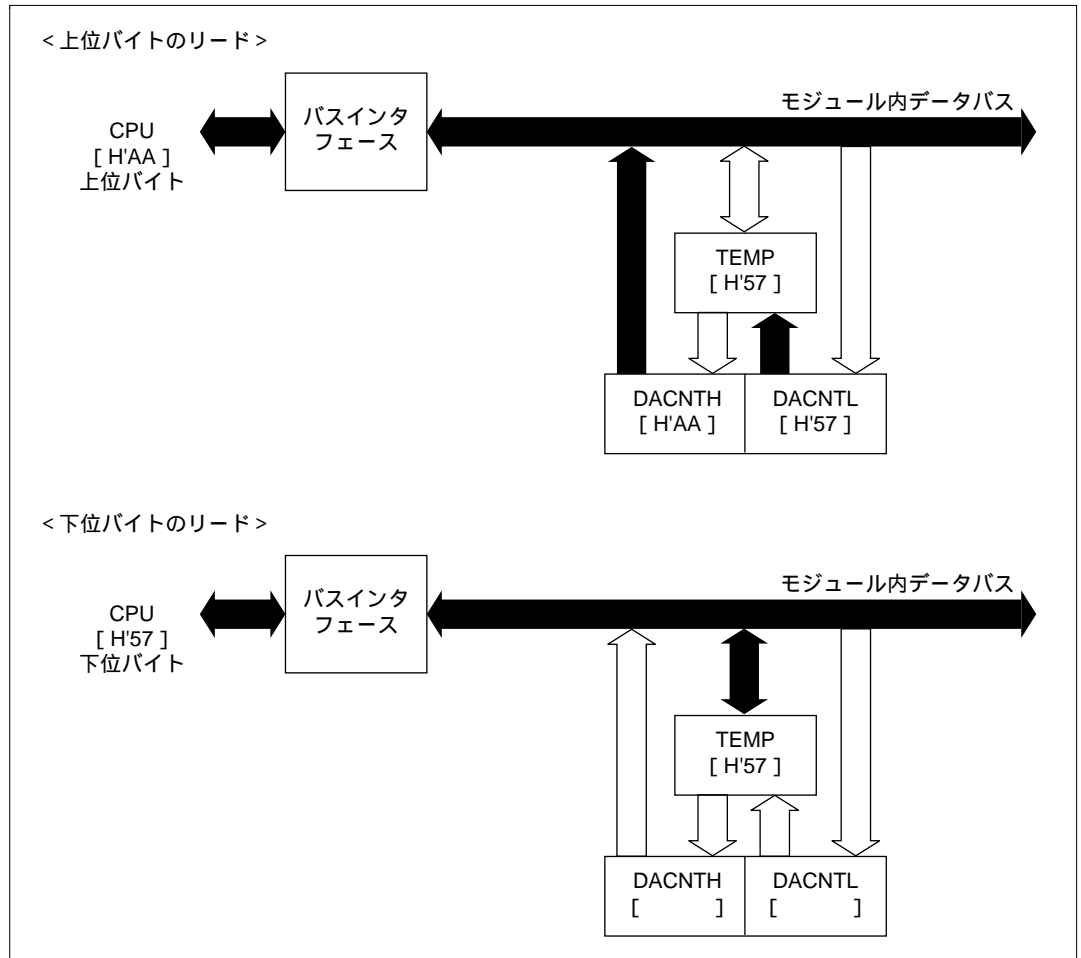


図 10.2 (b) DACNTLのアクセス動作 (DACNTL CPU [H'AA57] リード時)

10.4 動作説明

PWMX 端子からは、図 10.3 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス (CFS = 0 の場合 256 個、CFS = 1 の場合 64 個) の 0 レベル幅の合計 (T_L) が DADR のデータと対応しています。OS = 0 の場合、この波形が直接出力されます。OS = 1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計 (T_H) が DADR のデータと対応しています。この様子を図 10.4 に示します。

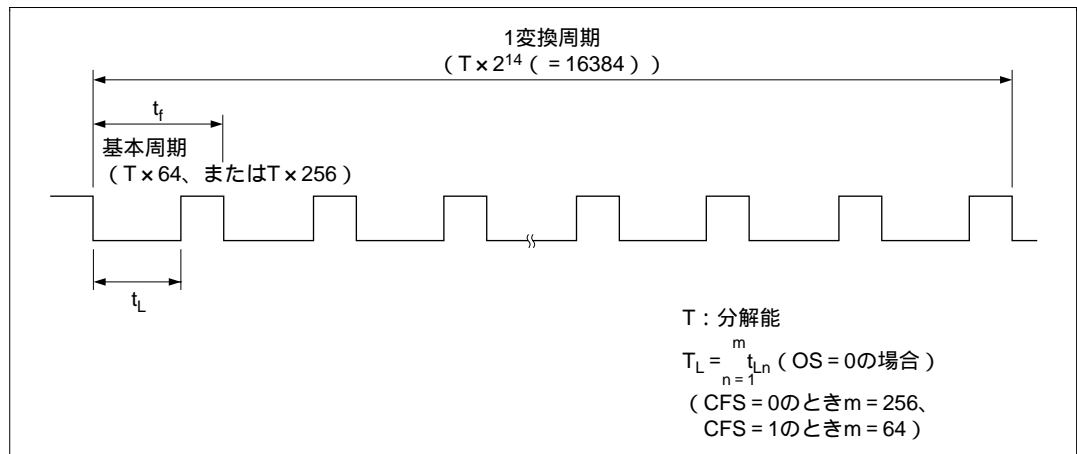


図 10.3 PWM (D/A) の動作

CKS、CFS、OS ビットの設定と、分解能、基本周期、変換周期との関係を表 10.4 に示します。DADR の内容がある値以上ではないと PWM 出力は固定レベルとなります。PWM 出力が図 10.3 で説明した波形となる DADR の設定値と DADR の下位ビットを 0 に固定して、変換精度を 12 ビット、10 ビットとした場合の変換周期などを併せて表 10.4 に示します。

表 10.4 設定値と動作内容 (: 10MHz 時の例)

CKS	分解能 T (μs)	CFS	基本 周期 (μs)	変換 周期 (μs)	TL/TH (OS = 0 / OS = 1)	DADR 固定ビット				変換 周期* (μs)	
						変換精度 (ビット数)	ビットデータ				
							3	2	1		0
0	0.1	0	6.4	1638.4	(1) 常時 Low/High レベル 出力 (DADR = H'0001 ~ H'03FD) (2) (データ値) \times T (DADR = H'0401 ~ H'FFFD)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
		1	25.6	1638.4	(1) 常時 Low/High レベル 出力 (DADR = H'0003 ~ H'00FF) (2) (データ値) \times T (DADR = H'0103 ~ H'FFFF)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
1	0.2	0	12.8	3276.8	(1) 常時 Low/High レベル 出力 (DADR = H'0001 ~ H'03FD) (2) (データ値) \times T (DADR = H'0401 ~ H'FFFD)	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8
		1	51.2	3276.8	(1) 常時 Low/High レベル 出力 (DADR = H'0003 ~ H'00FF) (2) (データ値) \times T (DADR = H'0103 ~ H'FFFF)	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8

【注】 * DADR の特定のビットを固定することにより得られる変換周期です。

(1) OS = 0 (DADR は、 T_L に対応)

(a) CFS = 0 (基本周期 = 分解能(T) \times 64)

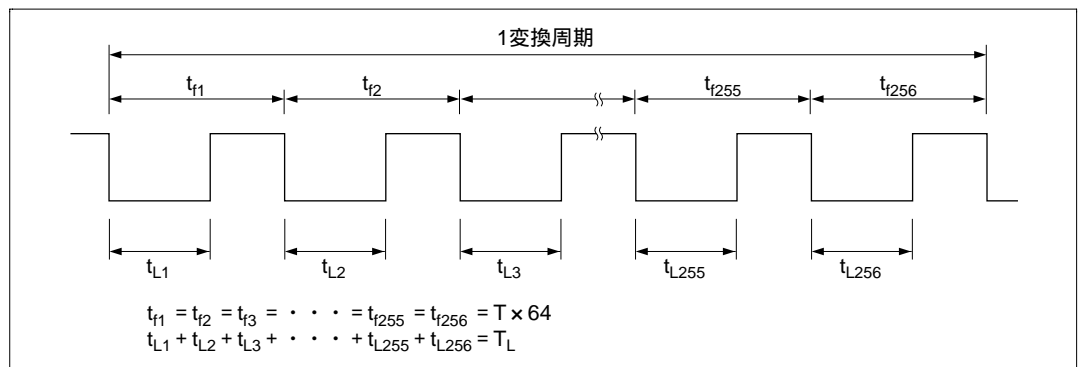


図 10.4 (1) 出力波形

(b) CFS = 1 (基本周期 = 分解能(T) × 256)

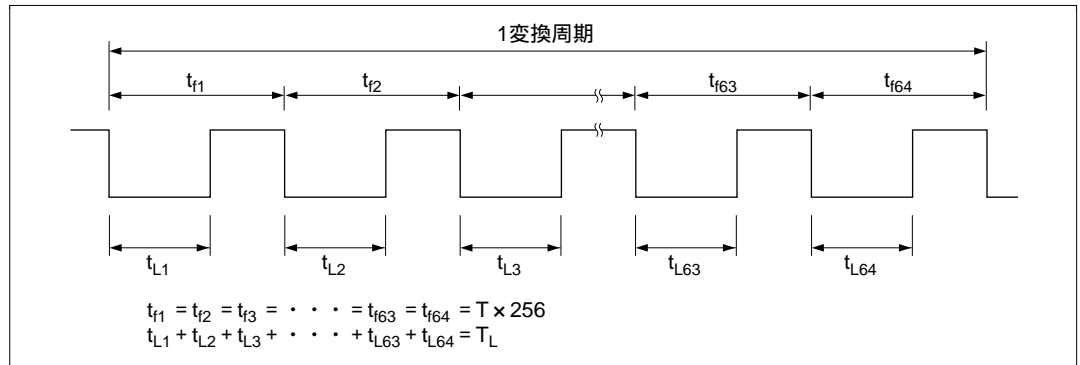


図 10.4 (2) 出力波形

(2) OS = 1 (DADR は、 T_H に対応)

(a) CFS = 0 (基本周期 = 分解能(T) × 64)

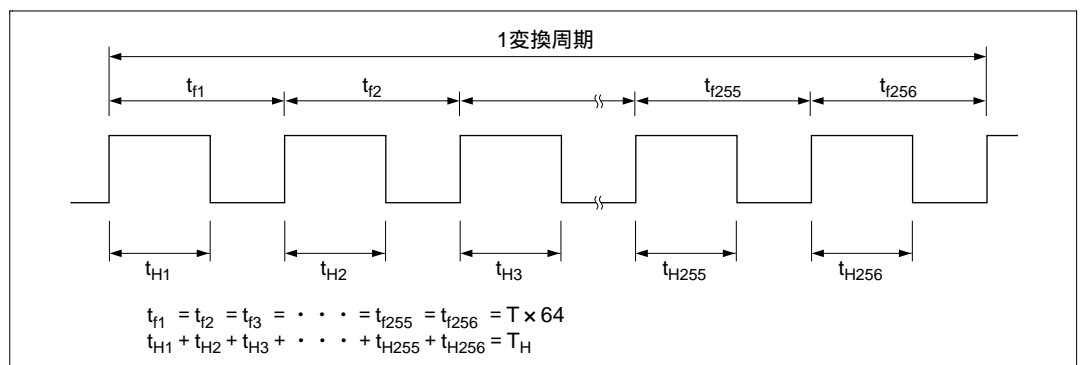


図 10.4 (3) 出力波形

(b) CFS = 1 (基本周期 = 分解能(T) × 256)

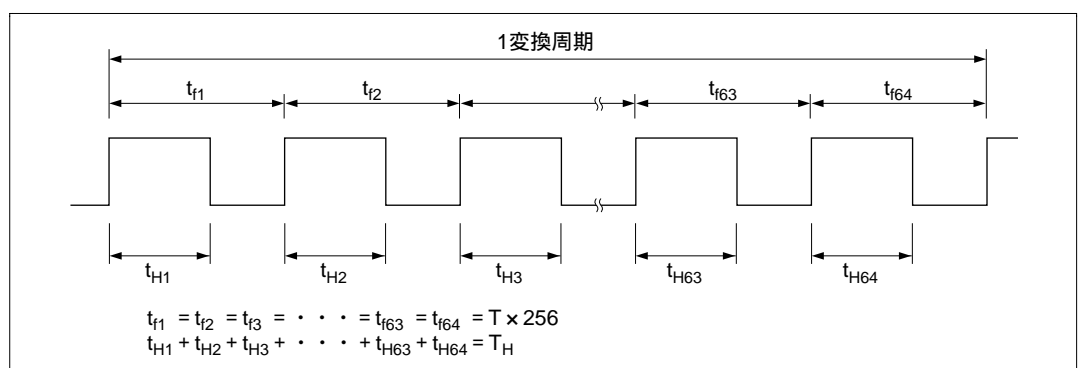


図 10.4 (4) 出力波形

11. 16ビットフリーランニングタイム (FRT)

第11章 目次

11.1	概要	315
11.1.1	特長	315
11.1.2	ブロック図	316
11.1.3	端子構成	317
11.1.4	レジスタ構成	318
11.2	各レジスタの説明	319
11.2.1	フリーランニングカウンタ (FRC)	319
11.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	319
11.2.3	インプットキャプチャレジスタ A~D (ICRA~ICRD)	320
11.2.4	アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)	321
11.2.5	アウトプットコンペアレジスタ DM (OCRDM)	322
11.2.6	タイマインタラプトイネーブルレジスタ (TIER)	322
11.2.7	タイマコントロール/ステータスレジスタ (TCSR)	325
11.2.8	タイマコントロールレジスタ (TCR)	329
11.2.9	タイマアウトプットコンペアコントロールレジスタ (TOCR)	332
11.2.10	モジュールストップコントロールレジスタ (MSTPCR)	335
11.3	動作説明	336
11.3.1	FRCのカウントタイミング	336
11.3.2	アウトプットコンペア出力タイミング	337
11.3.3	FRCのクリアタイミング	338
11.3.4	インプットキャプチャ入力タイミング	338
11.3.5	インプットキャプチャフラグ (ICFA~D)のセットタイミング	341
11.3.6	アウトプットコンペアフラグ (OCFA、B)のセットタイミング	341
11.3.7	タイマオーバフローフラグ (OVF)のセットタイミング	342
11.3.8	OCRAとOCRAR/OCRAFの自動加算タイミング	342

11. 16ビットフリーランニングタイム (FRT)

11.3.9	ICRD と OCRDM のマスク信号生成タイミング	343
11.4	割込み要因	344
11.5	FRT の使用例	345
11.6	使用上の注意	346

11.1 概要

本 LSI は、16 ビットフリーランニングタイマ (FRT : Free Running Timer) を 1 チャンネル内蔵しています。

FRT は、16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

11.1.1 特長

FRT の特長を以下に示します。

4 種類のカウンタ入力クロックを選択可能

- ・ 3 種類の内部クロック (/2、 /8、 /32) と、外部クロックのうちから選択できます (外部イベントのカウントが可能) 。

2 本の独立したコンパレータ

- ・ 2 種類の波形出力が可能です。

4 本の独立したインプットキャプチャ

- ・ 立ち上がりエッジ / 立ち下がりエッジの選択が可能です。
- ・ バッファ動作を指定できます。

カウンタのクリア指定が可能

- ・ コンペアマッチ A により、カウンタの値をクリアすることができます。

7 種類の割込み要因

- ・ コンペアマッチ ×2 要因、インプットキャプチャ ×4 要因、オーバフロー ×1 要因があり、それぞれ独立に要求することができます。

自動加算機能による特殊動作

- ・ OCRA の内容に OCRAR および OCRAF の内容を自動的に加算し、ソフトウェアの介入なしに周期的な波形を生成することができます。
- ・ ICRD の内容と OCRDM の内容 ×2 を自動的に加算し、この間のインプットキャプチャ動作を制限することができます。

11.1.2 ブロック図

16ビットフリーランニングタイムのブロック図を図11.1に示します。

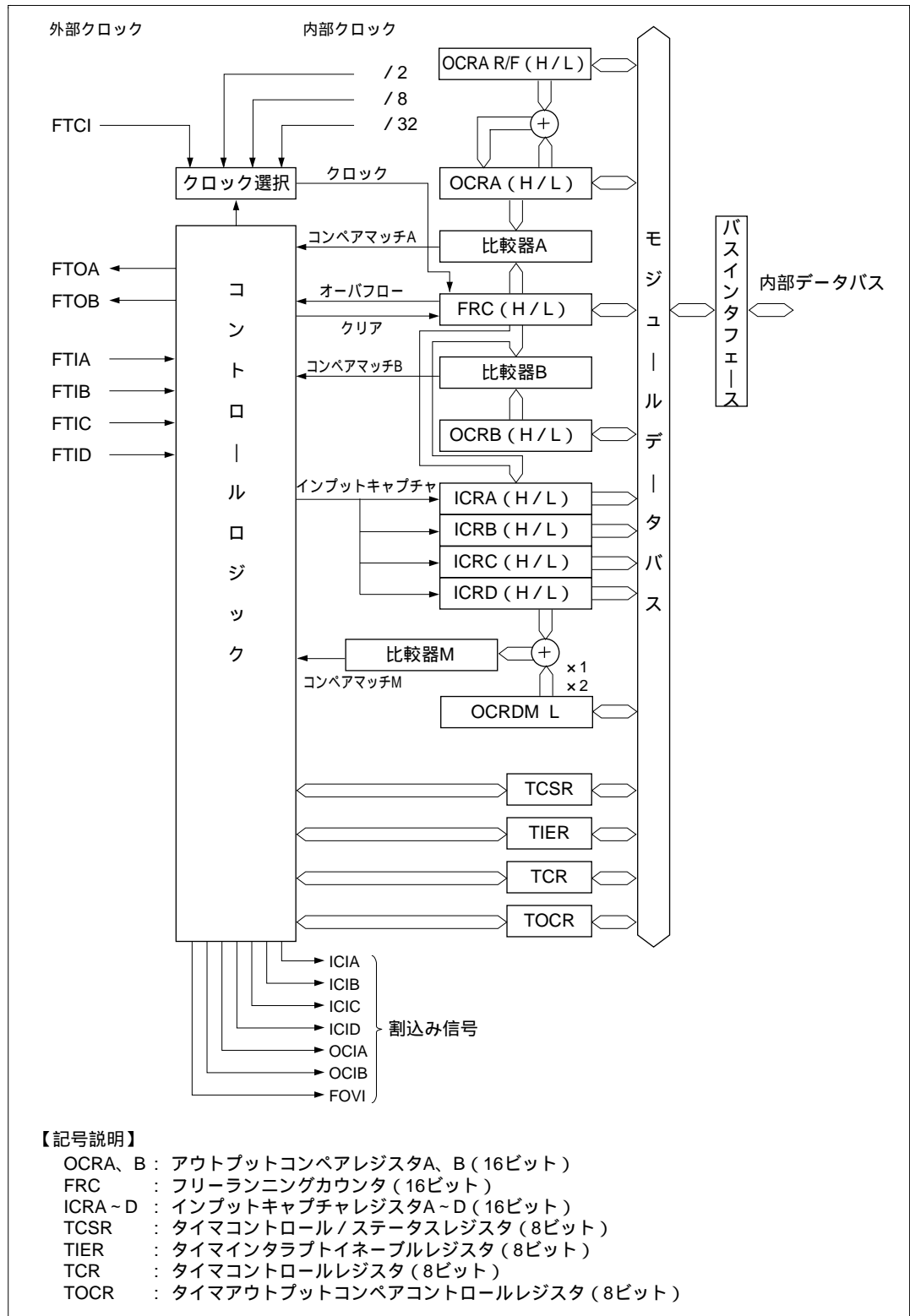


図 11.1 16ビットフリーランニングタイムのブロック図

11.1.3 端子構成

FRTの入出力端子を表 11.1 に示します。

表 11.1 端子構成

名 称	記号	入出力	機 能
カウンタクロック入力端子	FTCI	入力	FRCのカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ A 入力端子	FTIA	入力	インプットキャプチャ A の入力
インプットキャプチャ B 入力端子	FTIB	入力	インプットキャプチャ B の入力
インプットキャプチャ C 入力端子	FTIC	入力	インプットキャプチャ C の入力
インプットキャプチャ D 入力端子	FTID	入力	インプットキャプチャ D の入力

11.1.4 レジスタ構成

FRTのレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'01	H'FF90
タイマコントロール/ステータスレジスタ	TCSR	R/(W) * ²	H'00	H'FF91
フリーランニングカウンタ	FRC	R/W	H'0000	H'FF92
アウトプットコンペアレジスタ A	OCRA	R/W	H'FFFF	H'FF94* ³
アウトプットコンペアレジスタ B	OCRB	R/W	H'FFFF	H'FF94* ³
タイマコントロールレジスタ	TCR	R/W	H'00	H'FF96
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'00	H'FF97
インプットキャプチャレジスタ A	ICRA	R	H'0000	H'FF98* ⁴
インプットキャプチャレジスタ B	ICRB	R	H'0000	H'FF9A* ⁴
インプットキャプチャレジスタ C	ICRC	R	H'0000	H'FF9C* ⁴
インプットキャプチャレジスタ D	ICRD	R	H'0000	H'FF9E
アウトプットコンペアレジスタ AR	OCRAR	R/W	H'FFFF	H'FF98* ⁴
アウトプットコンペアレジスタ AF	OCRAF	R/W	H'FFFF	H'FF9A* ⁴
アウトプットコンペアレジスタ DM	OCRDM	R/W	H'0000	H'FF9C* ⁴
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7~1 はリード専用で、フラグをクリアするための 0 ライトのみ可能です。

ビット 0 はリード/ライト可能です

*3 OCRA と OCRB のアドレスは同一です。これらの切り替えは TOCR の OCRS ビットで行います。

*4 ICRA、ICRB、ICRC と、OCRAR、OCRAF、OCRDM のアドレスは同一です。これらの切り替えは TOCR の ICRS ビットで行います。

11.2 各レジスタの説明

11.2.1 フリーランニングカウンタ (FRC)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FRC は、16 ビットのリード/ライト可能なアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TCR のクロックセレクト1、0 ビット (CKS1、CKS0) で選択します。

また、FRC はコンペアマッチ A によりクリアすることができます。

FRC がオーバフロー (H'FFFF H'0000) すると、TCSR のオーバフローフラグ (OVF) が1にセットされます。

FRC は、リセットまたはハードウェアスタンバイモード時に H'0000 に、初期化されま

11.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR は、16 ビットのリード/ライト可能な2本のレジスタ (OCRA、OCRB) から構成されます。

OCR の内容は、FRC の値と常に比較されています。両者の値が一致すると、TCSR のアウトプットコンペアフラグ (OCFA、OCFB) が1にセットされます。

さらに、OCR の値と FRC の値が一致した (コンペアマッチ) とき、TOCR のアウトプットイネーブルビット (OEA、OEB) が1にセットされていると、TOCR のアウトプットレベルビット (OLVLA、OLVLB) で設定した出力レベルの値が、アウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。リセット後、最初のコンペアマッチが起こるまで FTOA、FTOB 出力は0出力です。

OCR は、リセットまたはハードウェアスタンバイモード時に、H'FFFF に初期化されま

11.2.3 インプットキャプチャレジスタ A~D (ICRA~ICRD)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR は、16 ビットのリード専用の 4 本のレジスタ (ICRA ~ ICRD) から構成されます。インプットキャプチャ信号入力端子 (FTIA ~ FTID) の立ち上がりまたは立ち下がりエッジが検出されると、そのときの FRC の値が ICRA ~ ICRD に転送されます。このとき同時に、TCSR のインプットキャプチャフラグ (ICFA ~ ICFD) が 1 にセットされます。入力信号のエッジは、TCR のインプットエッジセレクトビット (IEDGA ~ IEDGD) により選択できます。

また、ICRC、ICRD は、TCR のバッファイネーブル A、B ビット (BUFEA、BUFEB) により、それぞれ ICRA、ICRB のバッファレジスタとして使用し、バッファ動作を行わせることもできます。

ICRC を ICRA のバッファレジスタとして指定した場合 (BUFEA = 1) の接続を図 11.2 に示します。ICRC を ICRA のバッファとして使用した場合、外部入力信号の変化として IEDGA IEDGC と設定することにより、立ち上がり / 立ち下がり両方のエッジを指定することができます。IEDGA = IEDGC の場合には立ち上がりまたは立ち下がりエッジのいずれかとなります。表 11.3 を参照してください。

【注】 FRC から ICR への転送は ICF の値にかかわらず行われます。

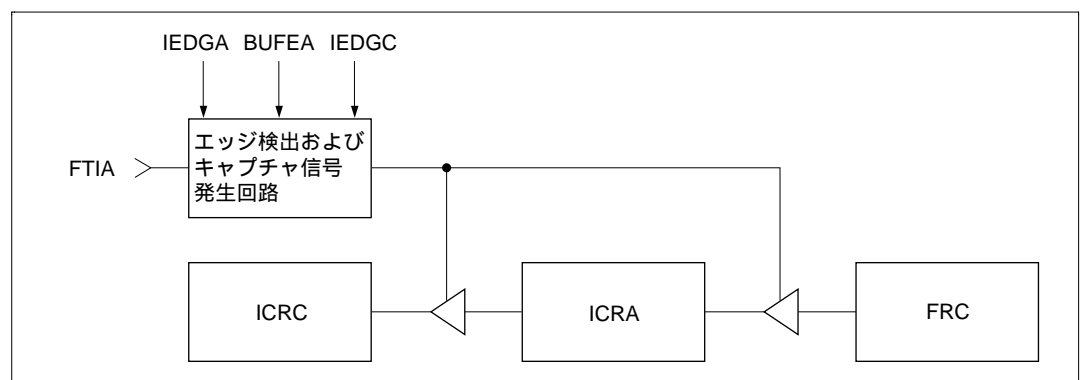


図 11.2 バッファ動作 (例)

表 11.3 バッファ動作時の入力エッジの選択 (例)

IEDGA	IEDGC	説 明
0	0	インプットキャプチャ入力 A (FTIA) の立ち下がりエッジでキャプチャ (初期値)
	1	インプットキャプチャ入力 A (FTIA) の立ち上がり / 立ち下がり
1	0	両方のエッジでキャプチャ
	1	インプットキャプチャ入力 A (FTIA) の立ち上がりエッジでキャプチャ

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合 1.5 システムクロック (1.5) 以上、両エッジの場合 2.5 システムクロック (2.5) 以上にしてください。

ICR は、リセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

11.2.4 アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCRAR、OCRAF は、16 ビットのリード / ライト可能なレジスタです。

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRA の動作は OCRAR、OCRAF を使用した動作に変更されます。OCRAR、OCRAF の内容は、交互に OCRA に自動的に加算され、OCRA に書き込まれます。書込み動作はコンペアマッチ A のタイミングで行われます。OCRAMS ビットを 1 にセットした後の最初のコンペアマッチ A では、OCRAF が加算されます。

さらに、コンペアマッチ A による動作は、OCRAR、OCRAF のいずれを加算した後のコンペアマッチかによって異なります。TOCR の OLVLA ビットの内容は無視され、OCRAF 加算後のコンペアマッチ A では 1 を出力し、OCRAR 加算後のコンペアマッチ A では 0 を出力します。

OCRA の自動加算機能を使用する場合には、FRC のカウンタ入力クロックを内部クロック /2 で、かつ OCRAR (または OCRAF) = H'0001 以下の値に設定しないでください。

OCRAR、OCRAF は、リセットまたはハードウェアスタンバイモード時に、H'FFFF に初期化されます。

11.2.5 アウトプットコンペアレジスタ DM (OCRDM)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCRDM は、16ビットのリード/ライト可能なレジスタです。OCRDM の上位8ビットはH'00に固定にされています。

TOCR のICRDMSビットが1にセットされていて、OCRDM の内容がH'0000以外である場合、ICRDの動作はOCRDM を利用した動作に変更されます。インプットキャプチャDが発生した時点をもスク期間の開始とします。続いて、ICRDの内容にOCRDMの内容を2倍して加算した値をFRCと比較し、一致した時点をもスク期間の終了とします。マスク期間中は新たなインプットキャプチャDは禁止されています。

ICRDMSビットが1にセットされていて、OCRDMの内容がH'0000である場合は、マスク期間は発生しません。

OCRDM は、リセットまたはハードウェアスタンバイモード時に、H'0000に初期化されます。

11.2.6 タイマインタラプトイネーブルレジスタ (TIER)

ビット :	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	-
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-

TIER は、8ビットのリード/ライト可能なレジスタで、各割込み要求の許可を制御します。

TIER は、リセットまたはハードウェアスタンバイモード時に、H'01に初期化されます。

ビット7: インプットキャプチャインタラプトAイネーブル (ICIAE)

TCSR のインプットキャプチャフラグA (ICFA) が1にセットされたとき、ICFAによる割込み (ICIA) の許可または禁止を選択します。

ビット7	説 明
ICIAE	
0	ICFAによる割込み要求 (ICIA) を禁止 (初期値)
1	ICFAによる割込み要求 (ICIA) を許可

ビット6：インプットキャプチャインタラプトBイネーブル (ICIBE)

TCSRのインプットキャプチャフラグB (ICFB) が1にセットされたとき、ICFBによる割込み (ICIB) の許可または禁止を選択します。

ビット6	説明
ICIBE	
0	ICFBによる割込み要求 (ICIB) を禁止 (初期値)
1	ICFBによる割込み要求 (ICIB) を許可

ビット5：インプットキャプチャインタラプトCイネーブル (ICICE)

TCSRのインプットキャプチャフラグC (ICFC) が1にセットされたとき、ICFCによる割込み (ICIC) の許可または禁止を選択します。

ビット5	説明
ICICE	
0	ICFCによる割込み要求 (ICIC) を禁止 (初期値)
1	ICFCによる割込み要求 (ICIC) を許可

ビット4：インプットキャプチャインタラプトDイネーブル (ICIDE)

TCSRのインプットキャプチャフラグD (ICFD) が1にセットされたとき、ICFDによる割込み (ICID) の許可または禁止を選択します。

ビット4	説明
ICIDE	
0	ICFDによる割込み要求 (ICID) を禁止 (初期値)
1	ICFDによる割込み要求 (ICID) を許可

ビット3：アウトプットコンペアインタラプトAイネーブル (OCIAE)

TCSRのアウトプットコンペアフラグA (OCFA) が1にセットされたとき、OCFAによる割込み要求 (OCIA) の許可または禁止を選択します。

ビット3	説明
OCIAE	
0	OCFAによる割込み要求 (OCIA) を禁止 (初期値)
1	OCFAによる割込み要求 (OCIA) を許可

ビット2：アウトプットコンペアインタラプトB イネーブル (OCIBE)

TCSRのアウトプットコンペアフラグB (OCFB) が1にセットされたとき、OCFBによる割込み要求 (OCIB) の許可または禁止を選択します。

ビット2	説明
OCIBE	
0	OCFBによる割込み要求 (OCIB) を禁止 (初期値)
1	OCFBによる割込み要求 (OCIB) を許可

ビット1：タイマオーバフローインタラプトイネーブル (OVIE)

TCSRのオーバフローフラグ (OVF) が1にセットされたとき、OVFによる割込み (FOVI) の許可または禁止を選択します。

ビット1	説明
OVIE	
0	OVFによる割込み要求 (FOVI) を禁止 (初期値)
1	OVFによる割込み要求 (FOVI) を許可

ビット0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

11.2.7 タイマコントロール/ステータスレジスタ (TCSR)

ビット :	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* ビット7~1はフラグをクリアするための0ライトのみ可能です。

TCSR は、8 ビットのレジスタで、カウンタクリアの選択、各割込み要求信号の制御を行います。

TCSR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。なお、タイミングについては「11.3 動作説明」を参照してください。

ビット7：インプットキャプチャフラグ A (ICFA)

インプットキャプチャ信号によって、FRC の値が ICRA に転送されたことを示すステータスフラグです。BUFEA ビットが 1 にセットされているときは、ICFA はインプットキャプチャ信号により FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
ICFA	
0	[クリア条件] (初期値) ICFA=1 の状態で、ICFA をリードした後、ICFA に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき

ビット6：インプットキャプチャフラグ B (ICFB)

インプットキャプチャ信号によって、FRC の値が ICRB に転送されたことを示すステータスフラグです。BUFEB ビットが 1 にセットされているときは、ICFB はインプットキャプチャ信号により FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRD に転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
ICFB	
0	[クリア条件] (初期値) ICFB = 1 の状態で、ICFB をリードした後、ICFB に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき

ビット5：インプットキャプチャフラグ C (ICFC)

インプットキャプチャ信号によって、FRC の値が ICRC に転送されたことを示すステータスフラグです。BUFEA ビットが 1 にセットされているときは、FTIC に IEDGC ビットで指定された信号変化 (インプットキャプチャ信号) が発生したとき、ICFC はセットされますが、ICRC へのデータ転送は行われません。したがって、バッファ動作では、ICFC は ICICE ビットを 1 にセットすることにより、外部割込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説明
ICFC	
0	[クリア条件] (初期値) ICFC = 1 の状態で、ICFC をリードした後、ICFC に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット4：インプットキャプチャフラグ D (ICFD)

インプットキャプチャ信号によって、FRC の値が ICRD に転送されたことを示すステータスフラグです。BUFEB ビットが 1 にセットされているときは、FTID に IEDGD ビットで指定された信号変化 (インプットキャプチャ信号) が発生したとき、ICFD はセットされますが、ICRD へのデータ転送は行われません。したがって、バッファ動作では、ICFD は ICIDE ビットを 1 にセットすることにより、外部割込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット4	説 明
ICFD	
0	[クリア条件] (初期値) ICFD = 1 の状態で、ICFD をリードした後、ICFD に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット3 : アウトプットコンペアフラグ A (OCFA)

FRC と OCRA の値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説 明
OCFA	
0	[クリア条件] (初期値) OCFA = 1 の状態で、OCFA をリードした後、OCFA に 0 をライトしたとき
1	[セット条件] FRC = OCRA になったとき

ビット2 : アウトプットコンペアフラグ B (OCFB)

FRC と OCRB の値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説 明
OCFB	
0	[クリア条件] (初期値) OCFB = 1 の状態で、OCFB をリードした後、OCFB に 0 をライトしたとき
1	[セット条件] FRC = OCRB になったとき

ビット1：タイマオーバフロー (OVF)

FRC がオーバフロー (H'FFFF H'0000) したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット1	説明
OVF	
0	[クリア条件] (初期値) OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき
1	[セット条件] FRC の値が、H'FFFF H'0000 になったとき

ビット0：カウンタクリア A (CCLRA)

コンペアマッチ A (FRC と OCRA の一致信号) により、FRC をクリアするか、しないかを選択します。

ビット0	説明
CCLRA	
0	FRC のクリアを禁止 (初期値)
1	コンペアマッチ A により FRC をクリア

11.2.8 タイマコントロールレジスタ (TCR)

ビット:	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは、8ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRCの入力クロックの選択を行います。

TCRは、リセットまたはハードウェアスタンバイモード時に、H'00に初期化されます。

ビット7: インプットエッジセレクトA (IEDGA)

インプットキャプチャ入力A (FTIA)の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット7	説明
IEDGA	
0	インプットキャプチャ入力Aの立ち下がりエッジ()でキャプチャ(初期値)
1	インプットキャプチャ入力Aの立ち上がりエッジ()でキャプチャ

ビット6: インプットエッジセレクトB (IEDGB)

インプットキャプチャ入力B (FTIB)の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット6	説明
IEDGB	
0	インプットキャプチャ入力Bの立ち下がりエッジ()でキャプチャ(初期値)
1	インプットキャプチャ入力Bの立ち上がりエッジ()でキャプチャ

ビット5：インプットエッジセレクトC (IEDGC)

インプットキャプチャ入力C (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット5	説明
IEDGC	
0	インプットキャプチャ入力Cの立ち下がりエッジ () でキャプチャ (初期値)
1	インプットキャプチャ入力Cの立ち上がりエッジ () でキャプチャ

ビット4：インプットエッジセレクトD (IEDGD)

インプットキャプチャ入力D (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット4	説明
IEDGD	
0	インプットキャプチャ入力Dの立ち下がりエッジ () でキャプチャ (初期値)
1	インプットキャプチャ入力Dの立ち上がりエッジ () でキャプチャ

ビット3：バッファイネーブルA (BUFEA)

ICRC を ICRA のバッファレジスタとして使用するかどうかを選択します。

ビット3	説明
BUFEA	
0	ICRC を ICRA のバッファレジスタとして使用しない (初期値)
1	ICRC を ICRA のバッファレジスタとして使用する

ビット2：バッファイネーブルB (BUFEB)

ICRD を ICRB のバッファレジスタとして使用するかどうかを選択します。

ビット2	説明
BUFEB	
0	ICRD を ICRB のバッファレジスタとして使用しない (初期値)
1	ICRD を ICRB のバッファレジスタとして使用する

ビット1、0：クロックセレクト (CKS1、0)

FRCに入力するクロックを内部クロック3種類または外部クロックから選択します。

外部クロックは、外部クロック入力端子 (FTCI) の立ち上がりエッジでカウントします。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	内部クロック： /2 でカウント (初期値)
	1	内部クロック： /8 でカウント
1	0	内部クロック： /32 でカウント
	1	外部クロック：立ち上がりエッジ () でカウント

11.2.9 タイマアウトプットコンペアコントロールレジスタ (TOCR)

ビット :	7	6	5	4	3	2	1	0
	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TOCR は、8 ビットのリード/ライト可能なレジスタです。アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、ICRD や OCRA の動作モード、および、インプットキャプチャレジスタ A、B、C のアクセスの切り替え制御を行います。

TOCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7 : インプットキャプチャDモードセレクト (ICRDMS)

ICRD を、通常の動作モードとするか、OCRDM を利用した動作モードにするかを選択します。

ビット7	説明
ICRDMS	
0	ICRD を、通常の動作モードに設定 (初期値)
1	ICRD を、OCRDM を利用した動作モードに設定

ビット6 : アウトプットコンペアAモードセレクト (OCRAMS)

OCRA を、通常の動作モードとするか、OCRAR、OCRAF を利用した動作モードにするかを選択します。

ビット6	説明
OCRAMS	
0	OCRA を、通常の動作モードに設定 (初期値)
1	OCRA を、OCRAR、OCRAF を利用した動作モードに設定

ビット5：インプットキャプチャレジスタセレクト (ICRS)

ICRA と OCRAR、ICRB と OCRAF、ICRC と OCRDM、のアドレスは同一です。ICRS ビットは、このアドレスをリード/ライトするときにどちらのレジスタを選択するかを制御します。ICRA、ICRB と ICRC 動作には影響を与えません。

ビット5	説明
ICRS	
0	ICRA、ICRB と ICRC レジスタを選択 (初期値)
1	OCRAR、OCRAF と OCRDM レジスタを選択

ビット4：アウトプットコンペアレジスタセレクト (OCRS)

OCRA と OCRB のアドレスは同一です。OCRS ビットは、このアドレスをリード/ライトするときにどちらのレジスタを選択するかを制御します。OCRA と OCRB の動作には影響を与えません。

ビット4	説明
OCRS	
0	OCRA レジスタを選択 (初期値)
1	OCRB レジスタを選択

ビット3：アウトプットイネーブルA (OEA)

アウトプットコンペア A 出力端子 (FTOA) を制御します。

ビット3	説明
OEA	
0	アウトプットコンペア A 出力を禁止 (初期値)
1	アウトプットコンペア A 出力を許可

ビット2：アウトプットイネーブルB (OEB)

アウトプットコンペア B 出力端子 (FTOB) を制御します。

ビット2	説明
OEB	
0	アウトプットコンペア B 出力を禁止 (初期値)
1	アウトプットコンペア B 出力を許可

ビット1 : アウトプットレベルA (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプットコンペア A 出力端子 (FTOA) に出力する出力レベルを選択します。

OCRAMS ビットが 1 の場合は無視されます。

ビット1	説明
OLVLA	
0	コンペアマッチ A により 0 出力 (初期値)
1	コンペアマッチ A により 1 出力

ビット0 : アウトプットレベルB (OLVLB)

コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプットコンペア B 出力端子 (FTOB) に出力する出力レベルを選択します

ビット0	説明
OLVLB	
0	コンペアマッチ B により 0 出力 (初期値)
1	コンペアマッチ B により 1 出力

11.2.10 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL							
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP13ビットを1にセットすると、バスサイクルの終了時点でFRTは動作を停止してモジュールストップモードへ遷移します。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット5：モジュールストップ (MSTP13)

FRTのモジュールストップモードを指定します

MSTPCRH ビット5	説 明
MSTP13	
0	FRTのモジュールストップモード解除
1	FRTのモジュールストップモード設定 (初期値)

11.3 動作説明

11.3.1 FRC のカウントタイミング

FRC は、入力されたクロック (内部クロックまたは外部クロック) によりカウントアップされます。

(1) 内部クロック動作の場合

TCR の CKS1、0 ビットの設定により、システムクロック () を分周して作られる 3 種類の内部クロック ($/2$ 、 $/8$ 、 $/32$) が選択されます。このときのタイミングを図 11.3 に示します。

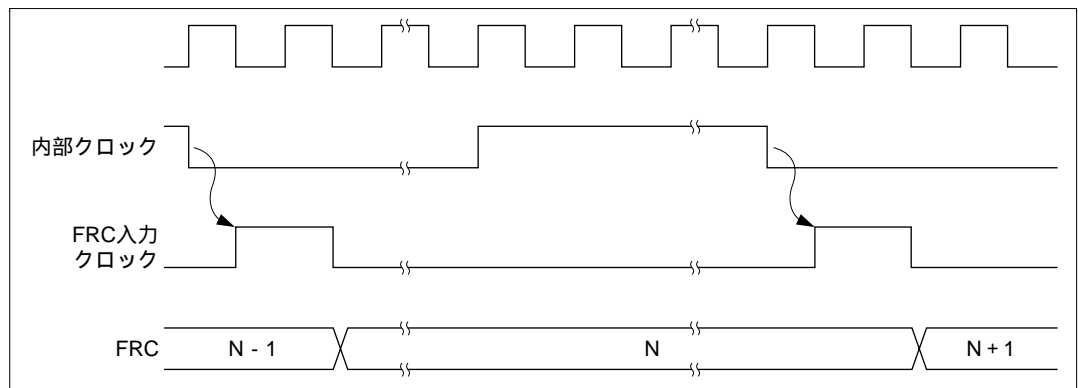


図 11.3 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS1、0 ビットの設定により、外部クロック入力を選択されます。外部クロックは立ち上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5 システムクロック () 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図 11.4 に示します。

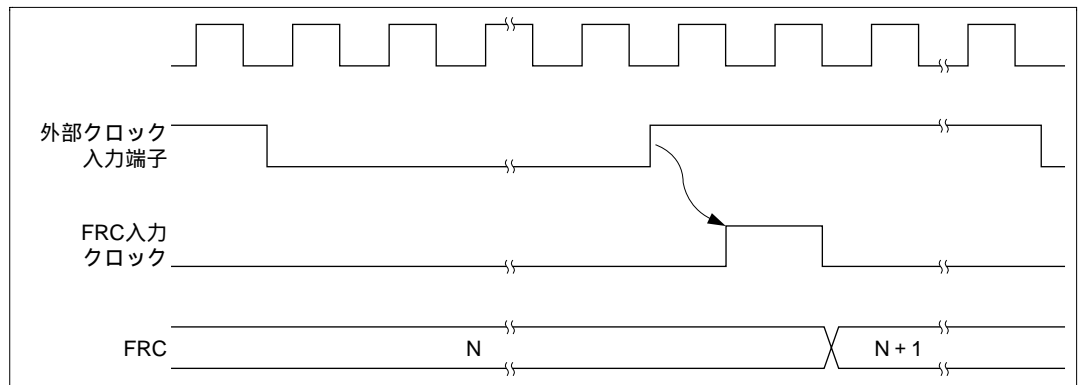


図 11.4 外部クロック動作時のカウントタイミング

11.3.2 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCRのOLVLビットで設定される出力レベルがアウトプットコンペア出力端子(FTOA、FTOB)に出力されます。図 11.5 にアウトプットコンペア A の場合の出力タイミングを示します。

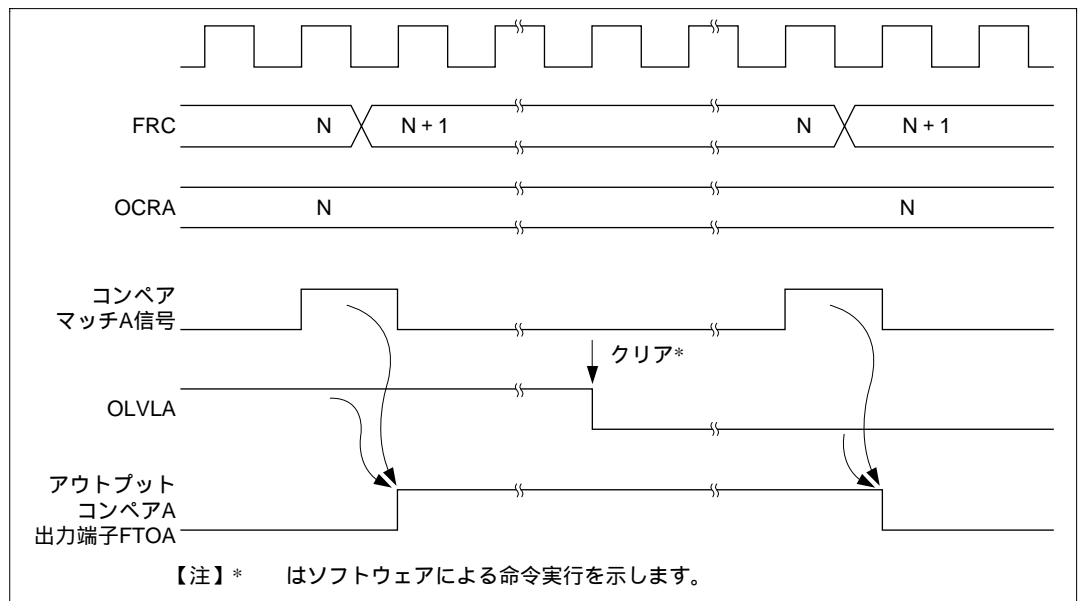


図 11.5 アウトプットコンペア A 出力タイミング

11.3.3 FRC のクリアタイミング

FRC は、コンペアマッチ A でクリアすることができます。このタイミングを図 11.6 に示します。

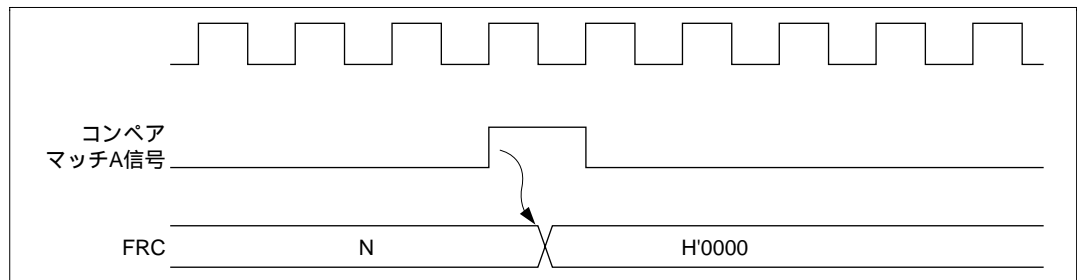


図 11.6 コンペアマッチ A によるクリアタイミング

11.3.4 インพุットキャプチャ入力タイミング

(1) インพุットキャプチャ入力タイミング

インพุットキャプチャ入力は、TCR の IEDGA ~ D ビットで立ち上がりエッジ / 立ち下がりエッジを選択します。立ち上がりエッジを選択した (IEDGA ~ D = 1) 場合のタイミングを図 11.7 に示します。

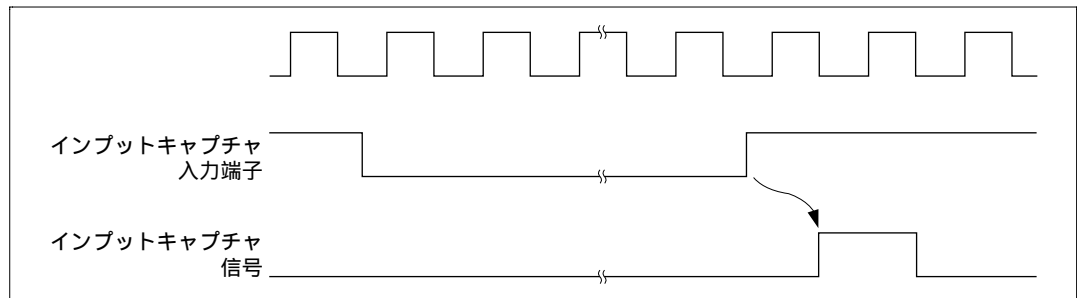


図 11.7 インพุットキャプチャ信号タイミング (通常時)

また、ICRA ~ D のリード時に、対応するインพุットキャプチャ入力を入力するとインพุットキャプチャ信号は 1 システムクロック()遅延されます。このタイミングを図 11.8 に示します。

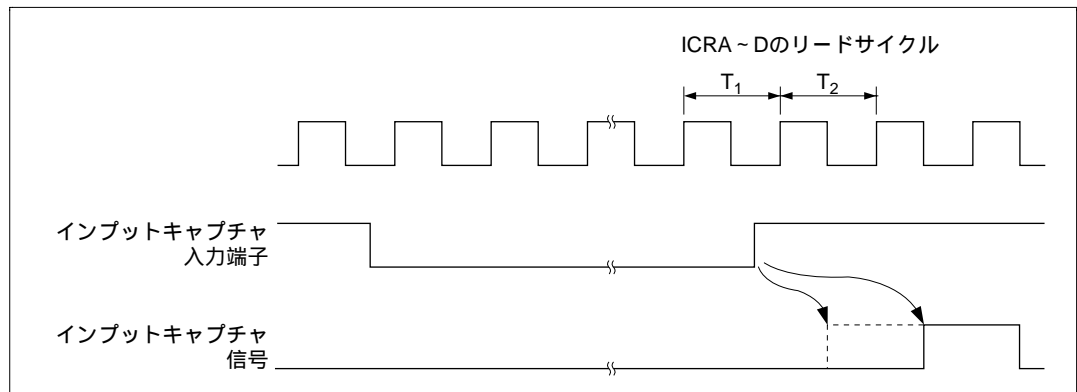


図 11.8 インプットキャプチャ信号タイミング
(ICRA~Dのリード時に、インプットキャプチャ入力を入力した場合)

(2) バッファ動作時のインプットキャプチャ入力タイミング

ICRCまたはICRDを、ICRAまたはICRBのバッファとして動作させることができます。ICRCをICRAのバッファレジスタとして使用し (BUFEA = 1)、立ち上がり / 立ち下がり両エッジ指定 (IEDGA = 1、IEDGC = 0またはIEDGA = 0、IEDGC = 1)とした場合のインプットキャプチャ入力タイミングを図 11.9 に示します。

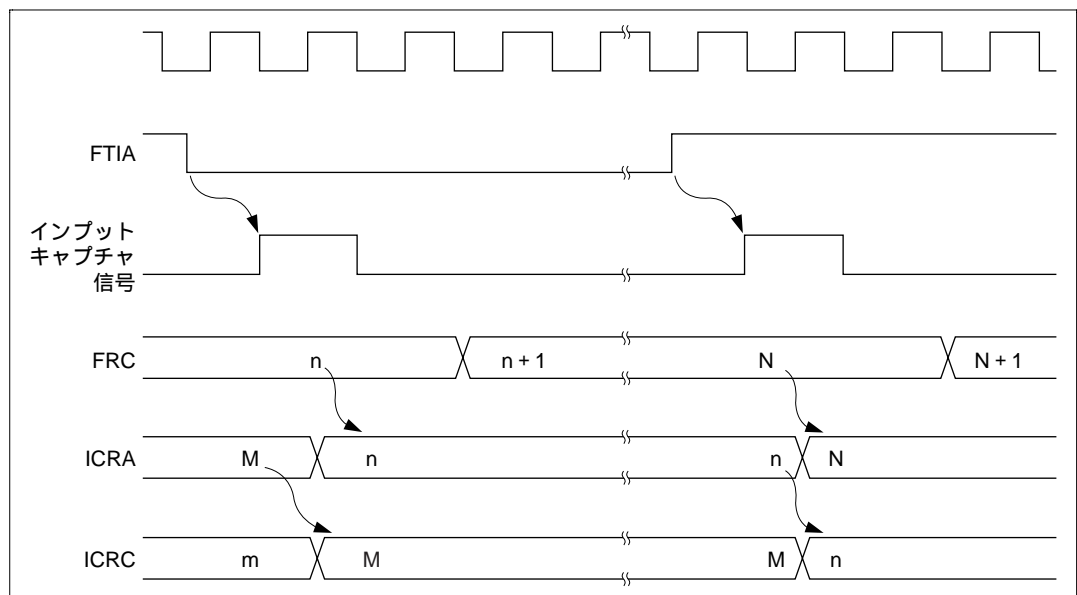


図 11.9 バッファモード時のインプットキャプチャタイミング (通常時)

ICRC または ICRD をバッファレジスタとして使用した場合でも、入力キャプチャフラグは、各入力キャプチャ入力の指定されたエッジ変化に対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているときでも、入力キャプチャ入力に IEDGC ビットで指定したエッジ変化があると ICFC がセットされ、ICIEC ビットがセットされていれば割込み要求が発生します。ただし、この場合は、FRC の値は ICRC には転送されません。

また、バッファ動作の場合も、入力キャプチャ信号が発生するタイミングで、データ転送レジスタ (ICRA と ICRC または ICRB と ICRD) のリードが行われると、入力キャプチャ信号は、1 システムクロック () 遅延されます。BUFEA=1 のときのタイミングを図 11.10 に示します。

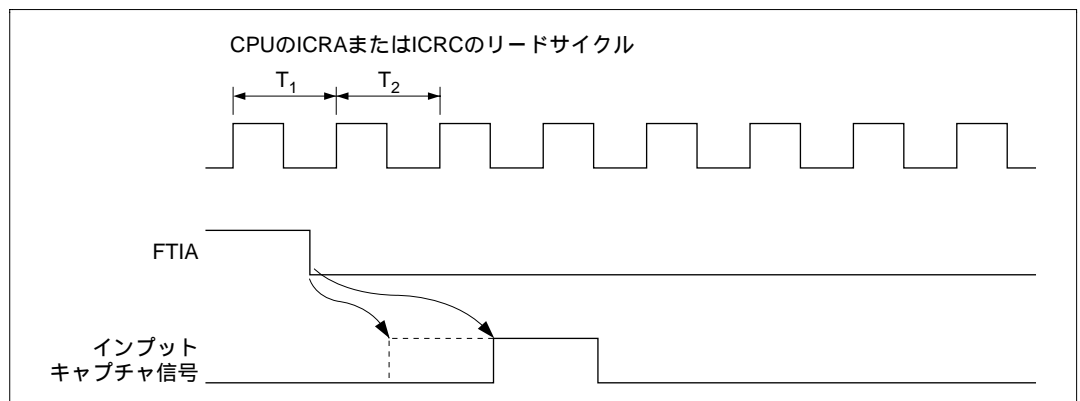


図 11.10 バッファレジスタ動作時の入力キャプチャタイミング
(ICRA または ICRC のリード時に、入力キャプチャ入力を入力した場合)

11.3.5 インพุットキャプチャフラグ (ICFA ~ D) のセットタイミング

インพุットキャプチャ入力により ICFA ~ D は 1 にセットされ、同時に FRC の値が対応する ICRA ~ ICRD に転送されます。このタイミングを図 11.11 に示します。

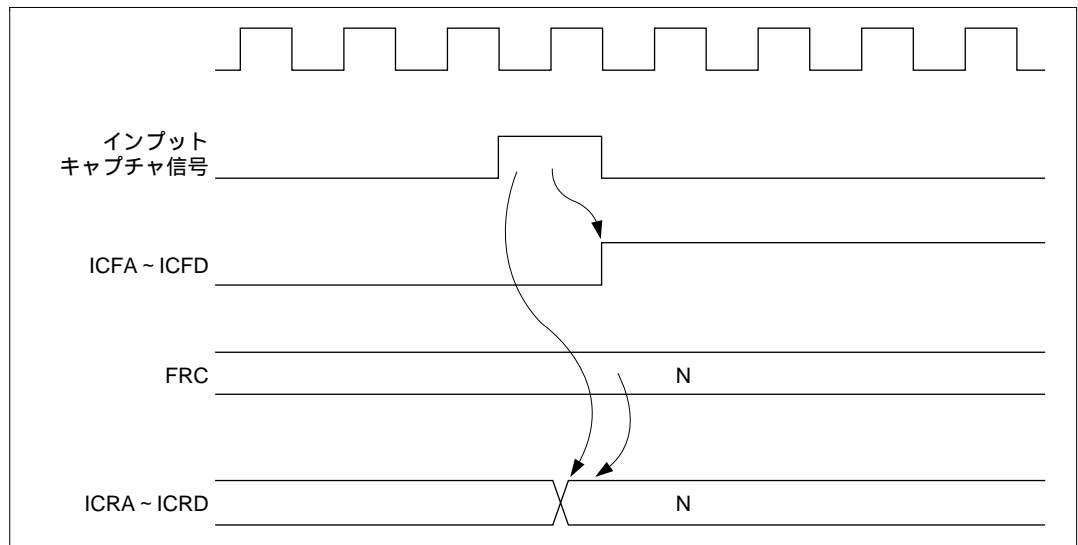


図 11.11 ICFA ~ D のセットタイミング

11.3.6 アウトプットコンペアフラグ (OCFA、B) のセットタイミング

OCFA、B は、OCRA、B と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。

FRC と OCRA、B が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、B のセットタイミングを図 11.12 に示します。

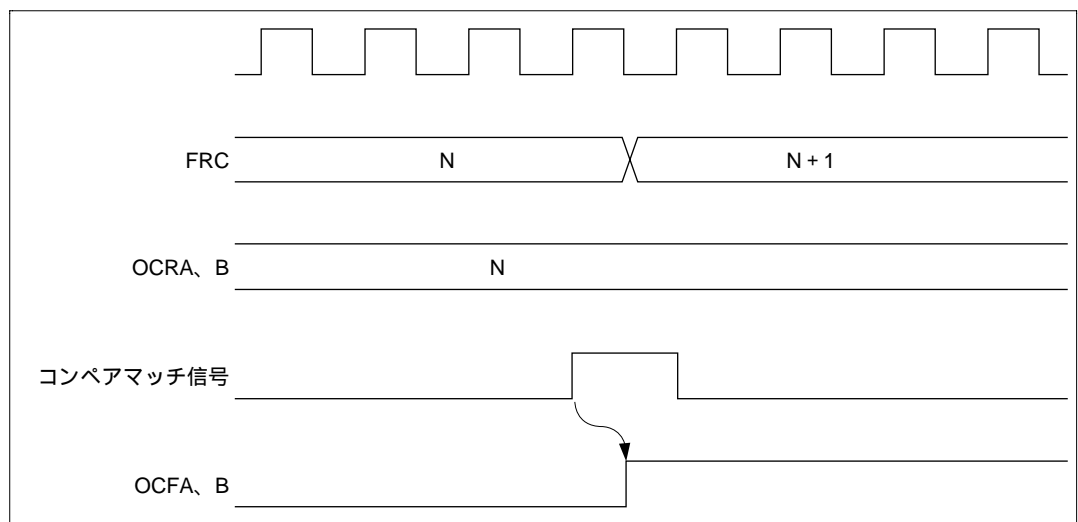


図 11.12 OCF セットタイミング

11.3.7 タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバフロー (H'FFFF H'0000) したとき 1 にセットされます。このときのタイミングを図 11.13 に示します。

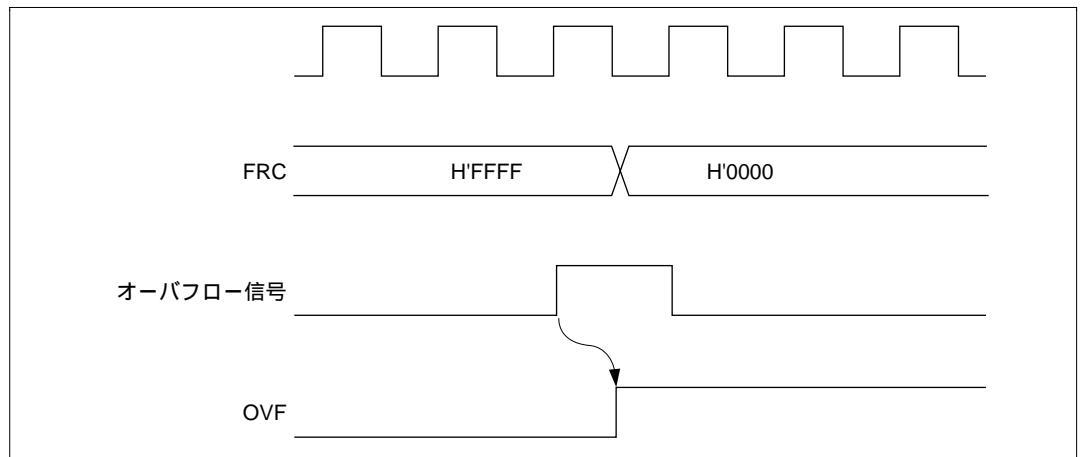


図 11.13 OVF のセットタイミング

11.3.8 OCRA と OCRAR / OCRAF の自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図 11.14 に示します。

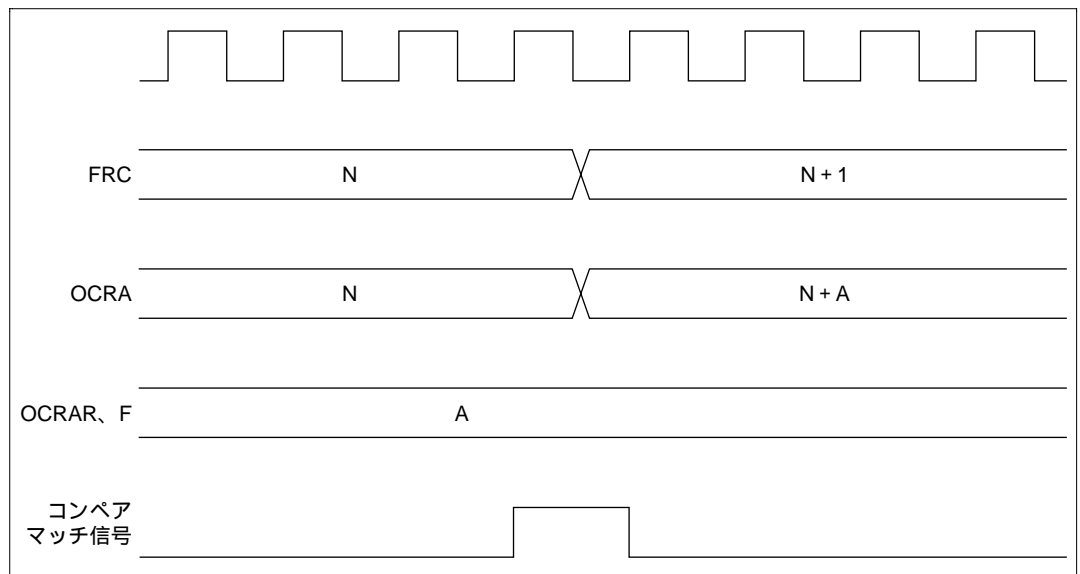


図 11.14 OCRA の自動加算タイミング

11.3.9 ICRD と OCRDM のマスク信号生成タイミング

TOCR の ICRDM ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外であると、ICRD の入力キャプチャ機能をマスクする信号が生成されます。

マスク信号は、入力キャプチャ信号によりセットされます。マスク信号のセットタイミングを図 11.15 に示します。

マスク信号は、ICRD の内容と OCRDM の内容の 2 倍の和と、FRC のコンペアマッチによりクリアされます。マスク信号のクリアタイミングを図 11.16 に示します。

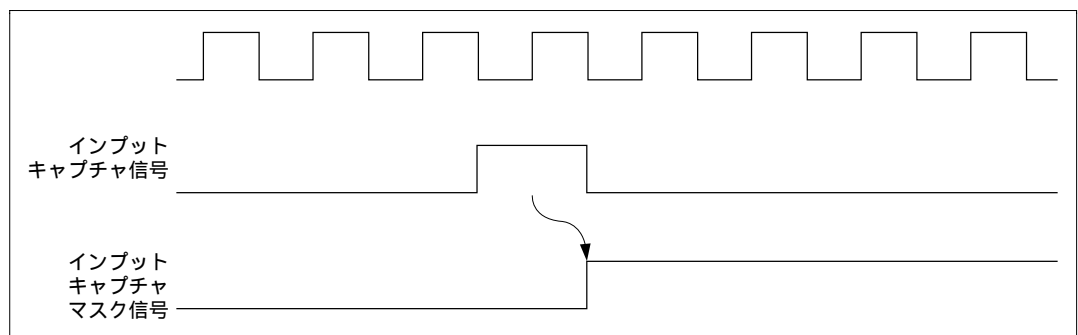


図 11.15 入力キャプチャマスク信号のセットタイミング

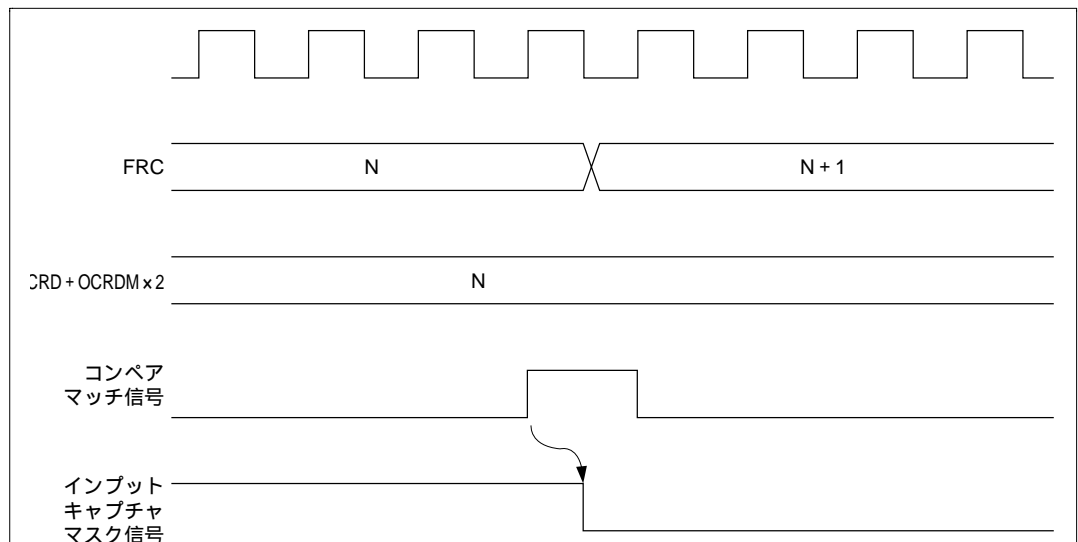


図 11.16 入力キャプチャマスク信号のクリアタイミング

11.4 割込み要因

FRTの割込み要因は、ICIA～ICID、OCIA、OCIBおよびFOVIの3種類合計7つあります。表11.4に各割込み要因と優先順位を示します。各割込み要因は、TIERの各割込みイネーブルビットで許可または禁止され、それぞれ独立に割込みコントローラに送られます。

表 11.4 FRT 割込み要因

割込み要因	内 容	DTCの起動	優先順位
ICIA	ICFAによる割込み	可	高  低
ICIB	ICFBによる割込み	可	
ICIC	ICFCによる割込み	不可	
ICID	ICFDによる割込み	不可	
OCIA	OCFAによる割込み	可	
OCIB	OCFBによる割込み	可	
FOVI	OVFによる割込み	不可	

11.5 FRTの使用例

デューティ 50%のパルスを任意の位相差で出力させた例を図 11.17 に示します。これは次に示すように設定します。

- (1) TCSR の CCLRA ビットを 1 にセットします。
- (2) 各コンペアマッチが発生するたびに OLVLA、B ビットをソフトウェアにより反転させます。

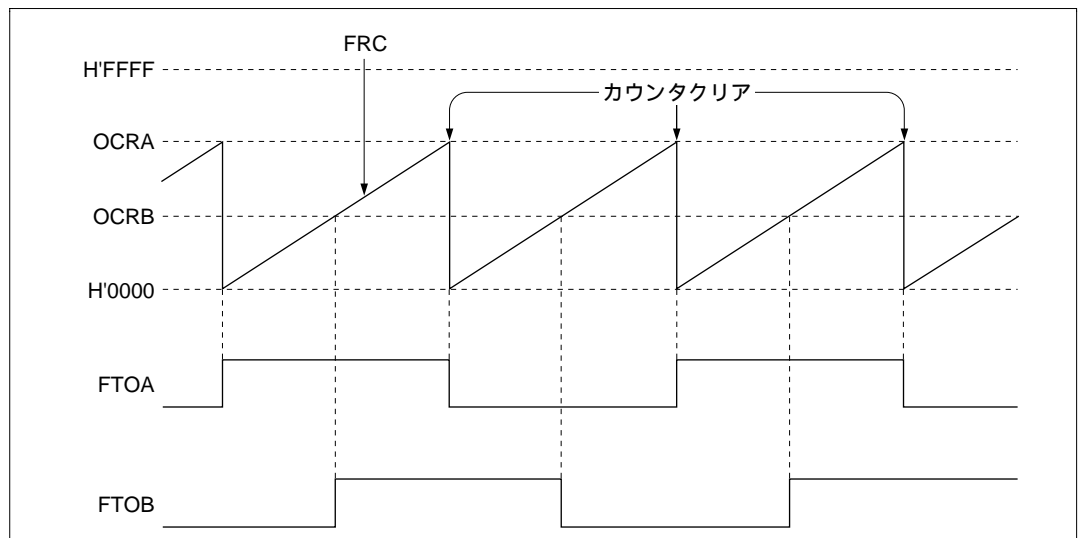


図 11.17 パルス出力例

11.6 使用上の注意

FRTの動作中、次のような競合や動作が起こりますので、注意してください。

(1) FRCのライトとクリアの競合

FRCのライトサイクルの次のステートで、カウンタクリア信号が発生すると、FRCへのライトは行われずFRCのクリアが優先されます。

このタイミングを図11.18に示します。

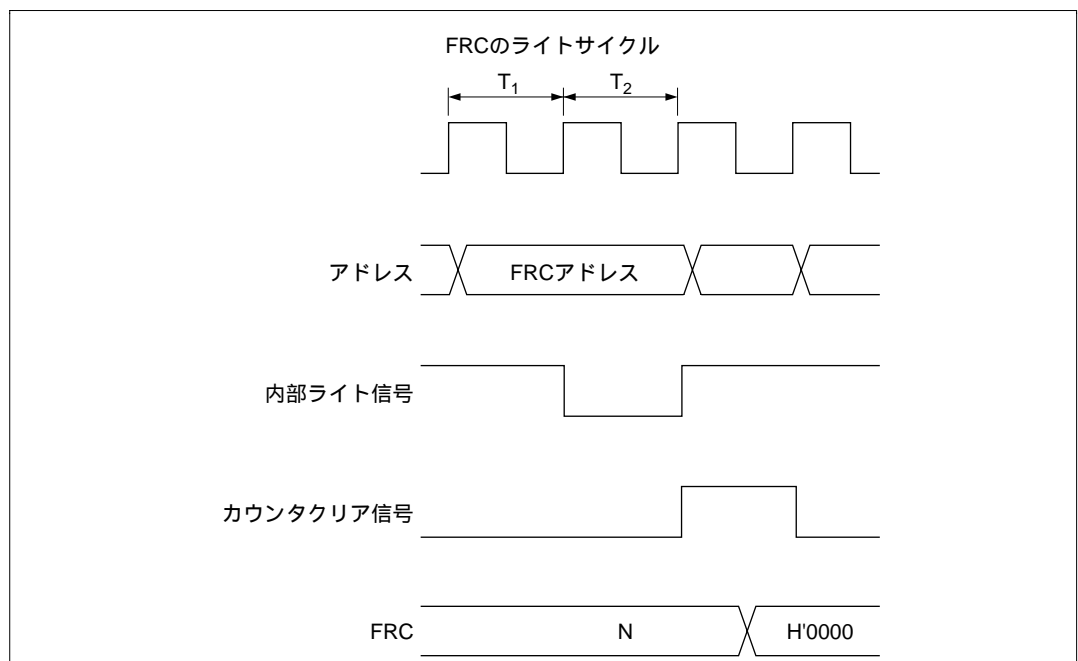


図 11.18 FRC のライトとクリアの競合

(2) FRC のライトとカウントアップの競合

FRC のライトサイクルの次の状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 11.19 に示します。

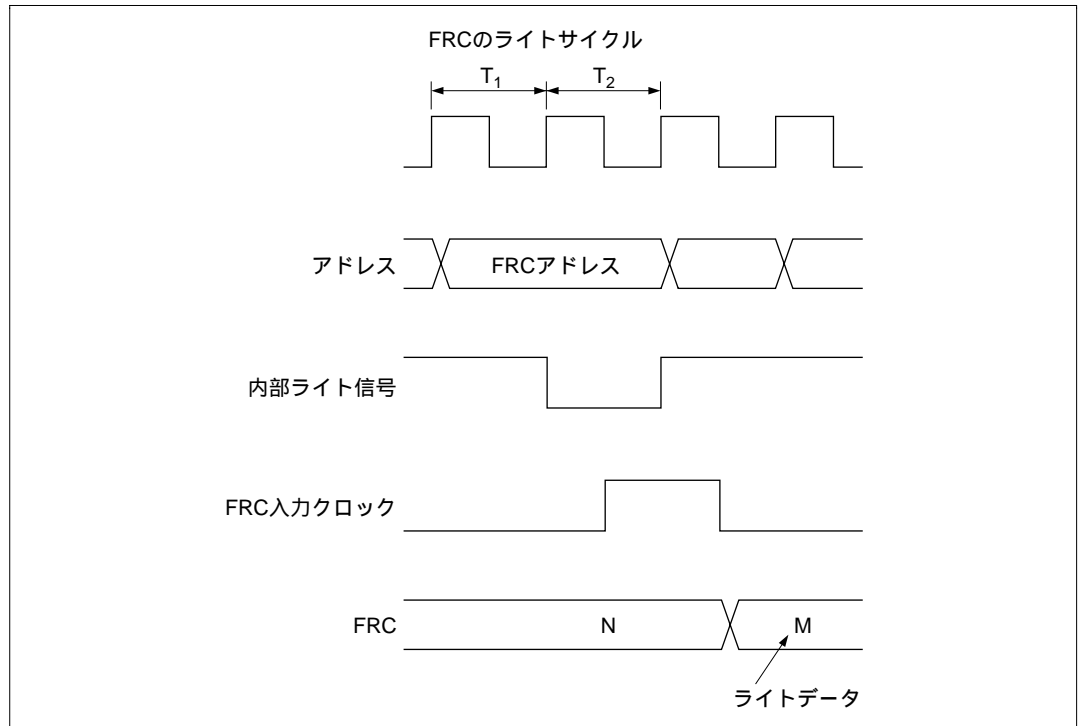


図 11.19 FRC のライトとカウントアップの競合

(3) OCR のライトとコンペアマッチの競合

OCRA、B のライトサイクルの次のステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 11.20 に示します。

OCRA へ、OCRAR / OCRAF の自動加算機能を選択していて、OCRA、OCRAR、OCRAF ライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAF のライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図 11.21 に示します。

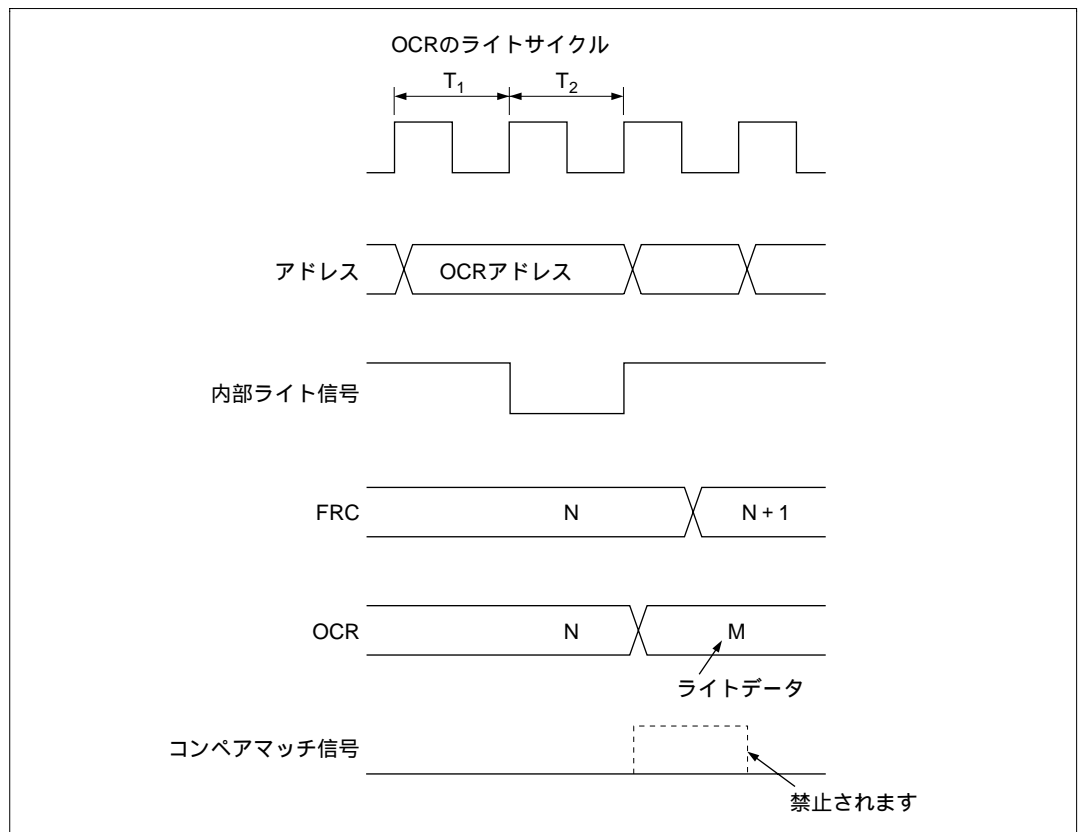


図 11.20 OCR のライトとコンペアマッチの競合 (自動加算機能を使用していない場合)

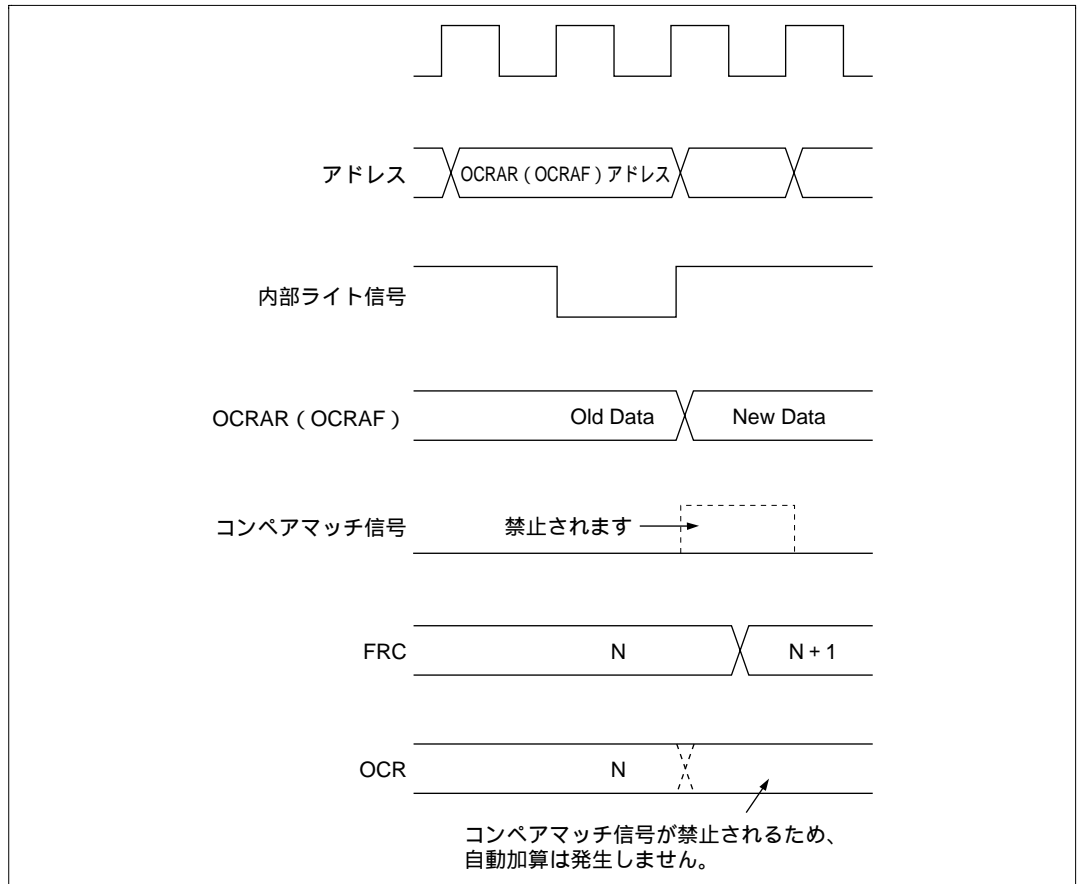


図 11.21 OCRAR/OCRAF のライトとコンペアマッチの競合
(自動加算機能を使用している場合)

(4) 内部クロックの切り替えとカウンタの動作

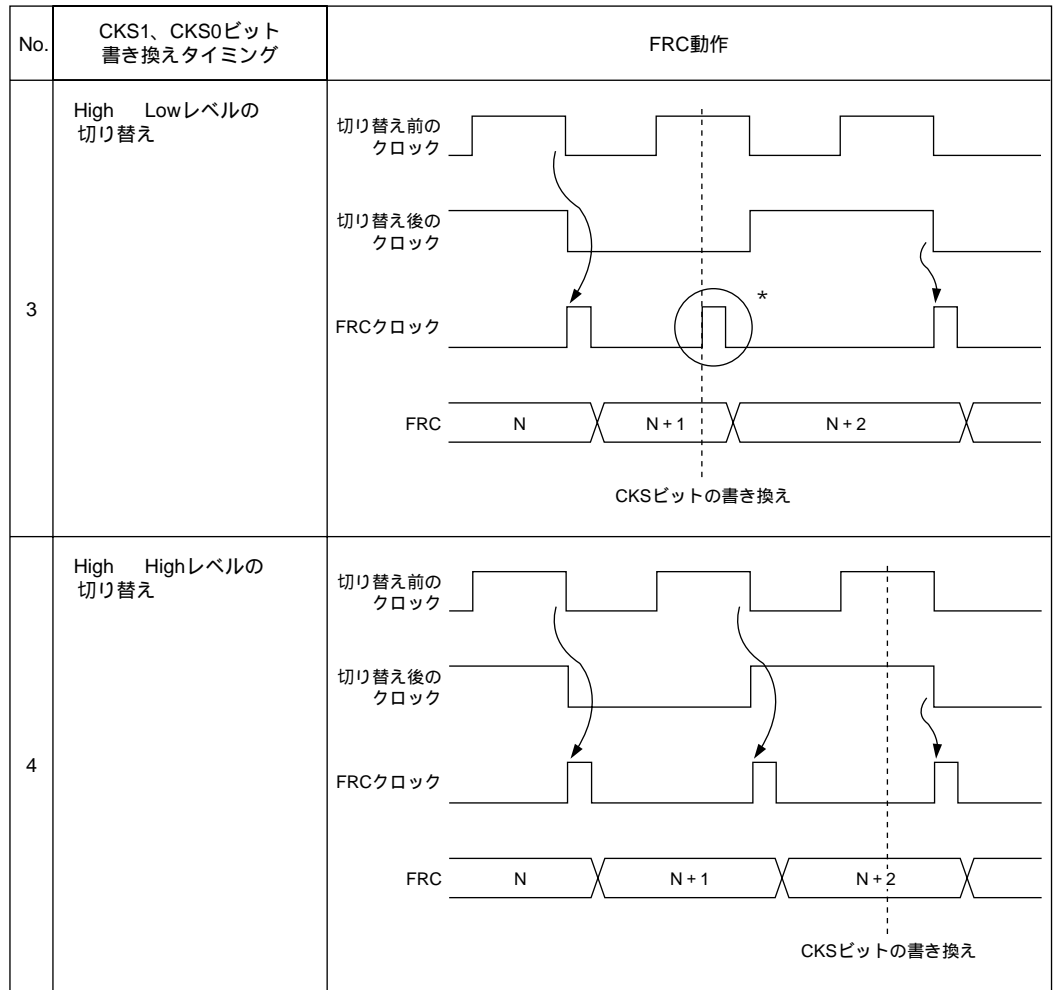
内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、0 ビットの書き換え) と FRC 動作の関係を表 11.5 に示します。

内部クロックを使用する場合、システムクロック () を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため表 11.5 の No.3 のように切り替え前のクロック High 切り替え後のクロック Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 11.5 内部クロックの切り替えと FRC 動作

No.	CKS1、CKS0ビット書き換えタイミング	FRC動作
1	Low Lowレベルの切り替え	
2	Low Highレベルの切り替え	



【注】 * 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRC はカウントアップされます。

12. 8ビットタイマ (TMR)

第12章 目次

12.1	概要	355
12.1.1	特長	355
12.1.2	ブロック図	356
12.1.3	端子構成	357
12.1.4	レジスタ構成	358
12.2	各レジスタの説明	359
12.2.1	タイマカウンタ (TCNT)	359
12.2.2	タイムコンスタントレジスタ A (TCORA)	360
12.2.3	タイムコンスタントレジスタ B (TCORB)	361
12.2.4	タイマコントロールレジスタ (TCR)	362
12.2.5	タイマコントロール/ステータスレジスタ (TCSR)	365
12.2.6	シリアルタイマコントロールレジスタ (STCR)	369
12.2.7	システムコントロールレジスタ (SYSCR)	370
12.2.8	タイマコネクションレジスタ S (TCNRS)	371
12.2.9	インプットキャプチャレジスタ (TICR) 【TMRX 追加機能】	371
12.2.10	タイムコンスタントレジスタ C (TCORC) 【TMRX 追加機能】	372
12.2.11	インプットキャプチャレジスタ R、F (TICRR、TICRF) 【TMRX 追加機能】	372
12.2.12	タイマインプットセレクトレジスタ (TISR) 【TMRX 追加機能】	373
12.2.13	モジュールストップコントロールレジスタ (MSTPCR)	374
12.3	動作説明	375
12.3.1	TCNT のカウントタイミング	375
12.3.2	コンペアマッチタイミング	376
12.3.3	TCNT の外部リセットタイミング	378
12.3.4	オーバフローフラグ (OVF) のセットタイミング	378
12.3.5	カスケード接続時の動作	378
12.3.6	インプットキャプチャ動作	380

12. 8ビットタイマ (TMR)

12.4	割込み要因	382
12.5	8ビットタイマの使用例	383
12.6	使用上の注意	384
12.6.1	TCNTのライトとカウンタクリアの競合	384
12.6.2	TCNTのライトとカウントアップの競合	385
12.6.3	TCORのライトとコンペアマッチの競合	385
12.6.4	コンペアマッチ A、B の競合	386
12.6.5	内部クロックの切り替えと TCNT の動作	387

12.1 概要

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR0、TMR1) を内蔵しています。2 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があり、TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

また、本 LSI は、2 チャンネルの類似の 8 ビットタイマ (TMRX、TMR Y) を内蔵しており、タイマコネクシオンに接続して使用できます。TMRX、TMR Y は、TMR0、TMR1 に比べて、入出力や割込み機能に関して制限があります。

TMRX は、H8S/2148 シリーズに内蔵されていますが、H8S/2144 シリーズ、HS8/2147N には内蔵されていません。

12.1.1 特長

カウンタ入力クロックを選択可能

- ・ TMR0、TMR1 : 6 種類の内部クロックと、外部クロックのうちから選択できます (外部イベントのカウントが可能)。
- ・ TMRX、TMR Y : 3 種類の内部クロックと、外部クロックのうちから選択できます (外部イベントのカウントが可能)。

カウンタのクリア指定が可能

- ・ コンペアマッチ A、B、または外部リセット信号のうちから選択できます。

2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- ・ 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。
(TMR Y にはタイマ出力端子がありません)

2 チャンネルのカスケード接続が可能 (TMR0、TMR1)

- ・ チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
- ・ チャンネル 1 はチャンネル 0 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。

複数の割込み要因

- ・ TMR0、TMR1、TMR Y : コンペアマッチ × 2 要因、オーバフロー × 1 要因があり、それぞれ独立に要求することができます。
- ・ TMRX : インプットキャプチャ × 1 要因があります。

12.1.2 ブロック図

8ビットタイマ (TMR0、TMR1) のブロック図を図 12.1 に示します。

TMRX、TMR1 も同様の構成ですが、カスケード接続はできません。また、TMRX には
 インพุットキャプチャ機能が追加されています。詳細は「第 13 章 タイマコネクション」
 を参照してください。

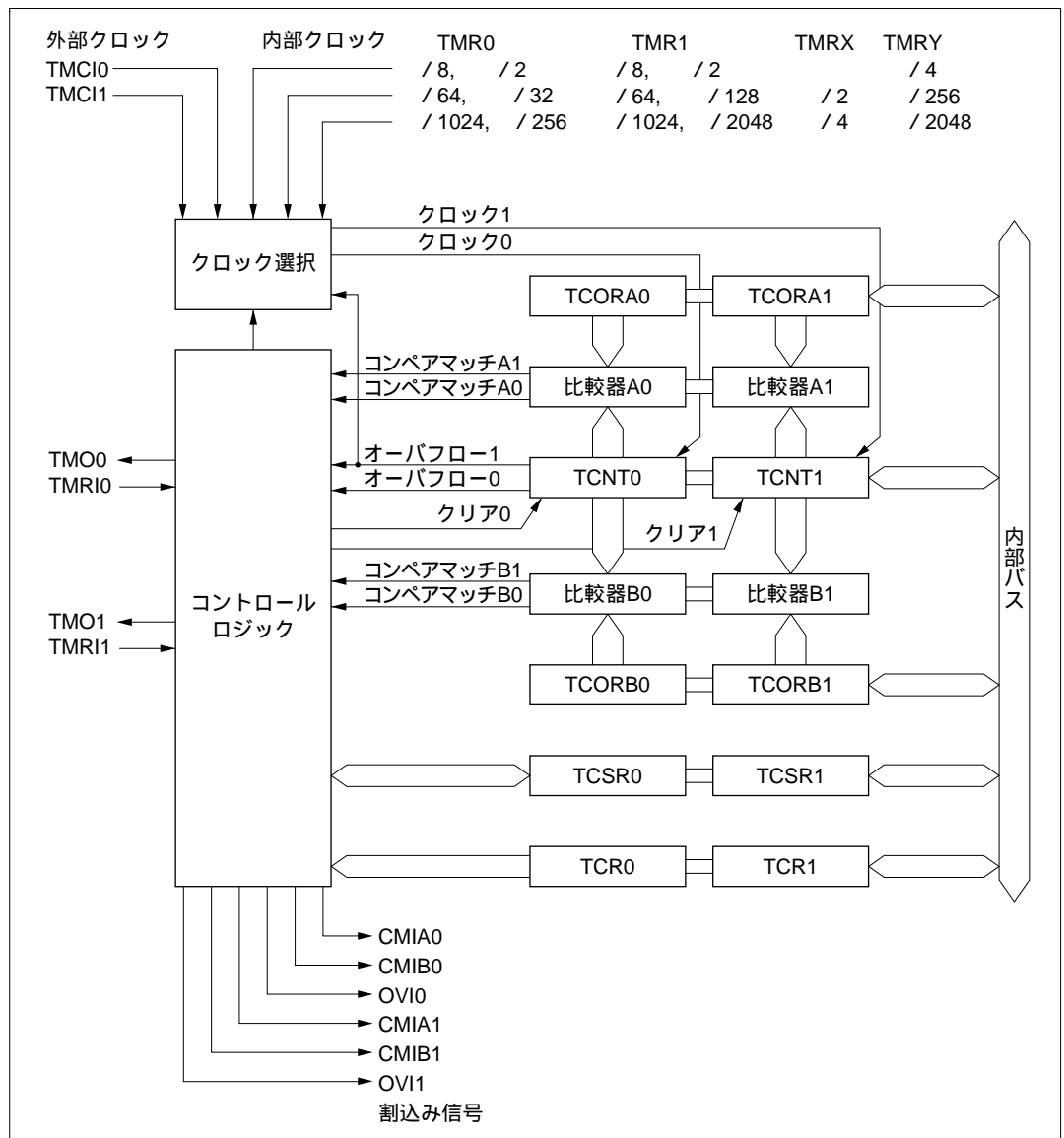


図 12.1 8ビットタイマのブロック図

12.1.3 端子構成

8ビットタイマの入出力端子を表 12.1 に示します。

表 12.1 端子構成

チャンネル	名 称	略称*	入出力	機 能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力
X	タイマ出力端子	TMOX	出力	コンペアマッチ出力
	タイマクロック /リセット入力端子	HFBACKI/TMIX (TMCIX/TMRIY)	入力	カウンタ外部クロック入力 /リセット入力
Y	タイマクロック /リセット入力端子	VSYNCI/TMIY (TMCII/TMRIY)	入力	カウンタ外部クロック入力 /リセット入力

【注】 * 本文中ではチャンネルを省略し、それぞれ TMO、TMCI、TMRI とします。
チャンネル X、Y の入出力端子も内部的にはチャンネル 0、1 と同様の構成となっていますので、同様に省略します。

12.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

チャンネル	名 称	略称*3	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFC8
	タイマコントロール/ステータスレジスタ 0	TCSR0	R/(W) *2	H'00	H'FFCA
	タイムコンスタントレジスタ A0	TCORA0	R/W	H'FF	H'FFCC
	タイムコンスタントレジスタ B0	TCORB0	R/W	H'FF	H'FFCE
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFD0
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFC9
	タイマコントロール/ステータスレジスタ 1	TCSR1	R/(W) *2	H'10	H'FFCB
	タイムコンスタントレジスタ A1	TCORA1	R/W	H'FF	H'FFCD
	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF	H'FFCF
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFD1
共通	シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3
	モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
		MSTPCRL	R/W	H'FF	H'FF87
	タイマコネクションレジスタ S	TCONRS	R/W	H'00	H'FFFE
X	タイマコントロールレジスタ X	TCRX	R/W	H'00	H'FFF0
	タイマコントロール/ステータスレジスタ X	TCSRX	R/(W) *2	H'00	H'FFF1
	タイムコンスタントレジスタ AX	TCORAX	R/W	H'FF	H'FFF6
	タイムコンスタントレジスタ BX	TCORBX	R/W	H'FF	H'FFF7
	タイマカウンタ X	TCNTX	R/W	H'00	H'FFF4
	タイムコンスタントレジスタ C	TCORC	R/W	H'FF	H'FFF5
	インプットキャプチャレジスタ R	TICRR	R	H'00	H'FFF2
	インプットキャプチャレジスタ F	TICRF	R	H'00	H'FFF3
	Y	タイマコントロールレジスタ Y	TCRY	R/W	H'00
タイマコントロール/ステータスレジスタ Y		TCSRY	R/(W) *2	H'00	H'FFF1
タイムコンスタントレジスタ AY		TCORAY	R/W	H'FF	H'FFF2
タイムコンスタントレジスタ BY		TCORBY	R/W	H'FF	H'FFF3
タイマカウンタ Y		TCNTY	R/W	H'00	H'FFF4
タイマインプットセレクトレジスタ		TISR	R/W	H'FE	H'FFF5

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

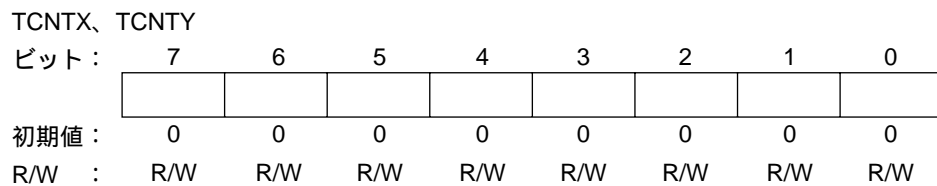
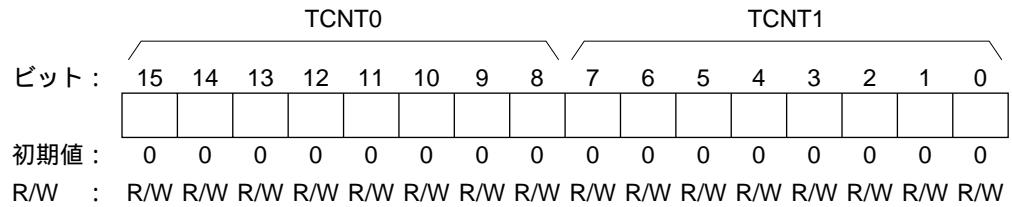
*3 本文中ではチャンネル(0、1、X、Y)を省略し、それぞれ TCR、TCSR、TCORA、TCORB、TCNT とします。

チャンネル 0 とチャンネル 1 の対応するレジスタは、チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。(8 ビットアクセス×2 回に分離されません)

H8S/2148 シリーズでは、チャンネル X とチャンネル Y のレジスタは、一部が同一のアドレスに重なっています。どちらをアクセスするかは、TCONRS の TMRX/Y ビットによって制御されます。

12.2 各レジスタの説明

12.2.1 タイマカウンタ (TCNT)



TCNTは、8ビットのリード/ライト可能なアップカウンタです。

TCNT0、TCNT1を1本の16ビットレジスタとしてワードアクセスすることも可能です。

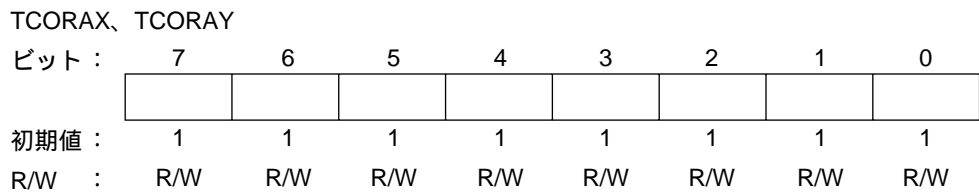
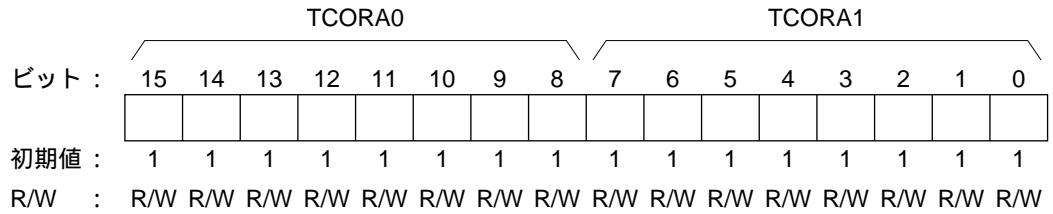
TCNTは、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、TCRのCKS2~CKS0ビットで選択します。

TCNTは、外部リセット入力信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットで選択します。

また、TCNTがオーバーフロー (H'FF H'00) すると、TCSRのOVFが1にセットされます。

TCNTは、リセットまたはハードウェアスタンバイモード時にH'00に初期化されます。

12.2.2 タイムコンスタントレジスタ A (TCORA)



TCORA は、8ビットのリード/ライト可能なレジスタです。

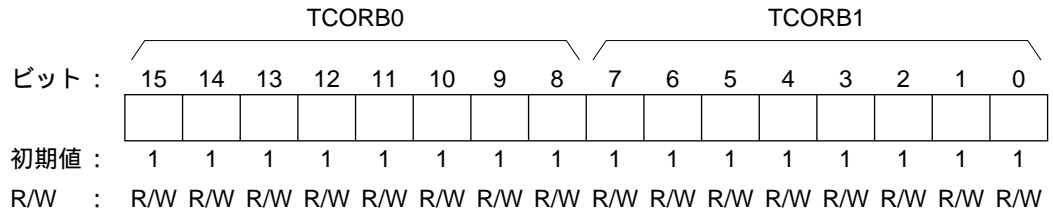
TCORA0、TCORA1 を 1本の 16ビットレジスタとしてワードアクセスすることも可能です。

TCORA と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの T2 ステートでの比較は禁止されています。

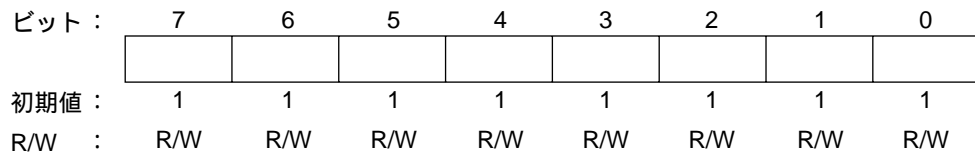
また、この一致による信号 (コンペアマッチ) と TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

12.2.3 タイムコンスタントレジスタ B (TCORB)



TCORBx、TCORBy



TCORB は、8 ビットのリード/ライト可能なレジスタです。

TCORB0、TCORB1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFB が 1 にセットされます。ただし、TCORB へのライトサイクルの T2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR のアウトプットセレクト OS3、OS2 ビットの設定により、タイマ出力を自由に制御することができます。

TCORB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

12.2.4 タイマコントロールレジスタ (TCR)

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは、8ビットのリード/ライト可能なレジスタで、TCNTの入力クロックの選択、TCNTのクリア指定、および各割込み要求の許可を制御します。

TCRは、リセットまたはハードウェアスタンバイモード時に、H'00に初期化されます。なお、タイミングについては、「12.3 動作説明」を参照してください。

ビット7 : コンペアマッチインタラプトイネーブルB (CMIEB)

TCSRのCMFBが1にセットされたとき、CMFBによる割込み要求 (CMIB) の許可または禁止を選択します。

ただし、TMRXではCMIEBの値にかかわらず、CMIB割込み要求は発生しません。

ビット7	説明
CMIEB	
0	CMFBによる割込み要求 (CMIB) を禁止 (初期値)
1	CMFBによる割込み要求 (CMIB) を許可

ビット6 : コンペアマッチインタラプトイネーブルA (CMIEA)

TCSRのCMFAが1にセットされたとき、CMFAによる割込み要求 (CMIA) の許可または禁止を選択します。

ただし、TMRXではCMIEAの値にかかわらず、CMIA割込み要求は発生しません。

ビット6	説明
CMIEA	
0	CMFAによる割込み要求 (CMIA) を禁止 (初期値)
1	CMFAによる割込み要求 (CMIA) を許可

ビット5：タイマオーバフローインタラプトイネーブル (OVIE)

TCSRのOVFが1にセットされたとき、OVFによる割込み要求(OVI)の許可または禁止を選択します。

ただし、TMRXではOVIEの値にかかわらず、OVI割込み要求は発生しません。

ビット5	説明
OVIE	
0	OVFによる割込み要求(OVI)を禁止 (初期値)
1	OVFによる割込み要求(OVI)を許可

ビット4、3：カウンタクリア1、0 (CCLR1、CCLR0)

TCNTのクリアを指定します。クリアは、コンペアマッチA、Bまたは外部リセット入力から選択します。

ビット4	ビット3	説明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

ビット2~0：クロックセレクト2~0 (CKS2~CKS0)

STCRのICKS0、ICKS1ビットと共に、TCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック()を分周した6種類または3種類のクロックから選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックのとき、クロック入力は外部クロック入力端子(TMCI)の立ち上がり、立ち下がり、または立ち上がり/立ち下がり両エッジのカウントの3種類から選択できます。

チャンネル0およびチャンネル1は、カスケード接続機能のため一部機能が異なります。

12. 8ビットタイマ (TMR)

チャンネル	TCR			STCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	-	0	内部クロック: /8 立ち下がりエッジでカウント
	0	0	1	-	1	内部クロック: /2 立ち下がりエッジでカウント
	0	1	0	-	0	内部クロック: /64 立ち下がりエッジでカウント
	0	1	0	-	1	内部クロック: /32 立ち下がりエッジでカウント
	0	1	1	-	0	内部クロック: /1024 立ち下がりエッジでカウント
	0	1	1	-	1	内部クロック: /256 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT1 のオーバフロー信号でカウント*
1	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	0	-	内部クロック: /8 立ち下がりエッジでカウント
	0	0	1	1	-	内部クロック: /2 立ち下がりエッジでカウント
	0	1	0	0	-	内部クロック: /64 立ち下がりエッジでカウント
	0	1	0	1	-	内部クロック: /128 立ち下がりエッジでカウント
	0	1	1	0	-	内部クロック: /1024 立ち下がりエッジでカウント
	0	1	1	1	-	内部クロック: /2048 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT0 のコンペアマッチ A でカウント*
X	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	-	-	内部クロック: でカウント
	0	1	0	-	-	内部クロック: /2 立ち下がりエッジでカウント
	0	1	1	-	-	内部クロック: /4 立ち下がりエッジでカウント
	1	0	0	-	-	クロック入力を禁止
Y	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	-	-	内部クロック: /4 立ち下がりエッジでカウント
	0	1	0	-	-	内部クロック: /256 立ち下がりエッジでカウント
	0	1	1	-	-	内部クロック: /2048 立ち下がりエッジでカウント
	1	0	0	-	-	クロック入力を禁止
共通	1	0	1	-	-	外部クロック: 立ち上がりエッジでカウント
	1	1	0	-	-	外部クロック: 立ち下がりエッジでカウント
	1	1	1	-	-	外部クロック: 立ち上がり / 立ち下がり両エッジでカウント

【注】 * チャンネル0のクロック入力を TCNT1 のオーバフロー信号とし、チャンネル1のクロック入力を TCNT0 のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

12.2.5 タイマコントロール/ステータスレジスタ(TCSR)

TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

TCSRX

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W

TCSRY

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】* ビット7~5およびTCSRXのビット4は、フラグをクリアするための0ライトのみ可能です。

TCSRは、8ビットのレジスタで、コンペアマッチやタイマオーバフロー、インプットキャプチャ(TMRXのみ)のステータスの表示、およびコンペアマッチ出力の制御を行います。

リセットまたはハードウェアスタンバイモード時に、TCSR0、TCSRX、TCSRYはH'00に、TCSR1はH'10に初期化されます。

ビット7：コンペアマッチフラグB (CMFB)

TCNTとTCORBの値が一致したことを示すステータスフラグです。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) (1) CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORB になったとき

ビット6：コンペアマッチフラグA (CMFA)

TCNTとTCORAの値が一致したことを示すステータスフラグです。

ビット6	説明
CMFA	
0	[クリア条件] (初期値) (1) CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORA になったとき

ビット5：タイマオーバフローフラグ (OVF)

TCNTがオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット5	説明
OVF	
0	[クリア条件] (初期値) OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

TCSR0

ビット4 : A/Dトリガイネーブル (ADTE)

コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。

ビット4	説明
ADTE	
0	コンペアマッチ A による A/D 変換開始要求を禁止 (初期値)
1	コンペアマッチ A による A/D 変換開始要求を許可

TCSR1

ビット4 : リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

TCSRX

ビット4 : インプットキャプチャフラグ (ICF)

TCONRI の ICST ビットが1にセットされた後、外部リセット信号に立ち上がりエッジ立ち下がりエッジの順でエッジが検出されたことを示すステータスフラグです。

ビット4	説明
ICF	
0	[クリア条件] (初期値) ICF=1の状態ではICFをリードした後、ICFに0をライトしたとき
1	[セット条件] TCONRIのICSTビットが1にセットされた後、外部リセット信号に立ち上がりエッジ立ち下がりエッジの順でエッジを検出したとき

TCSR1

ビット4 : インプットキャプチャインタラプトイネーブル (ICIE)

TCSRX の ICF が1にセットされたとき、ICF による割り込み要求 (ICIX) の許可または禁止を選択します。

ビット4	説明
ICIE	
0	ICF による割り込み要求 (ICIX) を禁止 (初期値)
1	ICF による割り込み要求 (ICIX) を許可

ビット3~0 : アウトプットセレクト3~0 (OS3~OS0)

TCOR とTCNTのコンペアマッチによるタイマ出力レベルをどのように変化させるかを選択します。

OS3とOS2 ビットがコンペアマッチBによる出力レベルを選択し、OS1とOS0ビットがコンペアマッチAによる出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力>1 出力>0 出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチにしたがって出力が変化します。

なお、OS3~OS0 ビットがすべて0の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は0です。

ビット3	ビット2	説明
OS3	OS2	
0	0	コンペアマッチBで変化しない (初期値)
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力(トグル出力)

ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチAで変化しない (初期値)
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力(トグル出力)

12.2.6 シリアルタイマコントロールレジスタ (STCR)

ビット:	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE		ICKS1	ICKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御 (IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。8 ビットタイマ以外の詳細は、「3.2.4 シリアルタイマコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7~4: I²C コントロール (IICS、IICX1、IICX0、IICE)

ポート A のバスバッファ機能および IIC 内蔵オプションの場合、I²C バスインタフェースの動作などを制御するビットです。詳しくは「16.2.7 シリアルタイマコントロールレジスタ (STCR)」を参照してください。

ビット 3: フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ、低電圧電力状態の制御レジスタおよび周辺モジュールの制御レジスタの CPU アクセスを制御するビットです。詳しくは「3.2.4 シリアルタイマコントロールレジスタ (STCR)」を参照してください。

ビット 2: リザーブビット

リザーブビットです。1 をセットしないでください。

ビット 1、0: インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

TCR の CKS2~CKS0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

12.2.7 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R	R/W	R	R/W	R/W	R/W

ここではビット 1 のみ説明します。8 ビットタイマ以外の詳細は、「3.2.2」、「5.2.1」の「システムコントロールレジスタ (SYSCR)」、および関連するモジュールの説明を参照してください。

ビット 1 : ホストインタフェースイネーブル (HIE)

8 ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタの CPU アクセスを制御します。

ビット 1	説明
HIE	
0	8 ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタの CPU アクセスを許可 (初期値)
1	8 ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタの CPU アクセスを禁止

12.2.8 タイマコネクションレジスタ S (TCONRS)

ビット :	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRS は 8 ビットのリード/ライト可能なレジスタで、TMRX、TMRY のレジスタアクセスおよびタイマコネクションの動作を制御します。

TCONRS はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7 : TMRX/TMRY アクセス選択 (TMRX/Y)

TMRX および TMRY のレジスタは、SYSCR の HIE ビットが 0 の場合にのみアクセス可能です。H8S/2148 シリーズでは、TMRX の一部と TMRY はメモリ空間の同一のアドレス (H'FFF0 ~ H'FFF5) に割当てられており、どちらをアクセスするかを TMRX/Y ビットで制御します。H8S/2144 シリーズ、H8S/2147N では、本ビットによる TMRY レジスタのアクセス制御はありません。

ビット 7	アクセス可能なレジスタ							
TMRX/Y	H'FFF0	H'FFF1	H'FFF2	H'FFF3	H'FFF4	H'FFF5	H'FFF6	H'FFF7
0 (初期値)	TMRX TCRX	TMRX TCSRX	TMRX TICRR	TMRX TICRF	TMRX TCNTX	TMRX TCORC	TMRX TCORAX	TMRX TCORBX
1	TMRY TCRY	TMRY TCSRY	TMRY TCORAY	TMRY TCORBY	TMRY TCNTY	TMRY TISR		

12.2.9 インプットキャプチャレジスタ (TICR) 【TMRX 追加機能】

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	-	-

TICR は 8 ビットの内部レジスタです。外部リセット入力の立ち下がりで TCNT の内容が TICR に転送されます。CPU から TICR を直接リード/ライトすることはできません。

TICR の機能はタイマコネクションで使用されます。詳細は「第 13 章 タイマコネクション」を参照してください。

12.2.10 タイムコンスタントレジスタ C (TCORC) 【TMRX 追加機能】

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORCは8ビットのリード/ライト可能なレジスタです。

TCORCとTICRの内容の和とTCNTの内容は常に比較されており、両者の値が一致するとコンペアマッチC信号が発生されます。ただし、TCORCへのライトサイクルのT2ステートとTICRのインプットキャプチャサイクルでの比較は禁止されています。

TCORCは、リセットまたはハードウェアスタンバイモード時にH'FFに初期化されます。

TCORCの機能はタイマコネクシオンで使用されます。詳細は「第13章 タイマコネクシオン」を参照してください。

12.2.11 インプットキャプチャレジスタ R、F (TICRR、TICRF) 【TMRX 追加機能】

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TICRR、TICRFは8ビットのリード専用のレジスタです。

TICRR、TICRFは、TCONRIのICSTビットが1にセットされている場合に、外部リセット入力の立ち上がり立ち下がりの順でTCNTの内容が転送されます。1回のキャプチャ動作が終了するとICSTビットは0にクリアされます。

TICRR、TICRFは、リセットまたはハードウェアスタンバイモード時にH'00に初期化されます。

TICRR、TICRFの機能はタイマコネクシオンで使用されます。詳細は「12.3.6 インプットキャプチャ動作」および「第13章 タイマコネクシオン」を参照してください。

12.2.12 タイマインプットセレクトレジスタ (TISR) 【TMR Y 追加機能】

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	IS
初期値 :	1	1	1	1	1	1	1	0
R/W :	-	-	-	-	-	-	-	R/W

TISR は、8ビットのリード/ライト可能なレジスタで、カウンタ外部クロック/リセット入力の信号源を選択します。

TISR は、リセットまたはハードウェアスタンバイモード時に、HFE に初期化されます。

ビット7~1: リザーブビット

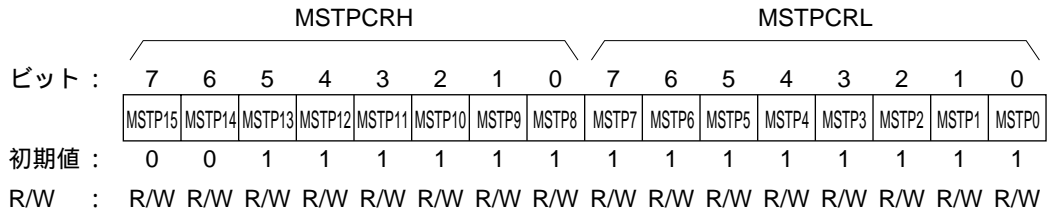
リザーブビットです。0をライトしないでください。

ビット0: インプットセレクト (IS)

TMR Y のカウンタ外部クロック/リセット入力の信号源として、内部同期信号 (IVG 信号) またはタイマクロック/リセット入力端子 (VSYNCI/TMIY (TMCIY/TMRIY)) を選択します。

ビット0	説明
IS	
0	IVG 信号を選択 (H8S/2148 シリーズ) (初期値) 外部クロック/リセット入力禁止 (H8S/2144 シリーズ、H8S/2147N)
1	VSYNCI/TMIY (TMCIY/TMRIY) を選択

12.2.13 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP12ビットおよびMSTP8ビットを1にセットすると、バスサイクルの終了時点で8ビットタイマ(チャンネル0、1)と(チャンネルX、Y)はそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRHビット4：モジュールストップ (MSTP12)

8ビットタイマ(チャンネル0、1)のモジュールストップモードを指定します

MSTCRH ビット4	説 明
MSTP12	
0	8ビットタイマ(チャンネル0、1)のモジュールストップモード解除
1	8ビットタイマ(チャンネル0、1)のモジュールストップモード設定 (初期値)

MSTPCRHビット0：モジュールストップ (MSTP8)

8ビットタイマ(チャンネルX、Y)とタイマコネクションのモジュールストップモードを指定します

MSTCRH ビット0	説 明
MSTP8	
0	8ビットタイマ(チャンネルX、Y)とタイマコネクションのモジュールストップモード解除
1	8ビットタイマ(チャンネルX、Y)とタイマコネクションのモジュールストップモード設定 (初期値)

12.3 動作説明

12.3.1 TCNT のカウントタイミング

TCNT は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCR の CKS2 ~ CKS0 ビットの設定により、システムクロック（ ）を分周して作られる内部クロックが選択されます。このタイミングを図 12.2 に示します。

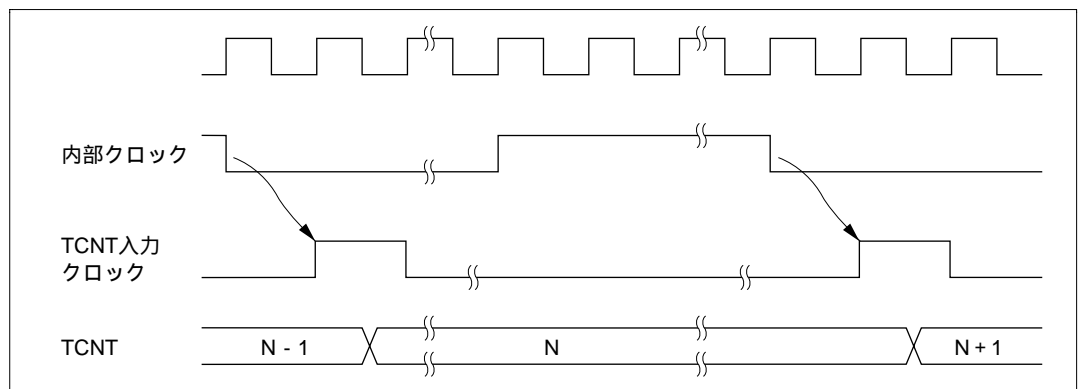


図 12.2 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS2 ~ CKS0 ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 12.3 に、外部クロックとして、立ち上がり / 立ち下がり両エッジの場合のタイミングを示します。

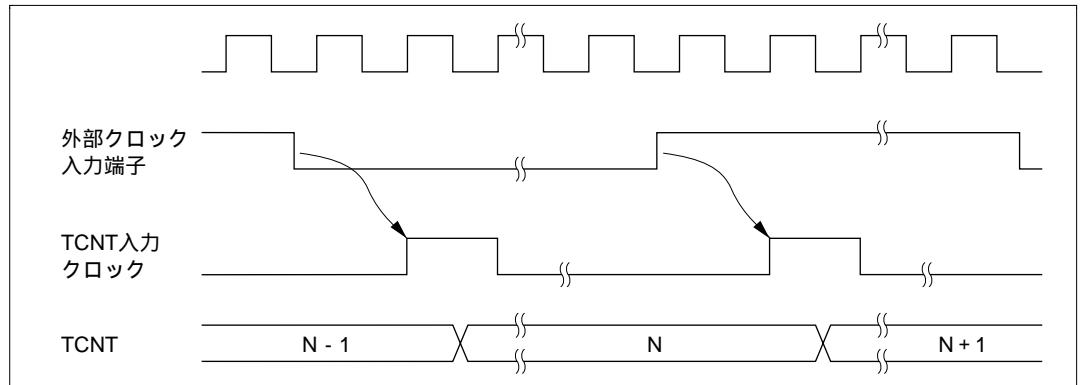


図 12.3 外部クロック動作時のカウントタイミング

12.3.2 コンペアマッチタイミング

(1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、CMFB は、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 12.4 に示します。

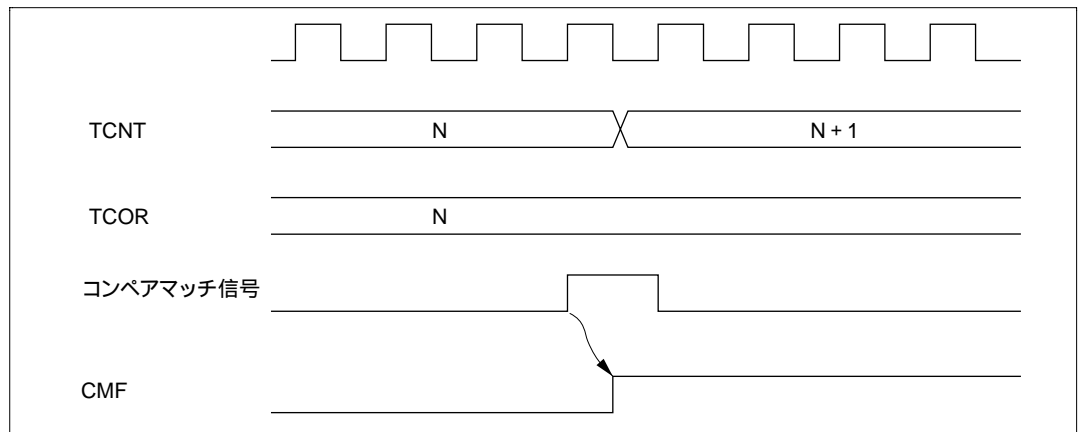


図 12.4 CMF セットタイミング

(2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3 ~ OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 12.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

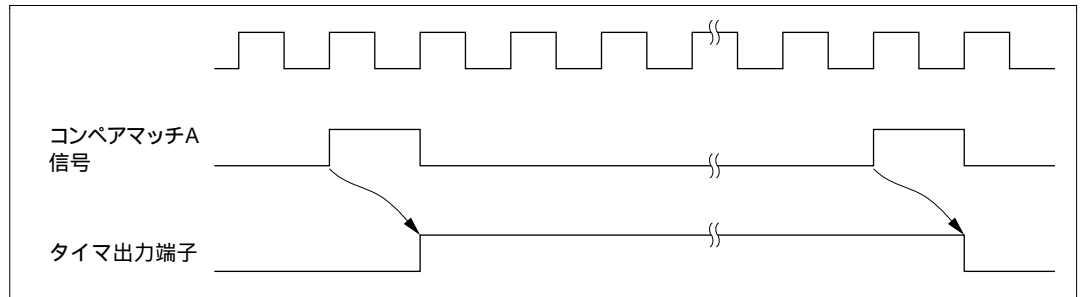


図 12.5 タイマ出力タイミング

(3) コンペアマッチによるクリア

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 12.6 に示します。

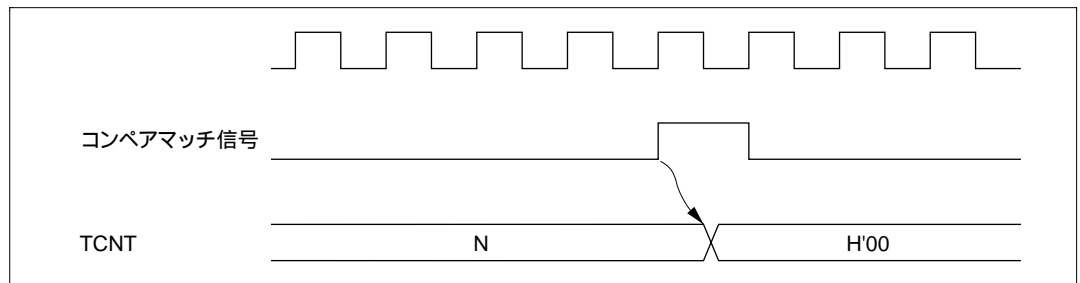


図 12.6 コンペアマッチによるクリアタイミング

12.3.3 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアパルスの幅は、1.5 ステート以上必要となります。このクリアされるタイミングを図12.7に示します。

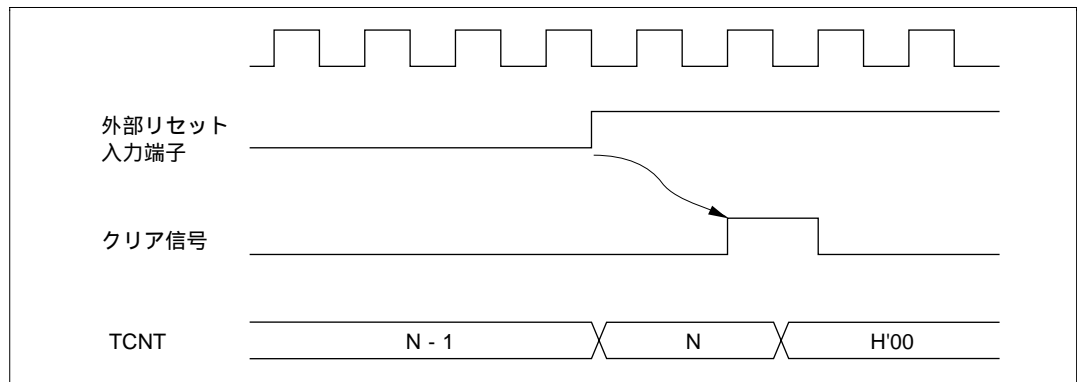


図 12.7 外部リセット入力によるクリアタイミング

12.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバフロー (H'FF H'00) したとき出力されるオーバフロー信号により1にセットされます。

このときのタイミングを図12.8に示します。

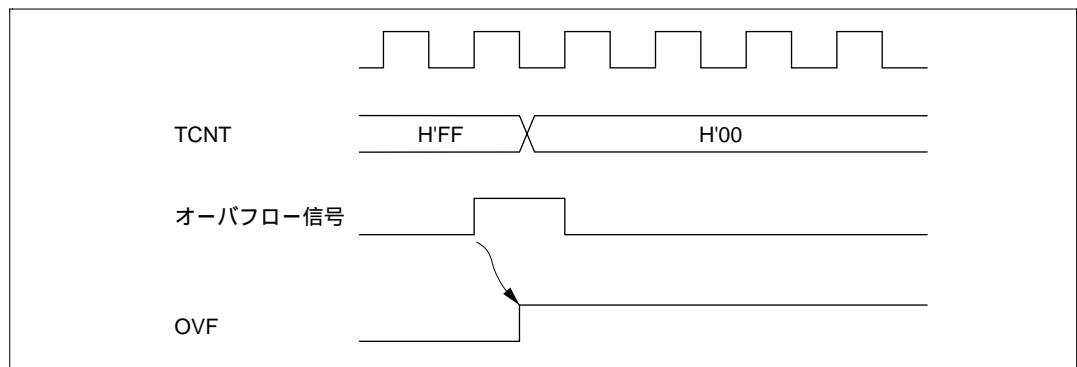


図 12.8 OVF のセットタイミング

12.3.5 カスケード接続時の動作

TCR0、TCR1のいずれか一方のCKS2~CKS0ビットをB'100に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する(16ビットタイマモード)か、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1のタイマでカウントする(コンペアマッチカウントモード)ことができます。このとき、本タイマは以下のように動作します。

(1) 16ビットカウントモード

TCR0のCKS2~CKS0ビットがB'100のとき、本タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(a) コンペアマッチフラグのセット

- ・TCSR0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- ・TCSR1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(b) カウンタクリア指定

- ・TCR0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT0、TCNT1の両方) がクリアされます。また、TMR10端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT0、TCNT1の両方) がクリアされます。
- ・TCR1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(c) 端子出力

- ・TCSR0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件にしたがいます。
- ・TCSR1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件にしたがいます。

(2) コンペアマッチカウントモード

TCR1のCKS2~CKS0ビットがB'100のとき、TCNT1はチャンネル0のコンペアマッチAをカウントします。

チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割込みの発生、TMO端子の出力、カウンタクリアなどは、各チャンネルの設定にしたがいます。

(3) 使用上の注意

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT0、TCNT1の入カロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

12.3.6 インプットキャプチャ動作

TMRX には、インプットキャプチャレジスタ(TICR、TICRR、TICRF)があります。TICRR と TICRF は、タイマコネクシヨンの TCONRI レジスタの ICST ビットの制御で 1 回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。ICST ビットが 1 にセットされた後、TMRX に立ち上がりエッジ 立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれ転送され、ICST ビットは 0 にクリアされます。

また、TCONRI レジスタのその他のビットの設定により TMRX 入力信号を切り替えることができます。

(1) インプットキャプチャ入力タイミング

インプットキャプチャ機能を設定した場合の動作タイミングを図 12.9 に示します。

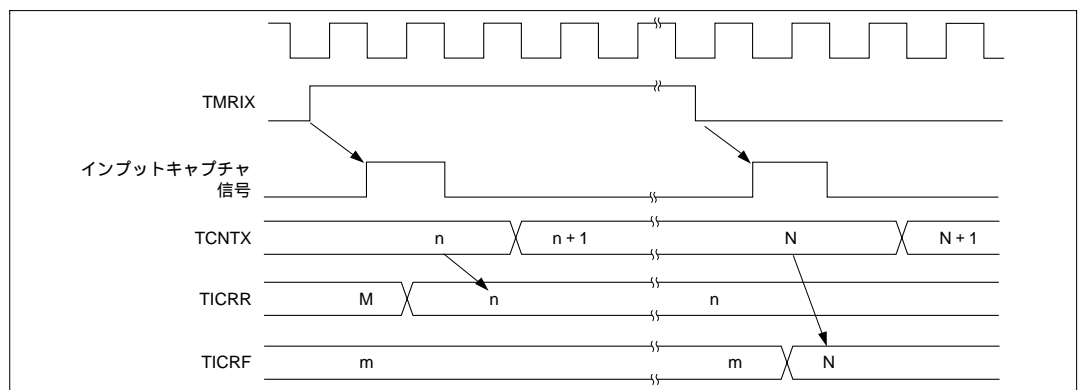


図 12.9 インプットキャプチャ動作タイミング

また、TICRR、TICRF のリード時に、インプットキャプチャ入力を入力するとインプットキャプチャ信号は 1 システムクロック () 遅延されます。このタイミングを図 12.10 に示します。

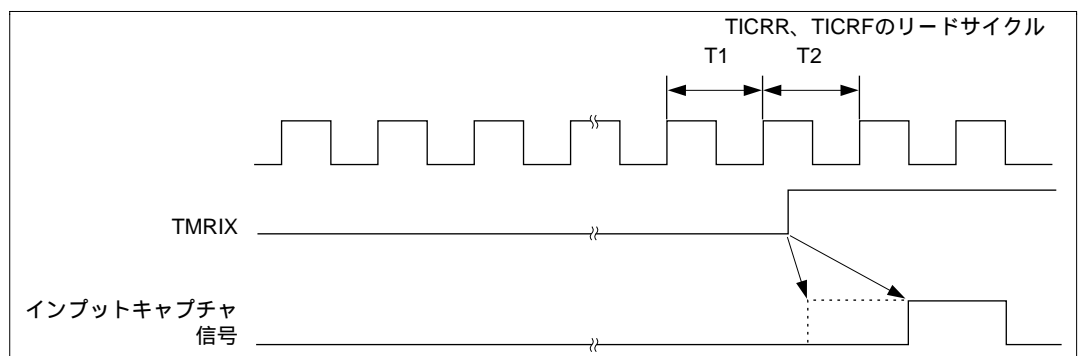


図 12.10 インプットキャプチャ信号タイミング

(TICRR、TICRF のリード時に、インプットキャプチャ入力を入力した場合)

(2) インพุットキャプチャ入力信号の選択

タイマコネクシヨンの TCONRI レジスタの各ビットの設定により、TMRX のインพุットキャプチャ入力信号(TMRX)を切り替えることができます。

インพุットキャプチャ信号の選択を図 12.11 および表 12.3 に示します。

詳細は「13.2.1 タイマコネクシヨンレジスタ I(TCONRI)」を参照してください。

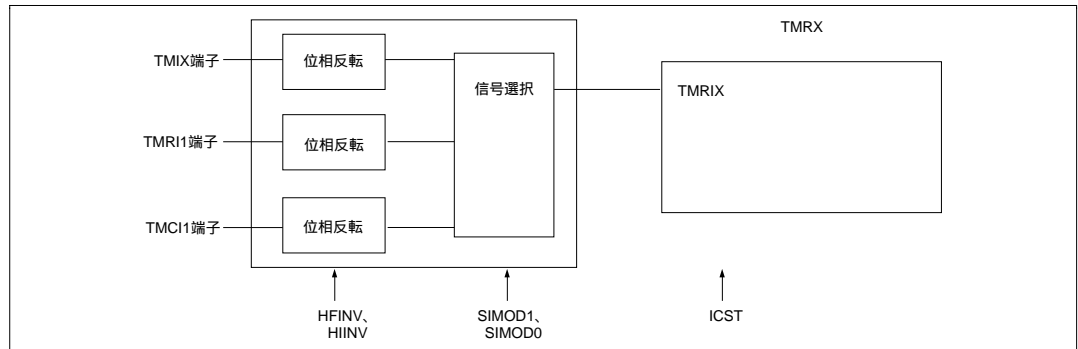


図 12.11 インพุットキャプチャ信号の切り替え

表 12.3 インพุットキャプチャ信号の選択

TCONRI					説明
ビット4	ビット7	ビット6	ビット3	ビット1	
ICST	SIMOD1	SIMOD0	HFINV	HIINV	
0	-	-	-	-	インพุットキャプチャ機能を使用しない
1	0	0	0	-	TMIX 端子の入力信号を選択
			1	-	TMIX 端子入力の反転信号を選択
		1	-	0	TMRI1 端子の入力信号を選択
			-	1	TMRI1 端子入力の反転信号を選択
	1	1	-	0	TMCI1 端子の入力信号を選択
			-	1	TMCI1 端子入力の反転信号を選択

12.4 割込み要因

8ビットタイマ TMR0、TMR1、TMR Y の割込み要因は、CMIA、CMIB、OVI の 3 種類があります。また、TMR X の割込み要因は、ICIX のみです。表 12.4～表 12.6 に各割込み要因と優先順位を示します。各割込み要因は、TCR または TCSR の各割込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割込みコントローラに送られます。

また、TMR0、TMR1、TMR Y の CMIA、CMIB 割込みにより DTC を起動することができます。

表 12.4 8ビットタイマ TMR0、TMR1 の割込み要因

割込み要因	内 容	DTC の起動	優先順位
CMIA	CMFA による割込み	可	高 ↑ 低
CMIB	CMFB による割込み	可	
OVI	OVF による割込み	不可	

表 12.5 8ビットタイマ TMR X の割込み要因

割込み要因	内 容	DTC の起動
ICIX	ICF による割込み	不可

表 12.6 8ビットタイマ TMR Y の割込み要因

割込み要因	内 容	DTC の起動	優先順位
CMIA	CMFA による割込み	可	高 ↑ 低
CMIB	CMFB による割込み	可	
OVI	OVF による割込み	不可	

12.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 12.12 に示します。これは次に示すように設定します。

- [1] TCORA のコンペアマッチにより TCNT がクリアされるように、TCR の CCLR1 ビットを 0 にクリア、CCLR0 ビットを 1 にセットします。
- [2] TCORA のコンペアマッチにより 1 出力、TCORB のコンペアマッチにより 0 出力になるように TCSR の OS3 ~ OS0 ビットを B'0110 に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

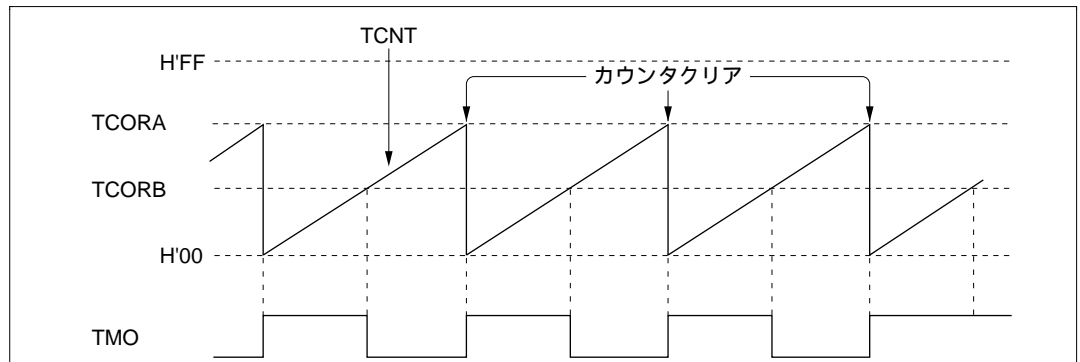


図 12.12 パルス出力例

12.6 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こるので注意してください。

12.6.1 TCNTのライトとカウンタクリアの競合

TCNTのライトサイクル中のT2状態で、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図12.13に示します。

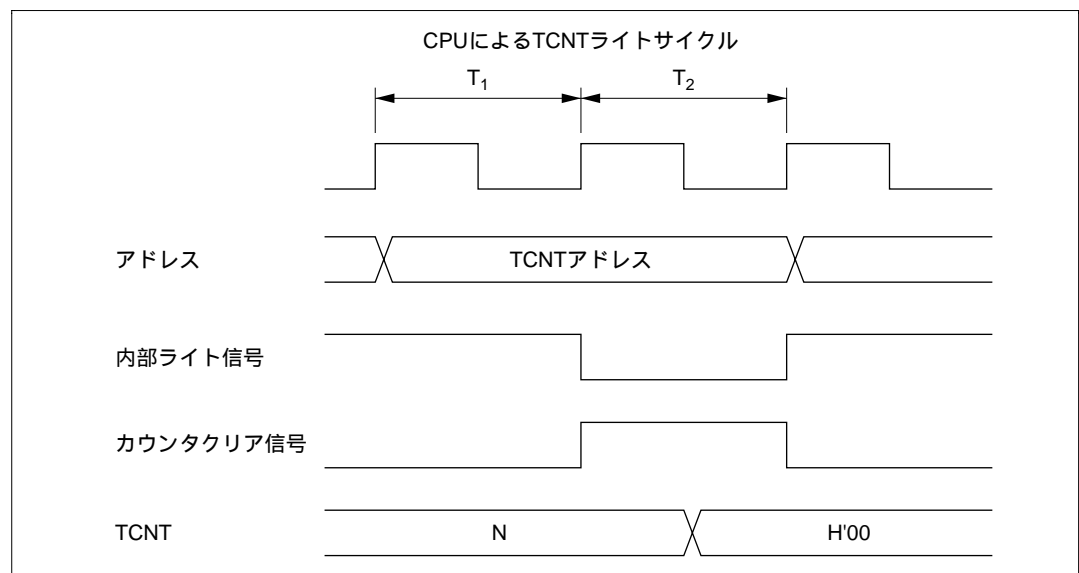


図 12.13 TCNTのライトとクリアの競合

12.6.2 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図 12.14 に示します。

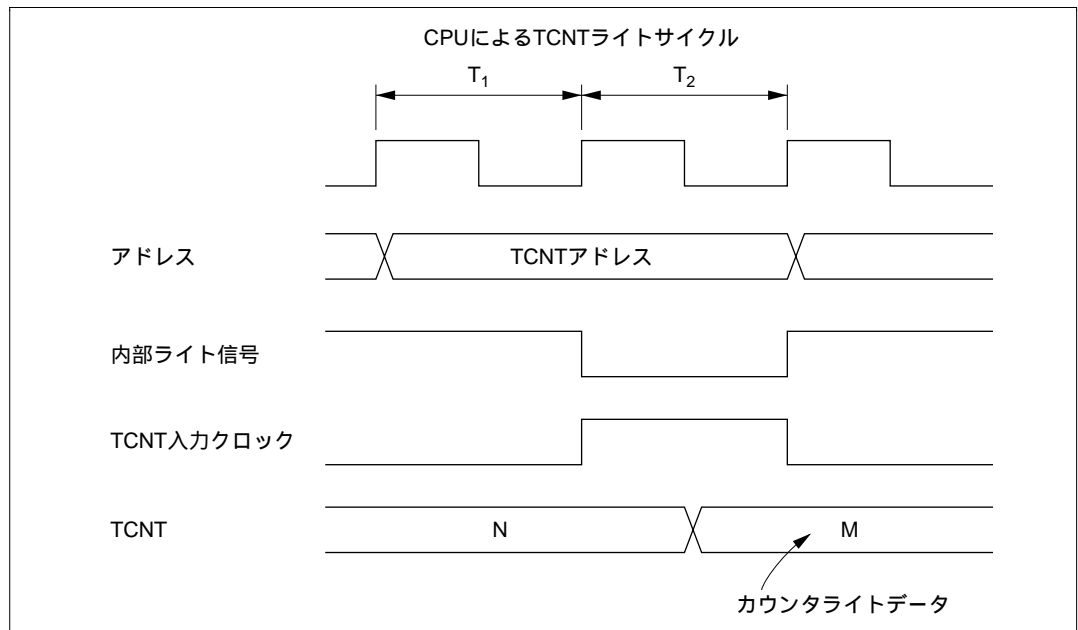


図 12.14 TCNT のライトとカウントアップの競合

12.6.3 TCOR のライトとコンペアマッチの競合

TCOR のライトサイクル中の T2 ステートで、コンペアマッチが発生しても、TCOR のライトが優先され、コンペアマッチ信号は禁止されます。これを図 12.15 に示します。

TMRX では、ICR のインプットキャプチャは TCORC へのライトと同様に、コンペアマッチと競合します。

このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

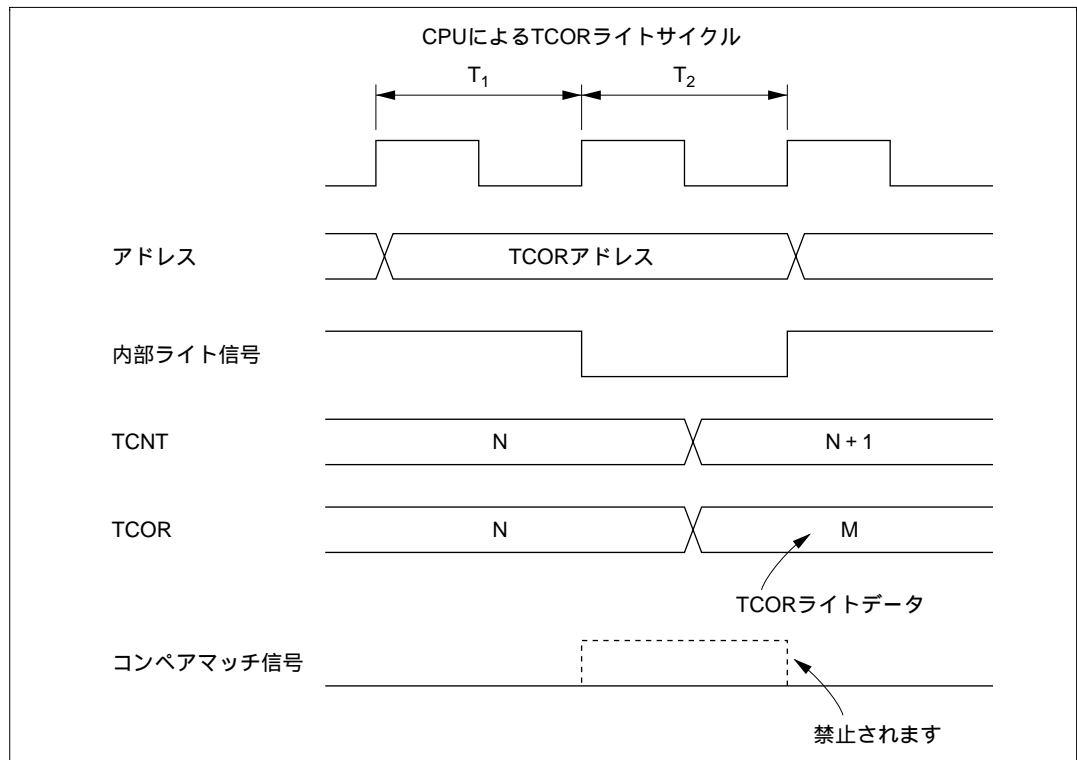


図 12.15 TCOR のライトとコンペアマッチの競合

12.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.7 に示すタイマ出力の優先順位にしたがって動作します。

表 12.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	低

12.6.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 12.8 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 12.8 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.8 内部クロックの切り替えと TCNT の動作

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High Low レベル* ³ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 *1 Low レベル 停止、および停止 Low レベルの場合を含みます。

*2 停止 High レベルの場合を含みます。

*3 High レベル 停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

13. タイマコネクション

H8S/2148 シリーズに内蔵しています。
H8S/2144 シリーズ、H8S/2147N には内蔵していません。

第 13 章 目次

13.1	概要	391
	13.1.1 特長	391
	13.1.2 ブロック図	392
	13.1.3 端子構成	393
	13.1.4 レジスタ構成	394
13.2	各レジスタの説明	395
	13.2.1 タイマコネクションレジスタ I (TCONRI)	395
	13.2.2 タイマコネクションレジスタ O (TCONRO)	397
	13.2.3 タイマコネクションレジスタ S (TCONRS)	399
	13.2.4 エッジセンスレジスタ (SEDGR)	401
	13.2.5 モジュールストップコントロールレジスタ (MSTPCR)	404
13.3	動作説明	406
	13.3.1 PWM デコード (PDC 信号生成)	406
	13.3.2 クランプ波形生成 (CL1・CL2・CL3 信号生成)	407
	13.3.3 8 ビットタイマ分周波形周期測定	408
	13.3.4 IHI 信号の 2fH モディファイ	410
	13.3.5 IVI 信号の立ち下がりモディファイ・IHI 同期	411
	13.3.6 内部同期信号の生成 (IHG 信号、IVG 信号、CL4 信号の生成)	413
	13.3.7 HSYNCO 出力	415
	13.3.8 VSYNCO 出力	416
	13.3.9 CBLANK 出力	417

13.1 概要

本 LSI は、入力信号や、1 チャンネルのフリーランニングタイマ (FRT) と 3 チャンネルの 8 ビットタイマ (TMR1、TMRX、TMR Y) の入出力を組合わせて相互に接続することができます。また、これを利用して、PWM デコードやクランプ波形生成などの複雑な機能を実現することができます。各タイマは、初期状態では単独のタイマとして動作するよう設定されています。

13.1.1 特長

タイマコネクションの特長を以下に示します。

5 本の入力端子、4 本の出力端子をもち、それぞれ位相反転を指定可能です。

タイマコネクション内部で利用する信号は、すべて正論理を前提としています。

入力端子には、信号入力検出を容易にするエッジ検出回路が接続されています。

TMRX で PWM 入力信号のデコードが可能です。

TMRX でクランプ波形生成が可能です。

TMR1 で分周した外部クロック信号を、FRT のキャプチャ入力信号として利用できません。

FRT と TMR Y で内部同期信号を生成できます。

入力信号やタイマコネクションで生成・モディファイした信号を選択して出力できません。

13.1.2 ブロック図

タイマコネクションのブロック図を図 13.1 に示します。

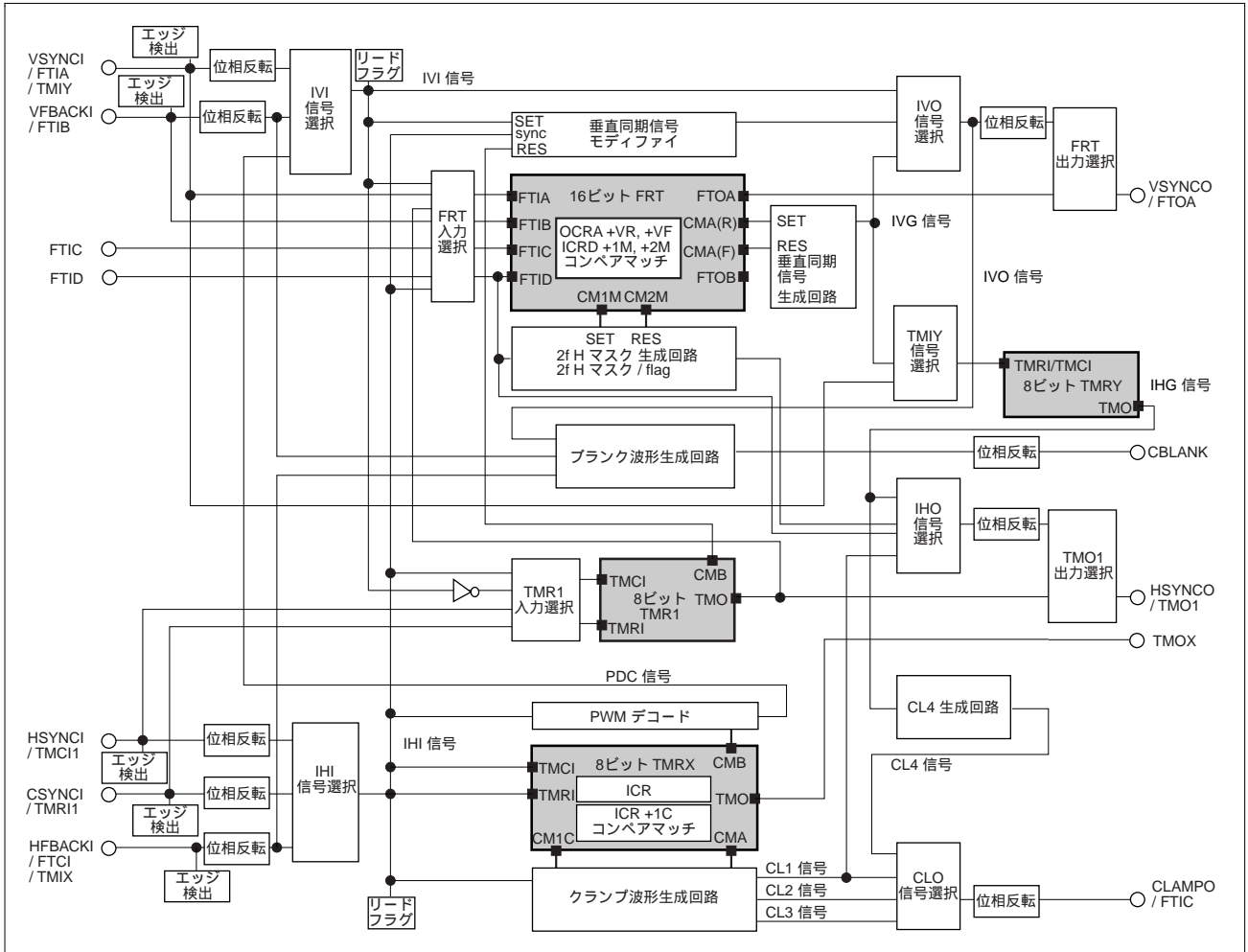


図 13.1 タイマコネクションのブロック図

13.1.3 端子構成

タイマコネクションの入出力端子を表 13.1 に示します。

表 13.1 端子構成

名 称	略 称	入出力	機 能
垂直同期信号入力端子	VSYNCI	入力	垂直同期信号入力端子 または FTIA 入力端子および TMIY 入力端子
水平同期信号入力端子	HSYNCI	入力	水平同期信号入力端子 または TMCI1 入力端子
複合同期信号入力端子	CSYNCI	入力	複合同期信号入力端子 または TMRI1 入力端子
予備垂直同期信号入力端子	VFBACKI	入力	予備垂直同期信号入力端子 または FTIB 入力端子
予備水平同期信号入力端子	HFBACKI	入力	予備水平同期信号入力端子 または FTIC 入力端子および TMIX 入力端子
垂直同期信号出力端子	VSYNCO	出力	垂直同期信号出力端子 または FTOA 出力端子
水平同期信号出力端子	HSYNCO	出力	水平同期信号出力端子 または TMO1 出力端子
クランプ波形出力端子	CLAMPO	出力	クランプ波形出力端子 または FTIC 入力端子
ブランク波形出力端子	CBLANK	出力	ブランク波形出力端子

13.1.4 レジスタ構成

タイマコネクションのレジスタ構成を表 13.2 に示します。タイマコネクションのレジスタは、SYSCR の HIE ビットが 0 の場合にのみアクセス可能です。

表 13.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス* ¹
タイマコネクションレジスタ I	TCONRI	R/W	H'00	H'FFFC
タイマコネクションレジスタ O	TCONRO	R/W	H'00	H'FFFD
タイマコネクションレジスタ S	TCONRS	R/W	H'00	H'FFFE
エッジセンスレジスタ	SEDGR	R/(W)* ²	H'00* ³	H'FFFF
モジュールストップコントロールレジスタ	MSTPRH	R/W	H'3F	H'FF86
	MSTPRL	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7~2 : フラグをクリアするための 0 ライトのみ可能です。

*3 ビット 1、0 : 端子の状態を反映しているため、値は不定です。

13.2 各レジスタの説明

13.2.1 タイマコネクションレジスタ I (TCONRI)

ビット:	7	6	5	4	3	2	1	0
	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRI は、8 ビットのリード/ライト可能なレジスタで、タイマ相互の接続、同期信号入力の信号源や位相反転などを制御します。

TCONRI は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット7、6：入力同期モード選択 1、0 (SIMOD1、SIMOD0)

IHI 信号、IVI 信号の信号源を選択します。

ビット7	ビット6	説 明		
SIMOD1	SIMOD0	モード名称	IHI 信号	IVI 信号
0	0	無信号 (初期値)	HFBACKI 入力	VFBACKI 入力
	1	S オン G モード	CSYNCI 入力	PDC 入力
1	0	コンボジットモード	HSYNCI 入力	PDC 入力
	1	セパレートモード	HSYNCI 入力	VSYNCI 入力

ビット5：同期信号接続イネーブル (SCONE)

FRT の FTI 入力、TMR1 の TMC11 / TMRI1 入力の信号源を選択します。

ビット5	説 明						
SCONE	モード名称	FTIA	FTIB	FTIC	FTID	TMC11	TMRI1
0	通常接続 (初期値)	FTIA 入力	FTIB 入力	FTIC 入力	FTID 入力	TMC11 入力	TMRI1 入力
1	同期信号接続 モード	IVI 信号	TMO1 信号	VFBACKI 入力	IHI 信号	IHI 信号	IVI 反転信号

ビット4：インプットキャプチャスタートビット（ICST）

TMRX の外部リセット入力（TMRX）は IHI 信号に接続されています。TMRX にはインプットキャプチャレジスタ（TICR、TICRR、TICRF）があります。TICRR と TICRF は、ICST ビットの制御で 1 回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。ICST ビットが 1 にセットされた後、TMRX に立ち上がりエッジ 立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれキャプチャされ、ICST ビットはクリアされます。

ビット4	説明
ICST	
0	TICRR、TICRF のインプットキャプチャ機能を停止（初期値） 【クリア条件】 TMRX に、立ち上がりエッジ 立ち下がりエッジの順でエッジを検出
1	TICRR、TICRF のインプットキャプチャ機能が動作中 （TMRX の立ち上がりエッジ 立ち下がりエッジ検出待ち状態） 【セット条件】 ICST=0 のリード後、1 をライトしたとき

ビット3～0：入力同期信号反転（HFINV、VFINV、HIINV、VIINV）

予備水平同期信号（HFBACKI）、予備垂直同期信号（VFBACKI）、水平同期信号・複合同期信号（HSYNCI、CSYNCI）および垂直同期信号（VSYNCI）の入力位相の反転を選択します。

ビット3	説明
HFINV	
0	HFBACKI 端子の状態をそのまま HFBACKI 入力とする（初期値）
1	HFBACKI 端子の状態を反転して HFBACKI 入力とする

ビット2	説明
VFINV	
0	VFBACKI 端子の状態をそのまま VFBACKI 入力とする（初期値）
1	VFBACKI 端子の状態を反転して VFBACKI 入力とする

ビット1	説明
HIINV	
0	HSYNCI、CSYNCI 端子の状態をそのまま HSYNCI、CSYNCI 入力とする (初期値)
1	HSYNCI、CSYNCI 端子の状態を反転して HSYNCI、CSYNCI 入力とする

ビット0	説明
VIINV	
0	VSYNCI 端子の状態をそのまま VSYNCI 入力とする (初期値)
1	VSYNCI 端子の状態を反転して VSYNCI 入力とする

13.2.2 タイマコネクションレジスタ 0 (TCONRO)

ビット:	7	6	5	4	3	2	1	0
	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRO は、8 ビットのリード/ライト可能なレジスタで、出力信号の出力制御や位相反転などを制御します。

TCONRO は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット7~4: 出力許可 (HOE、VOE、CLOE、CBOE)

水平同期信号 (HSYNCO)、垂直同期信号 (VSYNCO)、クランプ波形 (CLAMPO) およびブランク波形 (CBLANK) の出力の許可/禁止を制御します。出力を禁止した場合は当該端子の状態は、ポートの DR と DDR や、FRT、TMR および PWM の設定によって決定されます。

出力の許可/禁止の制御は、ポート、FRT や TMR の入力機能には影響を与えませんが、FRT や TMR の入力信号源の一部は、TCONRI の SCONE ビットにより決定されます。

ビット7	説明
HOE	
0	P44/TMO1/HIRQ1/HSYNCO 端子は、P44/TMO1/HIRQ1 端子として動作する (初期値)
1	P44/TMO1/HIRQ1/HSYNCO 端子は、HSYNCO 端子として動作する

13. タイマコネクション

ビット6	説明
VOE	
0	P61/FTOA/ $\overline{\text{KIN1}}$ /CIN1/VSYNCO 端子は、P61/FTOA/ $\overline{\text{KIN1}}$ /CIN1 端子として動作する (初期値)
1	P61/FTOA/ $\overline{\text{KIN1}}$ /CIN1/VSYNCO 端子は、VSYNCO 端子として動作する

ビット5	説明
CLOE	
0	P64/FTIC/ $\overline{\text{KIN4}}$ /CIN4/CLAMPO 端子は、P64/FTIC/ $\overline{\text{KIN4}}$ /CIN4 端子として動作する (初期値)
1	P64/FTIC/ $\overline{\text{KIN4}}$ /CIN4/CLAMPO 端子は、CLAMPO 端子として動作する

ビット4	説明
CBOE	
0	P27/A15/PW15/CBLANK 端子は、P27/A15/PW15 端子として動作する (初期値)
1	モード1 (内蔵 ROM 無効拡張モード) の場合： P27/A15/PW15/CBLANK 端子は、A15 端子として動作する モード2、3 (内蔵 ROM 有効モード) の場合： P27/A15/PW15/CBLANK 端子は、CBLANK 端子として動作する

ビット3～0：出力同期信号反転 (HOINV、VOINV、CLOINV、CBOINV)

水平同期信号 (HSYNCO)、垂直同期信号 (VSYNCO)、クランプ波形 (CLAMPO) およびブランク波形 (CBLANK) の出力位相の反転を選択します。

ビット3	説明
HOINV	
0	IHO 信号をそのまま HSYNCO 出力とする (初期値)
1	IHO 信号を反転して HSYNCO 出力とする

ビット2	説明
VOINV	
0	IVO 信号をそのまま VSYNCO 出力とする (初期値)
1	IVO 信号を反転して VSYNCO 出力とする

ビット1	説明
CLOINV	
0	CLO 信号 (CL1、CL2、CL3 または CL4 信号) をそのまま CLAMPO 出力とする (初期値)
1	CLO 信号 (CL1、CL2、CL3 または CL4 信号) を反転して CLAMPO 出力とする

ビット0	説明
CBOINV	
0	CBLANK 信号をそのまま CBLANK 出力とする (初期値)
1	CBLANK 信号を反転して CBLANK 出力とする

13.2.3 タイマコネクションレジスタ S (TCONRS)

ビット:	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRS は、8ビットのリード/ライト可能なレジスタで、8ビットタイマTMRX、TMRYのアクセスや、同期信号出力の信号源および生成方法を選択します。

TCONRS は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット7: TMRX/TMRY アクセス選択 (TMRX/Y)

TMRX および TMRY のレジスタは、SYSCR の HIE ビットが0の場合にのみアクセス可能です。H8S/2148 シリーズでは、TMRX の一部と TMRY はメモリ空間の同一のアドレス (H'FFF0 ~ H'FFF5) に割当てられており、どちらをアクセスするかを TMRX/Y ビットで制御します。H8S/2144 シリーズ、H8S/2147N では、本ビットによる TMRY レジスタのアクセス制御はありません。

ビット7	説明
TMRX/Y	
0	アドレス H'FFF0 ~ H'FFF5 で TMRX のレジスタをアクセスする (初期値)
1	アドレス H'FFF0 ~ H'FFF5 で TMRY のレジスタをアクセスする

ビット6：内部同期信号選択（ISGENE）

IHO 信号、IVO 信号および CLO 信号の信号源として、内部同期信号（IHG 信号、IVG 信号、CL4 信号）を選択します。

ビット5、4：水平同期出力モード選択 1、0（HOMOD1、HOMOD0）

IHO 信号の信号源および生成方法を選択します。

ビット6	ビット5	ビット4	説明
ISGENE	HOMOD1	HOMOD0	
0	0	0	IHI 信号（2fH モディファイなし）を選択（初期値）
		1	IHI 信号（2fH モディファイあり）を選択
	1	0	CL1 信号を選択
		1	
1	0	0	IHG 信号を選択
		1	
	1	0	
		1	

ビット3、2：垂直同期出力モード選択 1、0（VOMOD1、VOMOD0）

IVO 信号の信号源および生成方法を選択します。

ビット6	ビット3	ビット2	説明
ISGENE	VOMOD1	VOMOD0	
0	0	0	IVI 信号（初期値） （立ち下がりモディファイなし、IHI 同期なし）を選択
		1	IVI 信号 （立ち下がりモディファイなし、IHI 同期あり）を選択
	1	0	IVI 信号 （立ち下がりモディファイあり、IHI 同期なし）を選択
		1	IVI 信号 （立ち下がりモディファイあり、IHI 同期あり）を選択
1	0	0	IVG 信号を選択
		1	
	1	0	
		1	

ビット1、0：クランプ波形モード選択1、0（CLMOD1、CLMOD0）

CLO 信号（クランプ波形）の信号源を選択します。

ビット6	ビット1	ビット0	説明
ISGENE	CLMOD1	CLMOD0	
0	0	0	CL1 信号を選択 (初期値)
		1	CL2 信号を選択
	1	0	CL3 信号を選択
		1	
1	0	0	CL4 信号を選択
		1	
	1	0	
		1	

13.2.4 エッジセンスレジスタ (SEDGR)

ビット：	7	6	5	4	3	2	1	0
	VEDG	HEDG	CEDG	HFEDG	VFEDG	PREQF	IHI	IVI
初期値：	0	0	0	0	0	0	*2	*2
R/W：	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 端子の状態によって決まるため、初期値は不定です。

SEDGR は 8 ビットのレジスタで、タイマコネクション入力端子の立ち上がりエッジの検出、2fH モディファイの成立の検出およびIVI 信号 IHI 信号の位相判定に利用します。

SEDGR はリセットまたはハードウェアスタンバイモード時に上位 6 ビットは 0 にイニシャライズされます。下位 2 ビットは端子の状態によって決まるため、初期値は不定です。

ビット7：VSYNCI エッジ (VEDG)

VSYNCI 端子の立ち上がりエッジを検出します。

ビット7	説明
VEDG	
0	【クリア条件】 (初期値) VEDG=1 の状態で VEDG をリードした後、VEDG に 0 をライトしたとき
1	【セット条件】 VSYNCI 端子の立ち上がりエッジを検出したとき

ビット6：HSYNCI エッジ (HEDG)

HSYNCI 端子の立ち上がりエッジを検出します。

ビット6	説明
HEDG	
0	【クリア条件】 (初期値) HEDG=1 の状態で HEDG をリードした後、HEDG に 0 をライトしたとき
1	【セット条件】 HSYNCI 端子の立ち上がりエッジを検出したとき

ビット5：CSYNCI エッジ (CEDG)

CSYNCI 端子の立ち上がりエッジを検出します。

ビット5	説明
CEDG	
0	【クリア条件】 (初期値) CEDG=1 の状態で CEDG をリードした後、CEDG に 0 をライトしたとき
1	【セット条件】 CSYNCI 端子の立ち上がりエッジを検出したとき

ビット4：HFBACKI エッジ (HFEDG)

HFBACKI 端子の立ち上がりエッジを検出します。

ビット4	説明
HFEDG	
0	【クリア条件】 (初期値) HFEDG=1 の状態で HFEDG をリードした後、HFEDG に 0 をライトしたとき
1	【セット条件】 HFBACKI 端子の立ち上がりエッジを検出したとき

ビット3：VFBACKI エッジ (VFEDG)

VFBACKI 端子の立ち上がりエッジを検出します。

ビット3	説明
VFEDG	
0	【クリア条件】 (初期値) VFEDG=1 の状態で VFEDG をリードした後、VFEDG に 0 をライトしたとき
1	【セット条件】 VFBACKI 端子の立ち上がりエッジを検出したとき

ビット2：プリイコライゼーションフラグ (PREQF)

IHI 信号の 2fH モディファイの条件が成立したことを検出します。マスク期間中に IHI 信号に立ち上がり / 立ち下がりエッジが発生したことを、2fH モディファイの条件が成立したと表現します。詳細は「13.3.4 IHI 信号の 2fH モディファイ」を参照してください。

ビット2	説明
PREQF	
0	【クリア条件】 (初期値) PREQF=1 の状態で PREQF をリードした後、PREQF に 0 をライトしたとき
1	【セット条件】 IHI 信号の 2fH モディファイの条件成立を検出したとき

ビット1：IHI 信号レベル (IHI)

IHI 信号の現在のレベルをリードします。IHI 信号は、TCONRI の内容によって信号源および位相反転が選択されます。このビットをリードし入力信号の正負を判定して、TCONRI を書き換えることにより、IHI 信号を正位相に保ってください。

ビット1	説明
IHI	
0	IHI 信号が Low レベル
1	IHI 信号が High レベル

ビット0：IVI 信号レベル (IVI)

IVI 信号の現在のレベルをリードします。IVI 信号は、TCONRI の内容によって信号源および位相反転が選択されます。このビットをリードし入力信号の正負を判定して、TCONRI を書き換えることにより、IVI 信号を正位相に保ってください。

ビット0	説明
IVI	
0	IVI 信号が Low レベル
1	IVI 信号が High レベル

13.2.5 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP13、MSTP12、MSTP8 ビットを 1 にセットすると、バスサイクルの終了時点で 16 ビットフリーランニングタイム、8 ビットタイム (チャンネル 0、1)、(チャンネル X、Y) およびタイマコネクションはそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 5 : モジュールストップ (MSTP13)

FRT のモジュールストップモードを指定します

MSTPCRH ビット 5	説 明
MSTP13	
0	FRT のモジュールストップモード解除
1	FRT のモジュールストップモード設定 (初期値)

MSTPCRH ビット 4 : モジュールストップ (MSTP12)

8 ビットタイマ (チャンネル 0、1) のモジュールストップモードを指定します

MSTCRH ビット 4	説 明
MSTP12	
0	8 ビットタイマ (チャンネル 0、1) のモジュールストップモード解除
1	8 ビットタイマ (チャンネル 0、1) のモジュールストップモード設定 (初期値)

MSTPCRH ビット 0 : モジュールストップ (MSTP8)

8 ビットタイマ (チャンネル X、Y) とタイマコネクションのモジュールストップモードを指定します

MSTCRH ビット 0	説 明
MSTP8	
0	8 ビットタイマ (チャンネル X、Y) とタイマコネクションのモジュールストップモード解除
1	8 ビットタイマ (チャンネル X、Y) とタイマコネクションのモジュールストップモード設定 (初期値)

13.3 動作説明

13.3.1 PWM デコード (PDC 信号生成)

タイマコネクションと TMRX を利用することにより、パルス幅で 0/1 を表現する PWM 信号をデコードすることができます。これには、立ち上がりエッジが一定周期で発生する信号を IHI 信号として選択する必要があります。

TMRX の TCNT は、内部クロックをカウントし、外部リセット信号 (IHI 信号) の立ち上がりエッジでクリアされるよう設定します。TCORB には、パルス幅判定のしきい値となる数値をライトします。PWM デコード回路内には、IHI 信号をデータ、コンペアマッチ信号 B (CMB) をクロックとするディレイラッチがあります。PWM デコード回路は、IHI 信号の立ち上がりによる TCNT のリセット後、最初のコンペアマッチ信号 B のタイミングでの IHI 信号の状態 (パルス幅判定結果) を PDC 信号として出力します。

パルス幅判定のしきい値決定のために、TMRX の TICRR と TICRF を用いたパルス幅測定を利用することができます。

TMRX の TCR と TCORB の設定例を表 13.3、表 13.4 に、タイミングチャートを図 13.2 に示します。

表 13.3 TCR 設定例

ビット	略称	内容	説明
7	CMIEB	0	コンペアマッチ、オーバフローによる割込みを禁止
6	CMIEA	0	
5	OVIE	0	
4~3	CCLR1、 CCLR0	11	外部リセット信号 (IHI 信号) の立ち上がりエッジ () により TCNT をクリア
2~0	CKS2 ~ CKS0	001	内部クロック : でカウント

表 13.4 TCORB (パルス幅しきい値) 設定例

	: 10MHz	: 12MHz	: 16MHz	: 20MHz
H'07	0.8 μ s	0.67 μ s	0.5 μ s	0.4 μ s
H'0F	1.6 μ s	1.33 μ s	1 μ s	0.8 μ s
H'1F	3.2 μ s	2.67 μ s	2 μ s	1.6 μ s
H'3F	6.4 μ s	5.33 μ s	4 μ s	3.2 μ s
H'7F	12.8 μ s	10.67 μ s	8 μ s	6.4 μ s

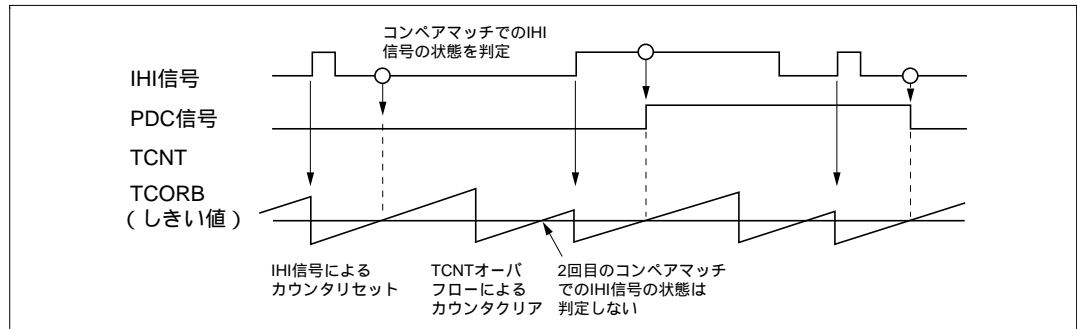


図 13.2 PWMデコードタイミングチャート

13.3.2 クランプ波形生成 (CL1・CL2・CL3 信号生成)

タイマコネクションと TMRX を利用することにより、入力信号 (IHI 信号) 波形に同期し、デューティや立ち上がり / 立ち下がりが異なる信号 (クランプ波形) を生成できます。生成できるクランプ波形は、CL1 信号、CL2 信号、CL3 信号の 3 通りです。また、TMRX を利用することにより CL4 信号を生成できます。

CL1 信号は IHI 信号の立ち上がりと同タイミングで立ち上がります。また、CL2 信号は CL1 信号が High の時に IHI 信号の立ち下がりと同タイミングで立ち上がります。CL1 信号と CL2 信号の立ち下がりには TCORA で指定できます。

CL3 信号の立ち上がりは IHI 信号の立ち下がりシステムクロックでサンプリングしたタイミング、立ち下がりには TCORC で指定できます。また、IHI 信号の立ち上がりでも CL3 信号は立ち下げられます。

TMRX の TCNT は、内部クロックをカウントし、外部リセット信号 (IHI 信号) の立ち上がりエッジでクリアされるよう設定します。

TCORA には CL1 信号のパルス幅となる数値をライトします。なお、TMRX のカウンタクロックを内部クロックの $\frac{1}{2}$ に設定した場合は、TCORA には H'02 以上の値を、 $\frac{1}{4}$ に設定した場合は H'01 以上の値をライトしてください。内部クロック $\frac{1}{2}$ に設定した場合は、CL1 信号パルス幅は、 $(TCORA \text{ の設定値} + 3 \pm 0.5)$ となります。CL2 信号を使用する場合は、IHI 信号のパルス幅より大きくなるような数値を設定してください。

TCORC には CL3 信号のパルス幅となる数値をライトします。TMRX には TICR があり、TICR は、外部リセット信号の逆のエッジ (この場合 IHI 信号の立ち下がりエッジ) で TCNT の値をキャプチャします。CL3 信号の立ち下がりタイミングは TICR の内容と TCORC の内容を加算した値で決まります。なお、TCORC の内容により設定した立ち下がりタイミングの前に IHI 信号の立ち上がりエッジがきた場合、IHI 信号により CL3 信号は立ち下げられますので注意が必要です。

TMRX の TCR の設定例は表 13.3 と同様です。クランプ波形のタイミングチャートを図 13.3 と図 13.4 に示します。

CL1、CL2 信号は、立ち上がりが IHI 信号のエッジに同期し、立ち下がりがシステムクロックに同期するため、パルス幅がシステムクロックの分解能分変動します。

CL3 信号は、立ち上がり / 立ち下がりともシステムクロックに同期しパルス幅は一定ですが、IHI 信号との位相関係がシステムクロックの分解能分変動します。

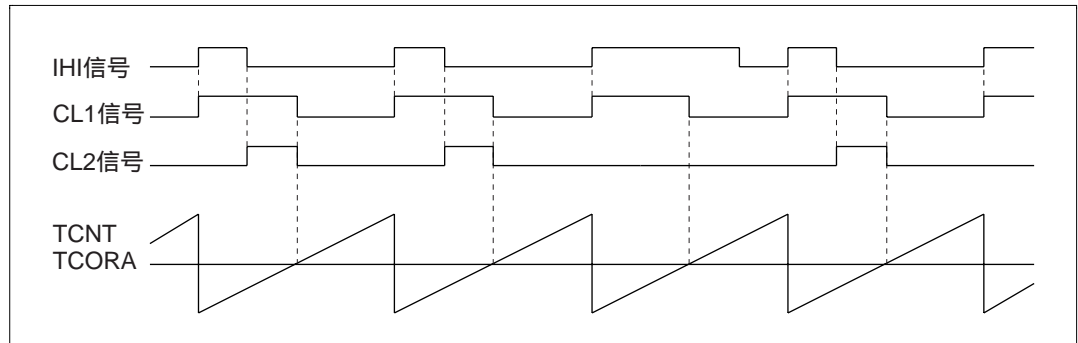


図 13.3 クランプ波形生成タイミングチャート (CL1 信号・CL2 信号)

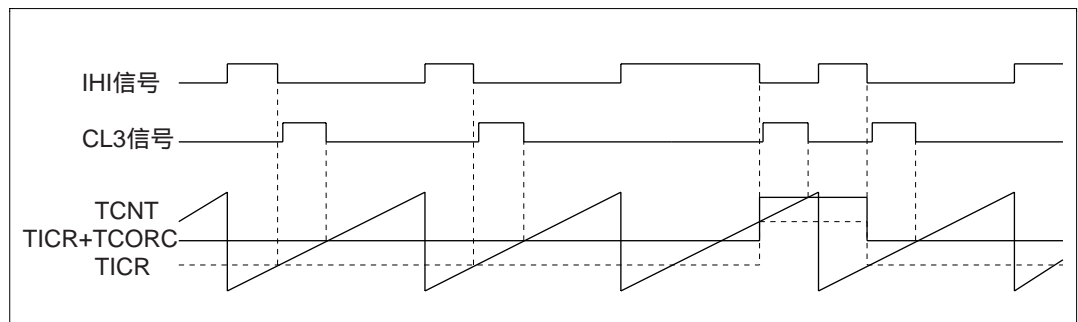


図 13.4 クランプ波形生成タイミングチャート (CL3 信号)

13.3.3 8 ビットタイマ分周波形周期測定

タイマコネクションと TMR1、FRT を利用することにより、IHI 信号分周波形の周期を測定できます。TMR1 は、IVI 信号の反転信号の立ち上がりエッジでクリアすることができるため、IHI 信号分周波形の立ち上がり / 立ち下がりIVI 信号にほぼ同期化することができます。これにより、周期判定を効率的に行うことが可能です。

IHI 信号分周波形の周期を測定する場合、TMR1 の TCNT は、外部クロック (IHI 信号) をカウントし、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアされるよう設定します。TCORA には分周の倍率となる数値をライトし、TCSR の OS ビットには TMO 出力方式を指定します。

TMR1 の TCR と TCSR の設定例を表 13.5 に、IVI 信号と IHI 信号分周波形の周期測定タイミングチャートを図 13.5 に示します。IHI 信号分周波形の周期は $(ICRD(3) - ICRD(2)) \times$ 分解能で求めることができます。

表 13.5 TCR と TCSR の設定例

レジスタ	ビット	略称	内容	説明
TMR1の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4、3 1、0	CCLR	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジ () により TCNT をクリア
	2~0	CKS2~0	101	外部クロック (IHI 信号) の立ち上がりエッジ () により TCNT をカウントアップ
TMR1の TCSR	3~0	OS3~0	0011 1001	コンペアマッチ B で変化せず、 コンペアマッチ A で反転出力 (トグル出力) : 512 分周 または TCORB<TCORA の条件で、コンペアマッチ B で 1 出力、 コンペアマッチ A で 0 出力 : 256 分周
FRTの TCR	6	IEDGB	0 / 1	0 : インพุットキャプチャ入力 B (IHI 分周信号波形) の立ち下がりエッジ () で FRC の値を ICRB に転送 1 : インพุットキャプチャ入力 B (IHI 分周信号波形) の立ち上がりエッジ () で FRC の値を ICRB に転送
	1、0	CKS1、0	01	内部クロック : / 8 で FRC をカウントアップ
FRTの TCSR	0	CCLRA	0	FRC のクリアを禁止

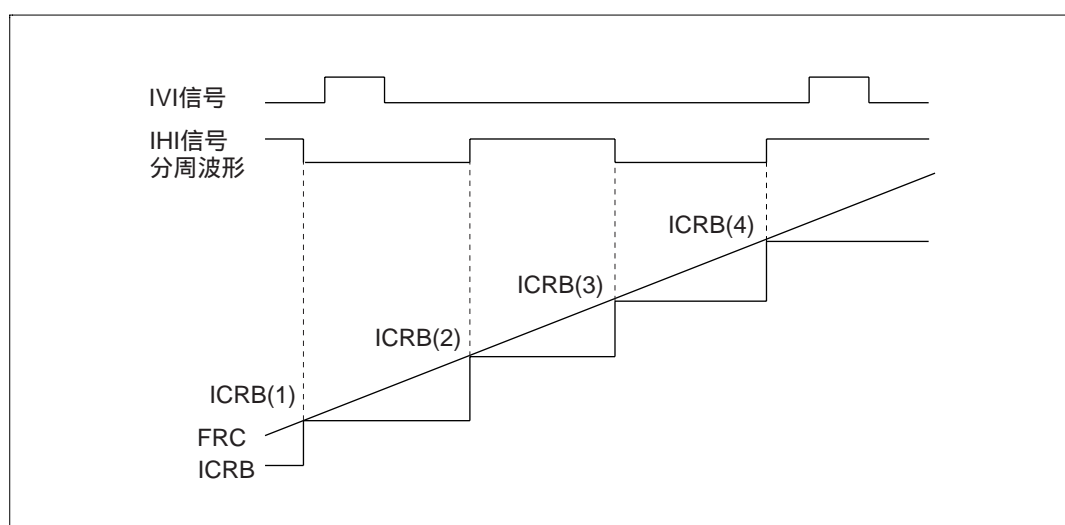


図 13.5 IVI 信号と IHI 信号分周波形の周期測定タイミングチャート

13.3.4 IHI 信号の 2fH モディファイ

タイマコネクションの FRT を利用することにより、IHI 信号の一部に 2 倍の周波数をもつ部分が存在していても、これを除去することができます。この機能が正常動作するためには、IHI 信号のデューティは約 30% 以下か約 70% 以上である必要があります。

FRT の ICRD は、キャプチャしたデータに 8 ビットの OCRDM の内容および OCRDM の内容を 2 倍して自動的に加算し、このタイミングでコンペアマッチを発生することができます。このふたつのコンペアマッチの間の期間をマスク期間とよびます。OCRDM には、IHI 信号の周期の約 1/3 に相当する数値をライトします。ICRD は、IHI 信号の立ち上がりでキャプチャを行なうよう設定します。

IHO 信号選択回路に供給される IHI 信号は、通常 IHI 信号の立ち上がりでセットされ立ち下がりでリセットされるため、波形は元となる IHI 信号と同じです。2fH モディファイを選択すると、マスク期間中の IHI 信号のエッジ検出が禁止されます。また、マスク期間中のキャプチャも禁止されます。

FRT の TCR の設定例を表 13.6 に、2fH モディファイのタイミングチャートを図 13.6 に示します。

表 13.6 TCR、TCSR、TCOR と OCRDM の設定例

レジスタ	ビット	略 称	内 容	説 明
FRT の TCR	4	IEDGD	1	インプットキャプチャ入力 D (IHI 信号) の立ち上がりエッジ () で FRC の値を ICRD に転送
	1、0	CKS1、0	01	内部クロック： /8 で FRC をカウントアップ
FRT の TCSR	0	CCLRA	0	FRC のクリアを禁止
FRT の TCOR	7	ICRDMS	1	ICRD を OCRDM を利用した動作モードに設定
FRT の OCRDM	7~0	OCRDM 7~0	H'01 ~ H'FF	ICRD の動作をマスクする期間を設定

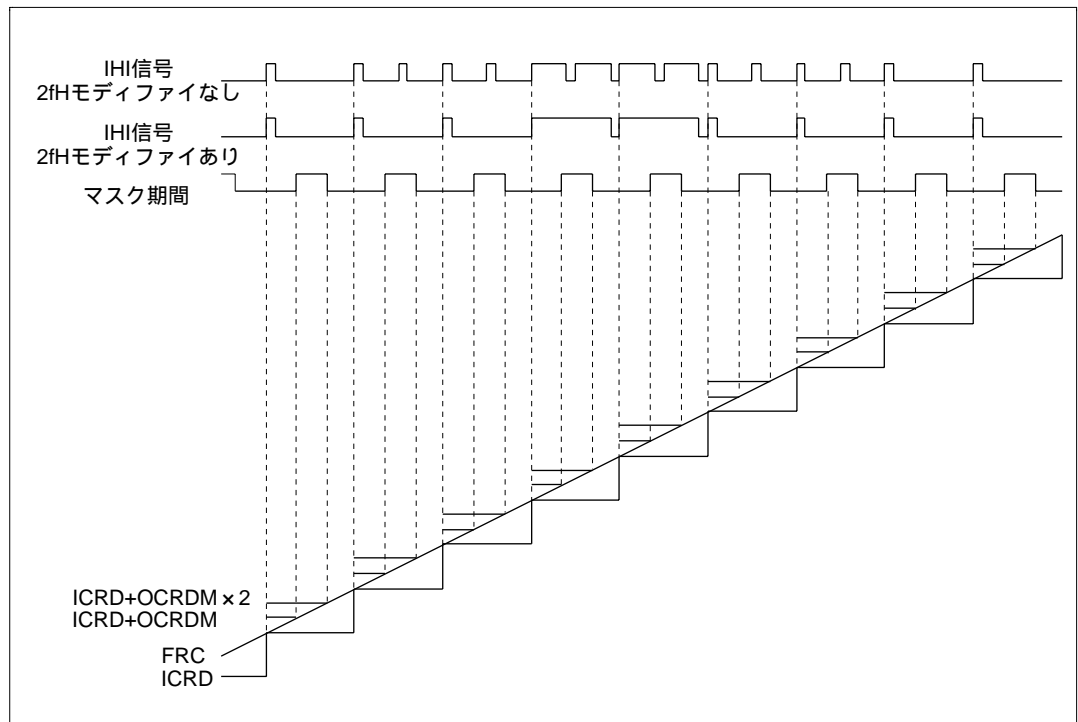


図 13.6 2fH モディファイタイミングチャート

13.3.5 IVI 信号の立ち下がりモディファイ・IHI 同期

タイマコネクションの TMR1 を利用することにより、IVI 信号の立ち下がり、IHI 信号波形の指定した個数分後方へ移動することができます。また、IVI 信号の立ち下がり、IHI 信号の立ち上がり同期させることができます。

8ビットタイマ分周波形周期測定のために、TMR1 の TCNT は、外部クロック (IHI 信号) をカウントし、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアされるよう設定します。TOCRB には、IVI 信号立ち下げまでの IHI 信号の個数をライトします。

I/O 信号選択回路に供給される IVI 信号は、通常 IVI 信号の立ち上がりでセットされ立ち下がりリセットされるため、波形は元となる IVI 信号と同じです。立ち下がりモディファイを選択すると、リセットは TMR1 の TCORB のコンペアマッチで行なわれます。

上記のように生成された波形は、立ち下がりモディファイ選択の有無にかかわらず、立ち下がり IHI 信号の立ち上がり同期させることができます。

TMR1 の TCORB、TCR と TCSR の設定例を表 13.7 に、立ち下がりモディファイ・IHI 同期のタイミングチャートを図 13.7 に示します。

表 13.7 TCORB、TCR と TCSR の設定例

レジスタ	ビット	略 称	内 容	説 明
TMR1 の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4、3	CCLR	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジ () により TCNT をクリア
	1、0			
	2~0	CKS2~0	101	外部クロック (IHI 信号) の立ち上がりエッジ () により TCNT をカウントアップ
TMR1 の TCSR	3~0	OS3~0	0011	コンペアマッチ B で変化せず、 コンペアマッチ A で反転出力 (トグル出力) または
			1001	TCORB<TCORA の条件で、コンペアマッチ B で 1 出力、 コンペアマッチ A で 0 出力
TMR1 の TCORB			H'03 (例)	IVI 信号の反転信号立ち上がり後、4 番目 (例) の IHI 信号の立ち上がりでコンペアマッチ

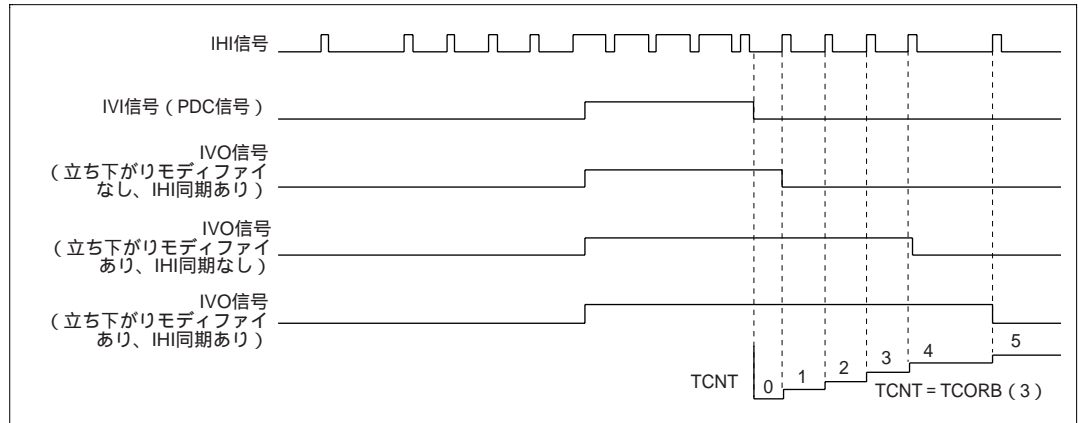


図 13.7 立ち下がりモディファイ・IHI 同期タイミングチャート

13.3.6 内部同期信号の生成 (IHG 信号、IVG 信号、CL4 信号の生成)

タイマコネクションの FRT と TMR Y を利用することにより、IHI 信号、IVI 信号に相当する内部信号 (IHG 信号、IVG 信号) を自動的に生成することができます。IHG 信号は IVG 信号の立ち上がり同期しますので、IHG 信号周期を一定に保つためには、IVG 信号周期の約数とする必要があります。また、IHG 信号に同期して CL4 信号を生成することができます。

FRT の OCRA の内容は、コンペアマッチを発生する度に、OCRAR と OCRAF の内容を交互に、自動的に加算した内容に更新することができます。OCRAR には IVG 信号の 0 期間に相当する値を、また OCRAF には IVG 信号の 1 期間に相当する値をライトします。IVG 信号は、OCRAR 加算後のコンペアマッチでセットされ、OCRAF 加算後のコンペアマッチでリセットされます。

IHG 信号は 8 ビットタイマ TMR Y のタイマ出力です。TMR Y は内部クロックをカウントし、TCORA のコンペアマッチで TCNT をクリアして周期を定めるとともにタイマ出力をセットするように設定します。TCORB は、タイマ出力をリセットするように設定します。TMR Y のリセット入力 (TMRI) としては IVG 信号が接続されており、IVG 信号の立ち上がりを TCORA のコンペアマッチと同様に扱うことができます。

CL4 信号は、IHG 信号の立ち下がりから 1 システムクロック以内の遅れで立ち上がり、6 システムクロックの 1 期間をもつ波形です。

TMR Y の TCORA、TCORB、TCR と TCSR、および、FRT の OCRAR、OCRAF と TCR の設定例を表 13.8 に、IHG 信号、IVG 信号のタイミングチャートを図 13.8 に示します。

表 13.8 OCRAR、OCRAF、TOCR、TCORA、TCORB、TCR と TCSR の設定例

レジスタ	ビット	略 称	内 容	説 明	
TMRY の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割込みを禁止	
	6	CMIEA	0		
	5	OVIE	0		
	4、3	CCLR1、0	01	コンペアマッチ A により TCNT をクリア	
	2~0	CKS2~0	001	内部クロック： /4 で TCNT をカウントアップ	
TMRY の TCSR	3~0	OS3~0	0110	コンペアマッチ B で 0 出力 コンペアマッチ A で 1 出力	
TMRY の TOCRA			H'3F (例)	IHG 信号の周期は $\times 256$	
TMRY の TOCRB			H'03 (例)	IHG 信号の 1 の期間は $\times 16$	
FRT の TCR	1、0	CKS1、0	01	内部クロック： /8 で FRC をカウントアップ	
FRT の OCRAR			H'7FEF (例)	IVG 信号の 0 の期間は $\times 262016$	IVG 信号の周期は $\times 262144$ (IHG 信号の 1024 倍)
FRT の OCRAF			H'000F (例)	IVG 信号の 1 の期間は $\times 128$	
FRT の TOCR	6	OCRAMS	1	OCRA を OCRAR、OCRAF を利用した動作モードに設定	

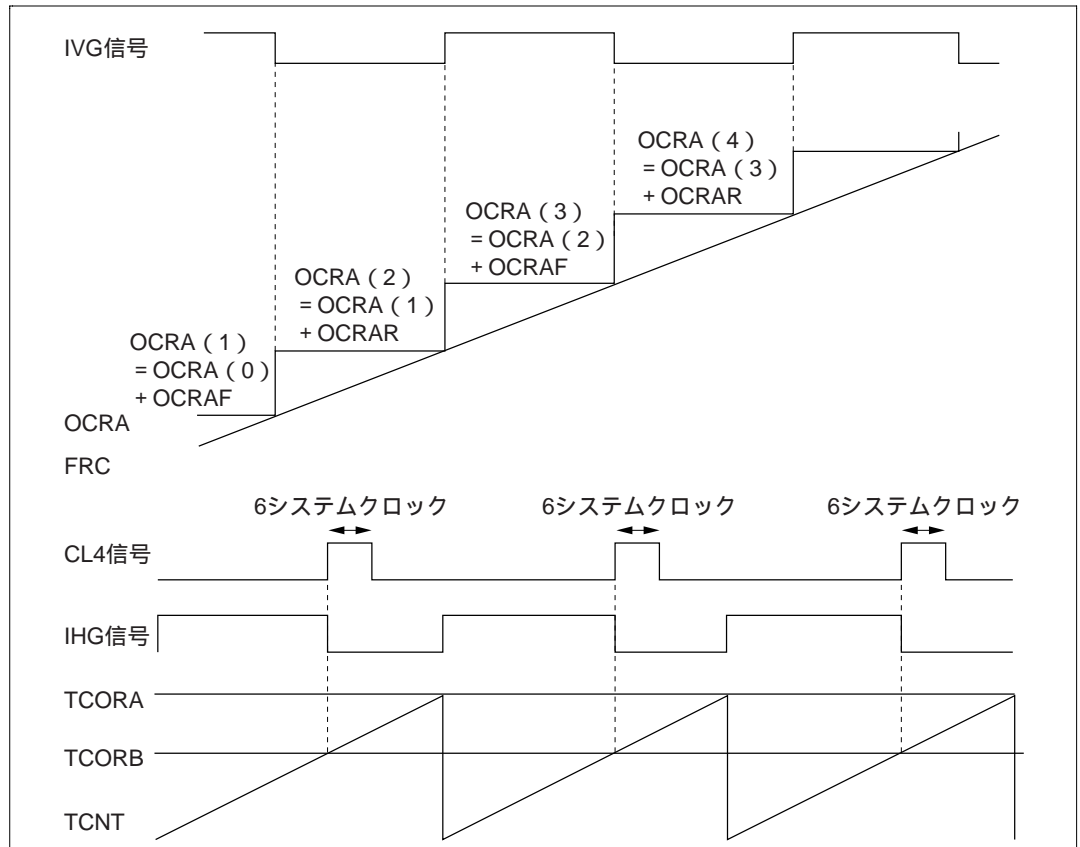


図 13.8 IVG 信号、IHG 信号、CL4 信号のタイミングチャート

13.3.7 HSYNCO 出力

HSYNCO 出力は、IHI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。HSYNCO 出力のモード別の意味を表 13.9 に示します。

表 13.9 HSYNCO 出力のモード別の意味

モード名称	IHI 信号	IHO 信号	IHO 信号の意味
無信号	HFBACKI 入力	IHI 信号 (2fH モディファイなし)	HFBACKI 入力をそのまま出力
		IHI 信号 (2fH モディファイあり)	HFBACKI 入力に周波数が倍の部分がない れば意味なし
		CL1 信号	HFBACKI 入力の 1 期間を変更して出力
		IHG 信号	内部同期信号を出力
S オン G モード	CSYNCI 入力	IHI 信号 (2fH モディファイなし)	CSYNCI 入力 (複合同期信号) をそのまま 出力
		IHI 信号 (2fH モディファイあり)	CSYNCI 入力 (複合同期信号) の周波数が 倍の部分除去して出力
		CL1 信号	CSYNCI 入力 (複合同期信号) の水平同期 信号部分を分離して出力
		IHG 信号	内部同期信号を出力
コンボジット モード	HSYNCI 入力	IHI 信号 (2fH モディファイなし)	HSYNCI 入力 (複合同期信号) をそのまま 出力
		IHI 信号 (2fH モディファイあり)	HSYNCI 入力 (複合同期信号) の周波数が 倍の部分除去して出力
		CL1 信号	HSYNCI 入力 (複合同期信号) の水平同期 信号部分を分離して出力
		IHG 信号	内部同期信号を出力
セパレート モード	HSYNCI 入力	IHI 信号 (2fH モディファイなし)	HSYNCI 入力 (水平同期信号) をそのまま 出力
		IHI 信号 (2fH モディファイあり)	HSYNCI 入力 (水平同期信号) に周波数が 倍の部分がないと意味なし
		CL1 信号	HSYNCI 入力 (水平同期信号) の 1 期間を 変更して出力
		IHG 信号	内部同期信号出力

13.3.8 VSYNCO 出力

VSYNCO 出力は、IVI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。VSYNCO 出力のモード別の意味を表 13.10 に示します。

表 13.10 VSYNCO 出力のモード別の意味

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
無信号	VFBACKI 入力	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	VFBACKI 入力をそのまま出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	VFBACKI 入力 HFBACKI 入力に同期していれば意味なし
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	VFBACKI 入力の立ち下がりモディファイして出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	VFBACKI 入力の立ち下がりモディファイし、HFBACKI 入力に同期し出力
		IVG 信号	内部同期信号を出力
S オン G モード、 または コンポジット モード	PDC 信号	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	CSYNCI / HSYNCI 入力 (複合同期信号) の垂直同期信号部分を分離して出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	CSYNCI / HSYNCI 入力 (複合同期信号) の垂直同期信号部分を分離し、CSYNCI / HSYNCI 入力に同期して出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	CSYNCI / HSYNCI 入力 (複合同期信号) の垂直同期信号部分を分離し、立ち下がりモディファイして出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	CSYNCI / HSYNCI 入力 (複合同期信号) の垂直同期信号部分を分離し、立ち下がりモディファイし、CSYNCI / HSYNCI 入力に同期して出力
		IVG 信号	内部同期信号を出力

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
セパレート モード	VSYNCI 入力	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	VSYNCI 入力 (垂直同期信号) をそのまま出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	VSYNCNKI 入力 (垂直同期信号) が HSYNCI 入力 (水平同期信号) に同期していれば意味なし
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	VSYNCNKI 入力 (垂直同期信号) の立ち下がりをもディファイして出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	VSYNCNKI 入力 (垂直同期信号) の立ち下がりをもディファイし、HSYNCI 入力 (水平同期信号) に同期して出力
		IVG 信号	内部同期信号出力

13.3.9 CBLANK 出力

タイマコネクションで生成、選択した信号を用いて、複合同期信号に準じた波形 (ブランキング波形) を生成することができます。

ブランキング波形は 1 種類で、HFBACKI 入力と VFBACKI 入力を TCONRI の HFINV ビットと VFINV ビットで位相の正負を正としたものと、IVO 信号とを合成することによって生成します。

合成の論理を、図 13.9 に示します。

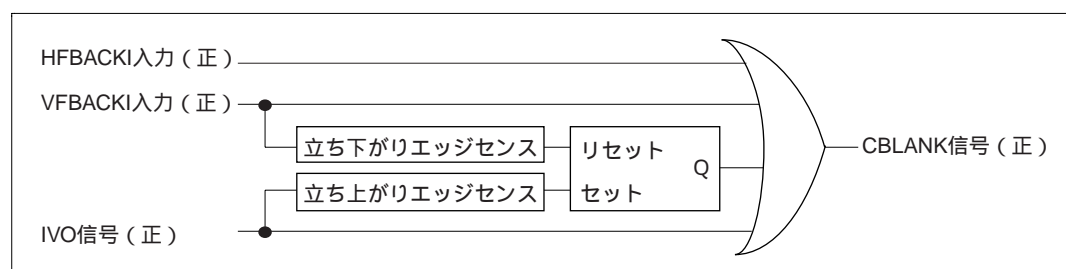


図 13.9 CBLANK 出力波形生成

14. ウォッチドッグタイマ (WDT)

第14章 目次

14.1	概要	421
14.1.1	特長	421
14.1.2	ブロック図	422
14.1.3	端子構成	424
14.1.4	レジスタ構成	424
14.2	各レジスタの説明	425
14.2.1	タイマカウンタ (TCNT)	425
14.2.2	タイマコントロール/ステータスレジスタ (TCSR)	425
14.2.3	システムコントロールレジスタ (SYSCR)	429
14.2.4	レジスタアクセス時の注意	429
14.3	動作説明	431
14.3.1	ウォッチドッグタイマモード時の動作	431
14.3.2	インターバルタイマモード時の動作	433
14.3.3	オーバフローフラグ (OVF) のセットタイミング	433
14.3.4	$\overline{\text{RESO}}$ 信号出力タイミング	434
14.4	割込み	435
14.5	使用上の注意	435
14.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	435
14.5.2	CKS2~CKS0 ビットの書き換え	435
14.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	436
14.5.4	$\overline{\text{RESO}}$ 信号によるシステムのリセット	436
14.5.5	高速モード、サブアクティブモード、ウォッチモード間遷移時の カウンタ値	436
14.5.6	OVF フラグのクリア	437

14.1 概要

本 LSI は 2 チャンネルのウォッチドッグタイマ / ウォッチタイマ (WDT0、WDT1) を内蔵しています。ウォッチドッグタイマは、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバフローすると、外部にオーバフロー信号 ($\overline{\text{RESO}}$) を出力することができます。同時に、内部リセット信号または内部 NMI 割込み信号を発生することができます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマモードの場合は、カウンタがオーバフローするごとにインターバルタイマ割込みを発生します。

14.1.1 特長

WDT には次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能

タイマカウンタがオーバフローすると内部リセットまたは内部割込みを発生

- ・インターバルタイマモード時には、WOVI 割込みを発生
- ・ウォッチドッグタイマモード時には、内部をリセットするか NMI 割込みを発生するかを選択可能

ウォッチドッグタイマモード時、 $\overline{\text{RESO}}$ を出力

- ・ウォッチドッグタイマモード時にカウンタがオーバフローすると、 $\overline{\text{RESO}}$ 端子から Low 信号を出力 (内部リセット選択時)

WDT0 は 8 種類、WDT1 は 16 種類のカウンタ入力クロックを選択可能

- ・WDT の最大インターバルはシステムクロック周期 $\times 131072 \times 256$
 - ・WDT1 の入力カウンタにサブクロックを選択可能
- サブクロック選択の場合、最大インターバルはサブクロック周期 $\times 256 \times 256$

14.1.2 ブロック図

WDTのブロック図を図14.1(a)と図14.1(b)に示します。

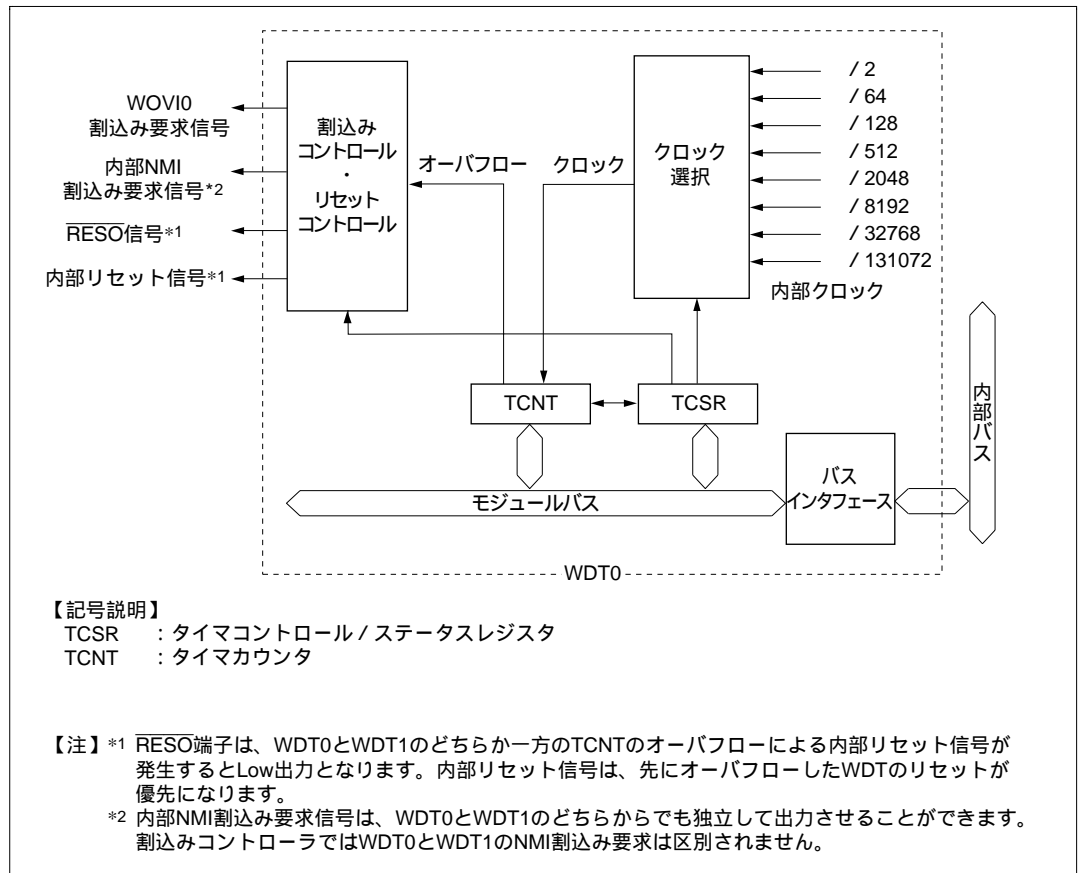


図 14.1 (a) WDT0のブロック図

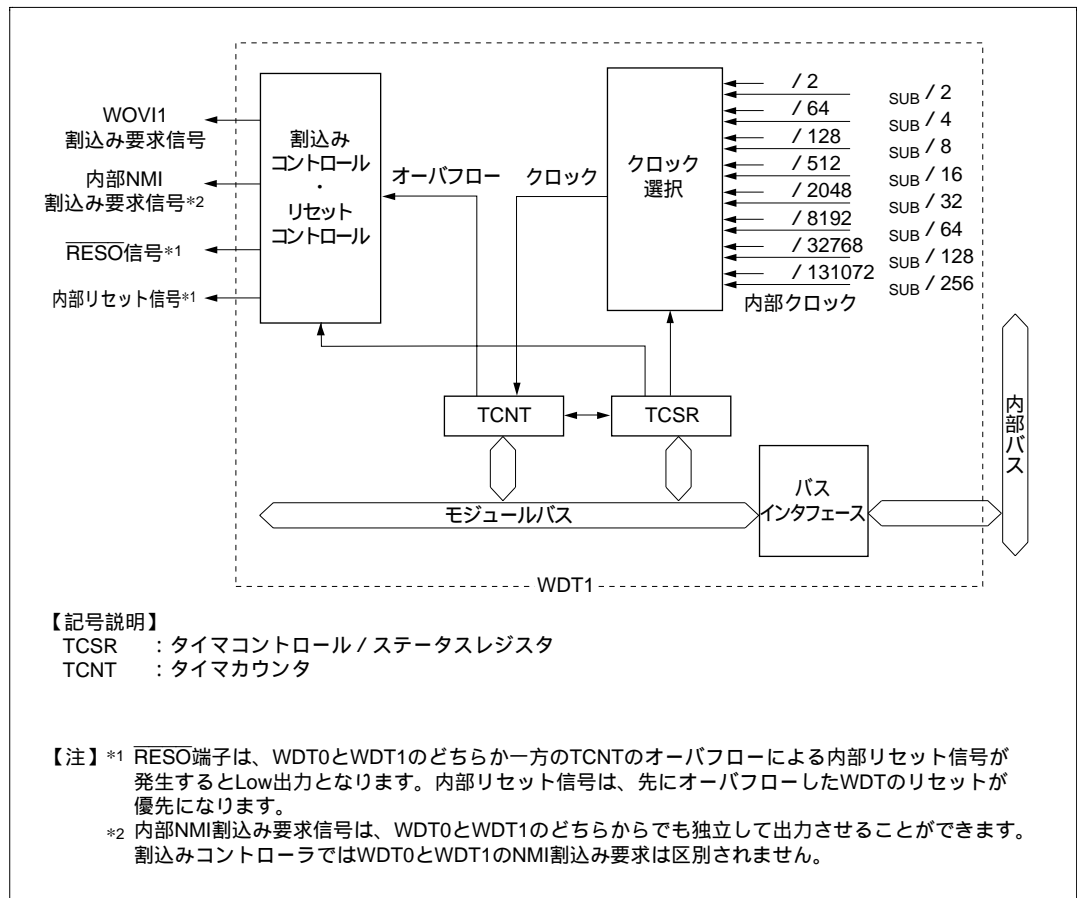


図 14.1 (b) WDT1のブロック図

14.1.3 端子構成

WDT の端子を表 14.1 に示します。

表 14.1 端子構成

名 称	記号	入出力	機 能
リセット出力端子	$\overline{\text{RESO}}$	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力
外部サブクロック入力端子	EXCL	入力	WDT1 のプリスケアラのカウンタ入力クロック

14.1.4 レジスタ構成

WDT には、表 14.2 に示すように 4 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 14.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス* ¹	
					ライト時* ²	リード時
0	タイマコントロール / ステータスレジスタ 0	TCSR0	R/(W)* ³	H'00	H'FFA8	H'FFA8
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFA8	H'FFA9
1	タイマコントロール / ステータスレジスタ 1	TCSR1	R/(W)* ³	H'00	H'FFEA	H'FFEA
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFEA	H'FFEB
共通	システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4	

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ライトについては、「14.2.4 レジスタアクセス時の注意」を参照してください。

*3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

14.2 各レジスタの説明

14.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTは、リード/ライト*可能な8ビットのアップカウンタです。TCSRのTMEビットを1にすると、TCSRのCKS2~CKS0ビットで選択した内部クロックにより、TCNTはカウントアップを開始します。TCNTの値がオーバーフロー (H'FF H'00) すると、TCSRのOVFフラグが1にセットされWT/ITビットおよびRST/NMIビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 ($\overline{\text{RESO}}$) 出力、内部リセット、NMI割込み、またはインターバルタイマ割込み (WOVI) などを発生させることができます。

TCNTは、リセット、ハードウェアスタンバイモード、またはTMEビットが0のとき、H'00に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* TCNTは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「14.2.4 レジスタアクセス時の注意」を参照してください。

14.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR0

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

TCSR1

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

TCSR は、リード/ライト*可能な 8 ビットのレジスタで、TCNT に入力するクロック、モードの選択などを行います。

TCSR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】 * TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「14.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7 : オーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット 7	説明
OVF	
0	[クリア条件] (初期値) (1) TME ビットに 0 をライトしたとき (2) OVF = 1 の状態で、TCSR をリード後*、OVF に 0 をライトしたとき
1	[セット条件] TCNT がオーバフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後、内部リセットにより自動的にクリアされます。

【注】 * インターバルタイマ割込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

ビット 6 : タイマモードセレクト (WT/ \bar{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、ウォッチドッグタイマモード時はリセットまたは NMI 割込みを、インターバルタイマモード時は WOV1 割込みを、CPU に対して要求します。なお、ウォッチドッグタイマモードで内部リセット選択時には、 \overline{RESO} 端子から Low レベルを出力します。

ビット 6	説明
WT/ \bar{IT}	
0	インターバルタイマモード : TCNT がオーバフローしたとき CPU へインターバルタイマ割込み (WOV1) を要求 (初期値)
1	ウォッチドッグタイマモード : TCNT がオーバフローしたとき CPU へリセットまたは NMI 割込みを要求 同時に、 \overline{RESO} 端子から Low レベルを出力 (内部リセット選択時)

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	TCNT を H'00 に初期化し、カウント動作を停止 (初期値)
1	TCNT はカウント動作

TCSR0 のビット4：リセットセレクト (RSTS)

リザーブビットです。1 にセットしないでください。

TCSR1 のビット4：プリスケラセレクト (PSS)

WDT1 の TCNT の入力クロックソースを選択します。

詳細は、ビット2~0 (CKS2~CKS0) の説明を参照してください。

TCSR1 ビット4	説明
PSS	
0	TCNT は ベースのプリスケラ (PSM) の分周クロックをカウント (初期値)
1	TCNT は SUB ベースのプリスケラ (PSS) の分周クロックをカウント

ビット3：リセットまたはNMI (RST/\overline{NMI})

ウォッチドッグタイマモードでの TCNT オーバフロー時に、内部リセットと NMI 割込み要求のいずれを要求するかを選択します。

ビット3	説明
RST/\overline{NMI}	
0	NMI 割込みを要求 (初期値)
1	内部リセットを要求

ビット2~0：クロックセレクト2~0 (CKS2~CKS0)

システムクロック () またはサブクロック (SUB) を分周して得られる内部クロックから、TCNT に入力するクロックを選択します。

14. ウォッチドッグタイマ (WDT)

WDT0の入力クロック選択

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	クロック	オーバフロー周期* (= 20MHzの場合)
0	0	0	/ 2 (初期値)	25.6 μ s
		1	/ 64	819.2 μ s
	1	0	/ 128	1.6ms
		1	/ 512	6.6ms
1	0	0	/ 2048	26.2ms
		1	/ 8192	104.9ms
	1	0	/ 32768	419.4ms
		1	/ 131072	1.68s

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

WDT1の入力クロック選択

ビット4	ビット2	ビット1	ビット0	説 明	
PSS	CKS2	CKS1	CKS0	クロック	オーバフロー周期* (= 20MHzの場合) (SUB = 32.768kHzの場合)
0	0	0	0	/ 2 (初期値)	25.6 μ s
			1	/ 64	819.2 μ s
		1	0	/ 128	1.6ms
			1	/ 512	6.6ms
	1	0	0	/ 2048	26.2ms
			1	/ 8192	104.9ms
		1	0	/ 32768	419.4ms
			1	/ 131072	1.68s
1	0	0	0	SUB / 2	15.6ms
			1	SUB / 4	31.3ms
		1	0	SUB / 8	62.5ms
			1	SUB / 16	125ms
	1	0	0	SUB / 32	250ms
			1	SUB / 64	500ms
		1	0	SUB / 128	1s
			1	SUB / 256	2s

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

14.2.3 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R	R/W	R	R/W	R/W	R/W

ここではビット 3 のみ説明します。ウォッチドッグタイマ以外の詳細は、「3.2.2」、「5.2.1」の「システムコントロールレジスタ (SYSCR)」、および関連するモジュールの説明を参照してください。

ビット 3 : 外部リセット (XRST)

XRST はリセット要因を表わすビットです。リセットは、外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、WDT0 または WDT1 のウォッチドッグタイマオーバフローにより発生することができます。

XRST ビットはリード専用です。外部リセットにより 1 にセット、 $\overline{RST}/\overline{NMI}$ ビットが 1 のときにウォッチドッグタイマオーバフローによる内部リセットで 0 にクリアされます。

ビット 3	説明
XRST	
0	リセットがウォッチドッグタイマのオーバフローによる内部リセットで発生
1	リセットが外部リセット入力で発生 (初期値)

14.2.4 レジスタアクセス時の注意

TCNT、TCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト (WDT0 の例)

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 14.2 に示すように、TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

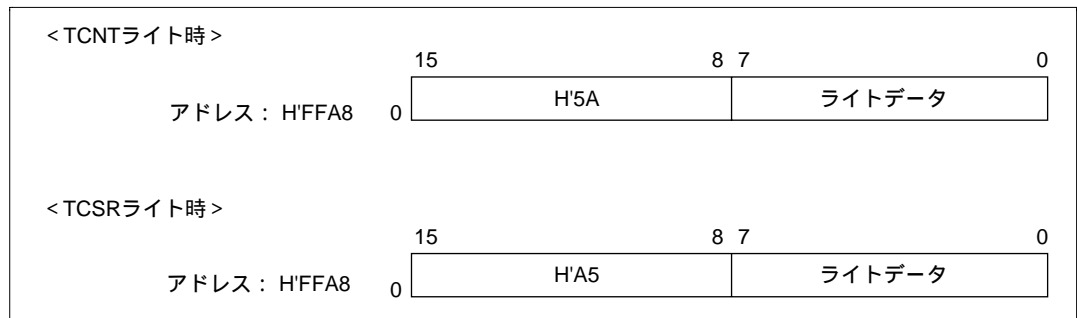


図 14.2 TCNT、TCSR へのライト (WDT0 の例)

(2) TCNT、TCSR からのリード (WDT0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。

14.3 動作説明

14.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、TCSR の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、内部リセットまたは NMI 割込み要求が発生します。

RST/\overline{NMI} ビットを 1 に設定すると、カウンタオーバーフローにより 518 システムクロック (518) の間、本 LSI をリセットし、同時に $\overline{RES0}$ 端子から 132 ステートの間 Low レベル信号が出力されます。これを図 14.3 に示します。この $\overline{RES0}$ 信号を用いて、システムをリセットすることができます。

RST/\overline{NMI} ビットを 0 にクリアすると、カウンタオーバーフローにより NMI 割込み要求が発生します。このとき、 $\overline{RES0}$ 信号は High 出力のままとなります。

ウォッチドッグタイマからの内部リセット要求と \overline{RES} 端子からのリセット入力は、同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割込み要求と NMI 端子からの割込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割込み要求と NMI 端子からの割込み要求を同時に扱うことは避けてください。

14. ウォッチドッグタイマ (WDT)

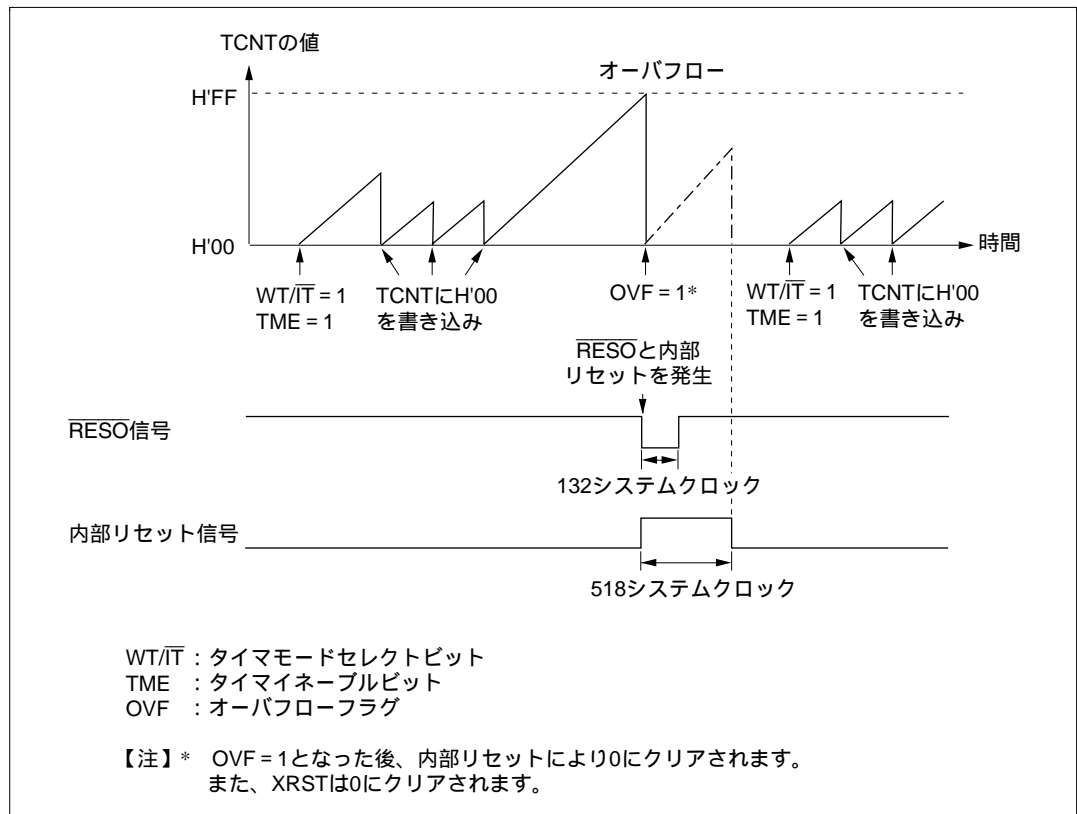


図 14.3 ウォッチドッグタイマモード時 (RST/NMI=1) の動作

14.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するとき、TCSRの WT/\overline{IT} ビットを0に、TMEビットを1に設定してください。インターバルタイマとして動作しているときは、図14.4に示すように、TCNTがオーバーフローするごとにインターバルタイマ割込み(WOVI)が発生します。したがって、一定時間ごとに、割込みを発生させることができます。

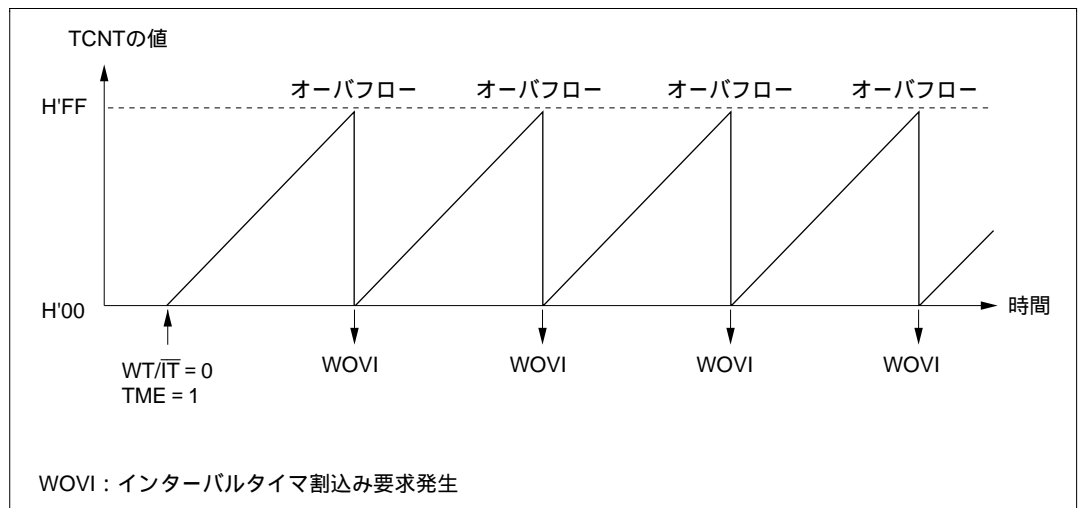


図 14.4 インターバルタイマモード時の動作

14.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでTCNTがオーバーフローすると、TCSRのOVFビットが1にセットされ、同時にインターバルタイマ割込み(WOVI)が要求されます。このタイミングを図14.5に示します。

また、ウォッチドッグタイマモードでNMI要求を選択した場合、TCNTがオーバーフローすると、TCSRのOVFビットが1にセットされ、同時にNMI割込みが要求されます。

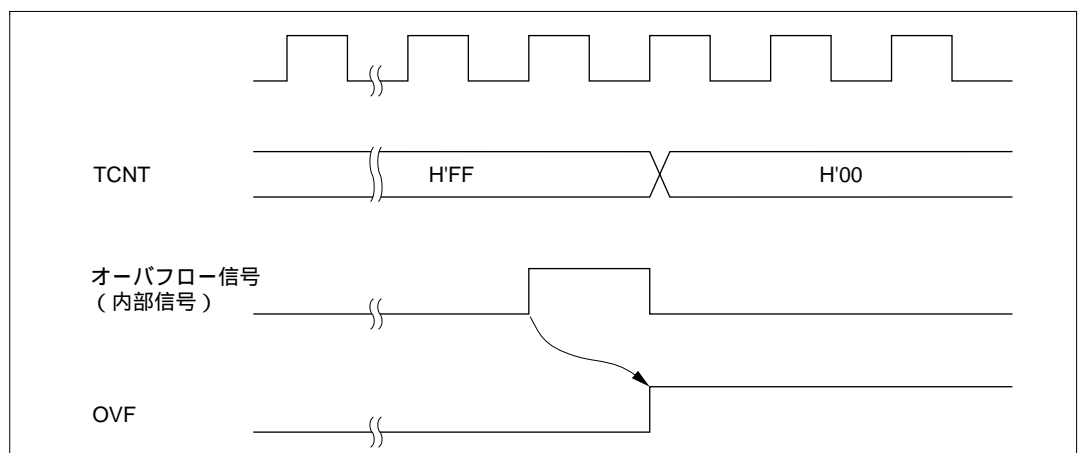


図 14.5 OVF のセットタイミング

14.3.4 $\overline{\text{RESO}}$ 信号出力タイミング

ウォッチドッグタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされます。このとき RST/ $\overline{\text{NMI}}$ ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。また、同時に $\overline{\text{RESO}}$ 端子から Low レベルを出力します。これらのタイミングを図 14.6 に示します。

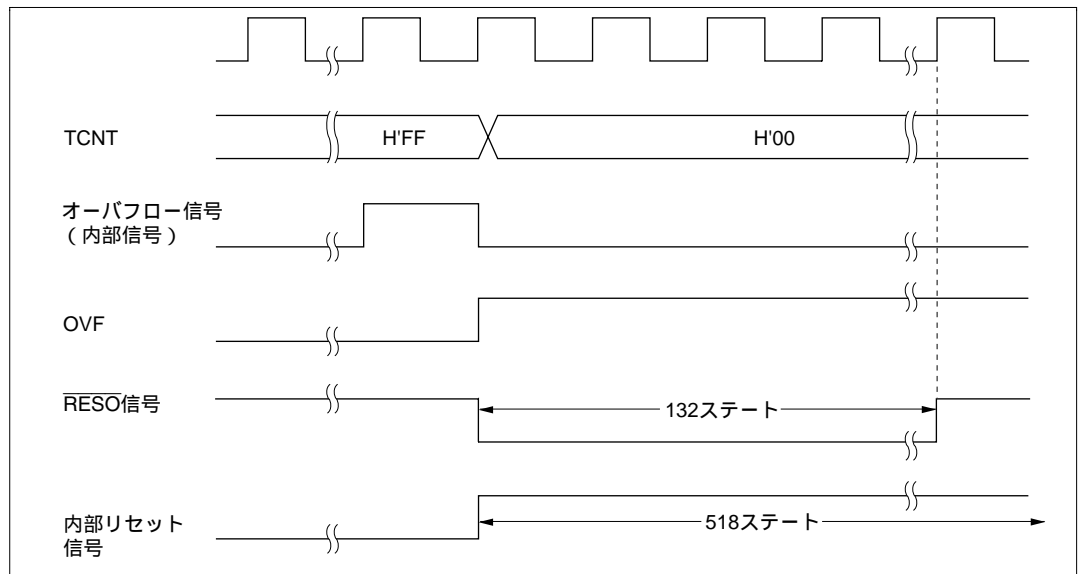


図 14.6 $\overline{\text{RESO}}$ 信号の出力タイミング

14.4 割込み

インターバルタイマモード時、オーバーフローによりインターバルタイマ割込み (WOVI) を発生します。インターバルタイマ割込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割込み要求の選択時、オーバーフローにより NMI 割込み要求が発生します。

14.5 使用上の注意

14.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.7 に示します。

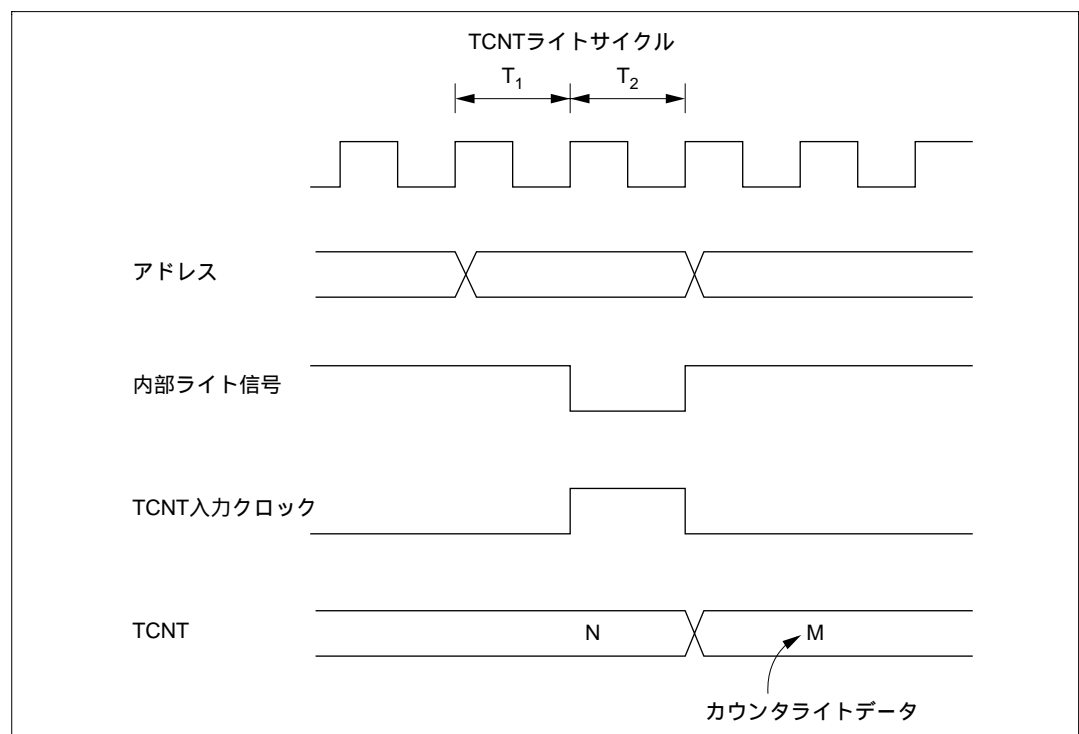


図 14.7 TCNT のライトとカウントアップの競合

14.5.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.5.4 $\overline{\text{RESO}}$ 信号によるシステムのリセット

$\overline{\text{RESO}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{RESO}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{RESO}}$ 信号でシステム全体をリセットするときは、図 14.8 に示すような回路で行ってください。

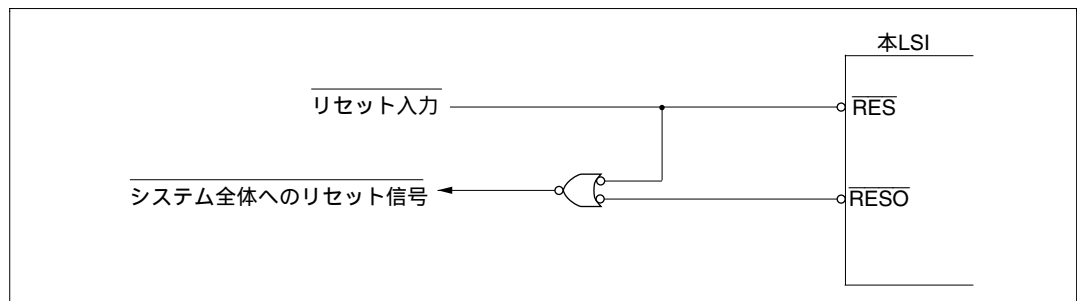


図 14.8 $\overline{\text{RESO}}$ 信号によるシステムのリセット回路例

14.5.5 高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値

WDT1 を時計用クロックのカウンタとして使用し、かつ高速モードとサブアクティブモード間、あるいは高速モードとウォッチモード間を遷移する場合には、内部クロックの切り替えにともなうカウンタ値のずれが生じます。

高速モードからサブアクティブモードあるいはウォッチモードへの遷移時には WDT1 の制御クロックがメインクロックからサブクロックに切り替わるタイミングで約 2~3 クロックサイクル分カウントアップタイミングが遅くなります。

また、サブクロック動作時にはメインクロック発振器がストップするため、ウォッチモードまたはサブアクティブモードから高速モードへ遷移するとき、内部発振が安定するまでの期間、クロックは供給されなくなります。このため、発振を開始し SBYCR の STS2 ~ STS0 ビットで設定された発振安定待機時間はカウントアップを停止し、この期間分のカウンタ値のずれが生じます。

WDT1 を時計用クロックのカウンタとして使用するときには注意してください。

なお、同じモード内で動作している間は、カウンタ値のずれは発生しません。

14.5.6 OVF フラグのクリア

インターバルタイマ割込みルーチン内では、OVF フラグのクリア条件にある通り、OVF=1 の状態で TCSR をリード後、OVF に 0 をライトすることで OVF フラグをクリアすることができます。

しかし、インターバルタイマ割込みを禁止して、OVF フラグをポーリングする場合、OVF フラグのセットされるタイミングと、OVF フラグをリードするタイミングが競合したとき、OVF=1 をリードしたにもかかわらず、OVF=1 をリードしたことを認識しないことがあります。

この場合、OVF=1 の状態を 2 回以上リードすることにより、OVF フラグのクリア条件を確実に満たすことができますので、前途の例のように、OVF=1 の状態を 2 回以上リードしてから OVF フラグをクリアするようにしてください。

15. シリアルコミュニケーション インタフェース (SCI、IrDA)

第 15 章 目次

15.1	概要	441
15.1.1	特長	441
15.1.2	ブロック図	442
15.1.3	端子構成	444
15.1.4	レジスタ構成	445
15.2	各レジスタの説明	446
15.2.1	レシーブシフトレジスタ (RSR)	446
15.2.2	レシーブデータレジスタ (RDR)	446
15.2.3	トランスミットシフトレジスタ (TSR)	447
15.2.4	トランスミットデータレジスタ (TDR)	447
15.2.5	シリアルモードレジスタ (SMR)	448
15.2.6	シリアルコントロールレジスタ (SCR)	451
15.2.7	シリアルステータスレジスタ (SSR)	455
15.2.8	ビットレートレジスタ (BRR)	459
15.2.9	シリアルインタフェースモードレジスタ (SCMR)	468
15.2.10	モジュールストップコントロールレジスタ (MSTPCR)	469
15.2.11	キーボードコンパレータコントロールレジスタ (KBCOMP)	470
15.3	動作説明	472
15.3.1	概要	472
15.3.2	調歩同期式モード時の動作	474
15.3.3	マルチプロセッサ通信機能	485
15.3.4	クロック同期式モード時の動作	492
15.3.5	IrDA 動作	501

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

15.4	SCI 割込み.....	504
15.5	使用上の注意.....	505

15.1 概要

本 LSI は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

3 チャンネルの SCI のうち 1 チャンネルは、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

15.1.1 特長

SCI の特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

(a) 調歩同期式モード

- ・キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- ・複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- ・シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能

データ長	: 7 ビット / 8 ビット
ストップビット長	: 1 ビット / 2 ビット
パリティ	: 偶数パリティ / 奇数パリティ / パリティなし
マルチプロセッサビット	: 1 / 0
- ・受信エラーの検出: パリティエラー、オーバランエラー、フレーミングエラー
- ・ブレークの検出: フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能

(b) クロック同期式モード

- ・クロックに同期してシリアルデータ通信を実行
クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- ・シリアルデータ通信フォーマットは 1 種類

データ長	: 8 ビット
------	---------
- ・受信エラーの検出: オーバランエラーを検出

全二重通信が可能

- ・独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- ・送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

LSB ファースト方式 / MSB ファースト方式の選択が可能

- ・通信モードによらず (調歩同期式モード7ビットデータの場合を除く) 選択可能*

【注】 * 本章では、LSB ファースト方式の例を説明しています。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

送受信クロックを出力可能

- ・ P86/SCK1 端子、P42/SCK2 端子は CMOS 出力
- ・ P52/SCK0 端子は、H8S/2148 シリーズおよび H8S/2147N では NMOS プッシュプル出力、H8S/2144 シリーズでは CMOS 出力
(H8S/2148 シリーズおよび H8S/2147N で本端子を出力として使用する場合は、High レベルを出力するために必ず外部にプルアップ抵抗を接続してください。)

4 種類の割込み要因

- ・送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割込み要因があり、それぞれ独立に要求可能
- ・送信データエンプティ割込みと受信データフル割込みにより、データトランスファコントローラ (DTC) を起動させてデータ転送を実行可能

15.1.2 ブロック図

図 15.1 に SCI のブロック図を示します。

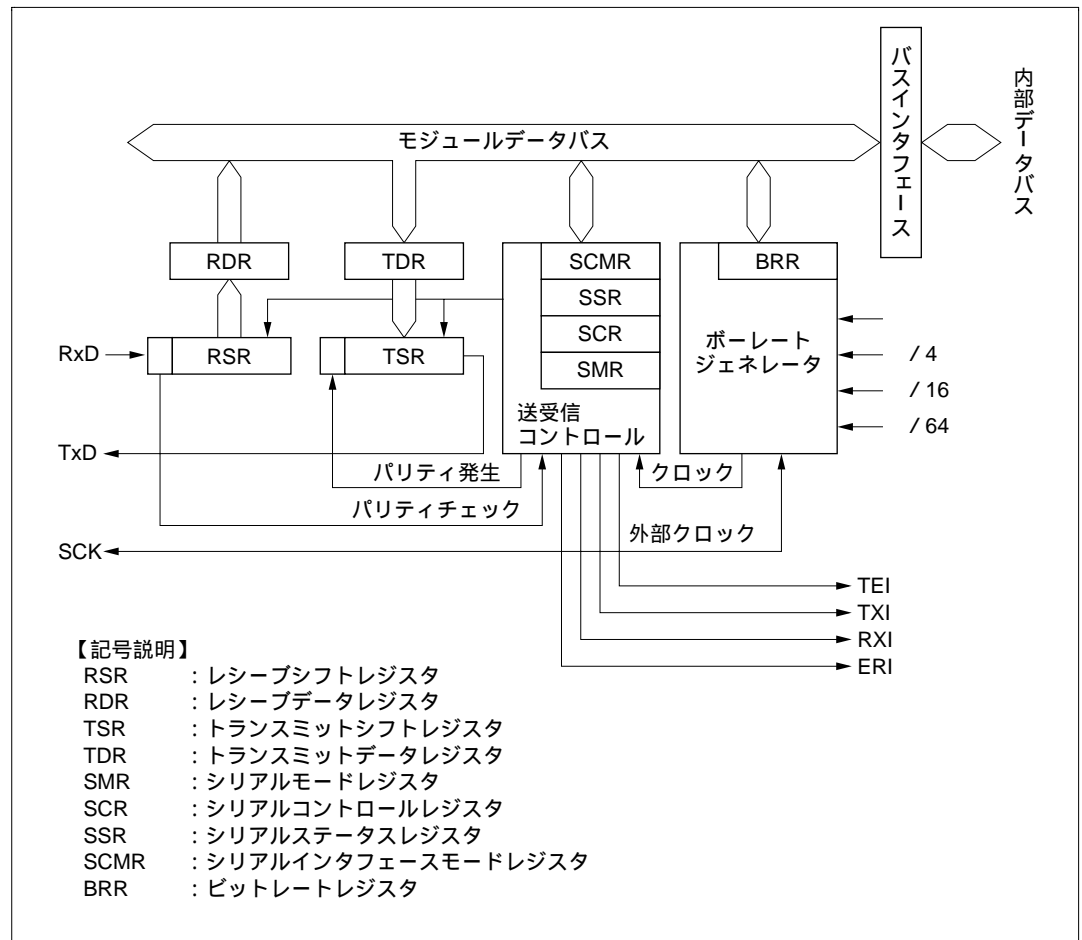


図 15.1 SCI のブロック図

15.1.3 端子構成

SCI は、表 15.1 に示すシリアル端子を持っています。

表 15.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2 /IrRxD	入力	SCI2 の受信データ入力 (通常 / IrDA)
	トランスミットデータ端子 2	TxD2 /IrTxD	出力	SCI2 の送信データ出力 (通常 / IrDA)

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15.1.4 レジスタ構成

SCI には、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 15.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス* ¹
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FFD8* ³
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FFD9* ³
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FFDA
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FFDB
	シリアルステータスレジスタ 0	SSR0	R/(W)* ²	H'84	H'FFDC
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FFDD
	シリアルインタフェースモードレジスタ 0	SCMR0	R/W	H'F2	H'FFDE* ³
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF88* ³
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF89* ³
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 1	SSR1	R/(W)* ²	H'84	H'FF8C
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF8D
	シリアルインタフェースモードレジスタ 1	SCMR1	R/W	H'F2	H'FF8E* ³
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FFA0* ³
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FFA1* ³
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FFA2
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FFA3
	シリアルステータスレジスタ 2	SSR2	R/(W)* ²	H'84	H'FFA4
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FFA5
	シリアルインタフェースモードレジスタ 2	SCMR2	R/W	H'F2	H'FFA6* ³
	キーボードコンパレータコントロールレジスタ	KBCOMP	R/W	H'00	H'FEE4
共通	モジュールストップ	MSTPCRH	R/W	H'3F	H'FF86
	コントロールレジスタ	MSTPCRL	R/W	H'FF	H'FF87

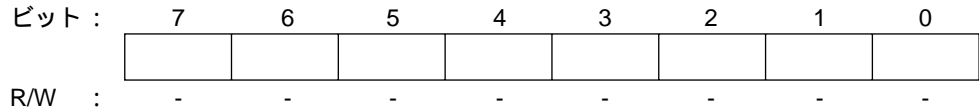
【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

*3 シリアルコミュニケーションインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の ICE ビットで行います。

15.2 各レジスタの説明

15.2.1 レシーブシフトレジスタ (RSR)

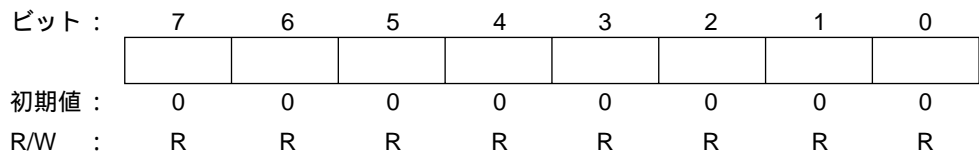


RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

15.2.2 レシーブデータレジスタ (RDR)



RDR は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタです。CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

15.2.3 トランスミットシフトレジスタ (TSR)

ビット :	7	6	5	4	3	2	1	0
R/W :	-	-	-	-	-	-	-	-

TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

15.2.4 トランスミットデータレジスタ (TDR)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

15.2.5 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

ビット 7 : コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。
また、LSB ファースト/MSB ファーストの選択はできません。

ビット5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードおよびマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、 O/\bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/\bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4 : パリティモード (O/\bar{E})

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。

O/\bar{E} ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合、およびマルチプロセッサフォーマットでは、 O/\bar{E} ビットの指定は無効です。

ビット4	説明
O/\bar{E}	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1 (ストップビット) を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1 (ストップビット) を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、および $O\bar{E}$ ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「15.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定により、 \times / 4、 \times / 16、 \times / 64の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「15.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
	1	/ 4クロック
1	0	/ 16クロック
	1	/ 64クロック

15.2.6 シリアルコントロールレジスタ (SCR)

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCRは、SCIの送信/受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信/受信クロックソースの選択を行うレジスタです。

SCRは、常にCPUによるリード/ライトが可能です。

SCRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時にH'00に初期化されます。

ビット7：トランスミットインタラプトイネーブル (TIE)

TDRからTSRへシリアル送信データが転送されSSRのTDREフラグが1にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル (RIE)

シリアル受信データがRSRからRDRへ転送されてSSRのRDRFフラグが1にセットされたとき、受信データフル割込み (RXI) 要求、および受信エラー割込み (ERI) 要求の発生を許可または禁止します。

ビット6	説明
RIE	
0	受信データフル割込み (RXI) 要求、および受信エラー割込み (ERI) 要求を禁止* (初期値)
1	受信データフル割込み (RXI) 要求、および受信エラー割込み (ERI) 要求を許可

【注】 * RXI、およびERI割込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

ビット5：トランスミットイネーブル (TE)

SCIのシリアル送信動作の開始を許可または禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *¹ SSRのTDREフラグは1に固定されます。

*² この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。

なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可または禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割込み禁止状態 (通常の実受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割込み (RXI) 要求、受信エラー割込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割込み (TEI) 要求の発生を許可または禁止します。

ビット2	説明	
TEIE		
0	送信終了割込み (TEI) 要求を禁止*	(初期値)
1	送信終了割込み (TEI) 要求を許可*	

【注】 * TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可または禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) の時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合はCKE0ビットの設定は無効です。また、SMRでSCIの動作モードを決定する前に、CKE1、CKE0の設定を行ってください。

SCIのクロックソースの選択についての詳細は「15.3 動作説明」の表15.9を参照してください。

ビット1	ビット0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート* ¹
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力* ¹
	1	調歩同期式モード	内部クロック / SCK端子はクロック出力* ²
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの16倍の周波数のクロックを入力

15.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。また、TENDフラグおよびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時にH'84に初期化されます。

ビット7: トランスミットデータレジスタエンプティ (TDRE)

TDRからTSRにデータ転送が行われ、TDRに次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	[クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI 割込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (初期値) (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット6	説明
RDRF	
0	[クリア条件] (初期値) (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) RXI 割込み要求による DTC で RDR のデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。
RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	[クリア条件] (初期値)* ¹ ORER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき* ²

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*² RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	[クリア条件] (初期値)* ¹ FER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	[クリア条件] (初期値)* ¹ PER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/ \bar{E} ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき* ²

【注】 *1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグはリード専用です。ライトは無効です。

ビット2	説明
TEND	
0	[クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI 割込み要求による DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1であったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用です。ライトは無効です。

ビット1	説明
MPB	
0	[クリア条件] (初期値)* マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを0にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットではないとき、あるいは送信でないとき、およびクロック同期式モードにはMPBTビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信したとき (初期値)
1	マルチプロセッサビットが1のデータを送信したとき

15.2.8 ビットレートレジスタ (BRR)

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 15.3 に調歩同期式モードの BRR の設定例を表 15.4 にクロック同期式モードの BRR の設定例を示します。

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)

ビットレート (bit/s)	動作周波数 (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

ビットレート (bit/s)	動作周波数 (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

ビットレート (bit/s)	動作周波数 (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bit/s)	動作周波数 (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36
31250	0	17	0.00	0	19	- 1.70	0	19	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73

表 15.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	動作周波数 (MHz)											
	2		4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-								
250	2	124	2	249	3	124	-	-	3	249		
500	1	249	2	124	2	249	-	-	3	124	-	-
1k	1	124	1	249	2	124	-	-	2	249	-	-
2.5k	0	199	1	99	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	19
500k	0	0*	0	1	0	3	0	4	0	7	0	9
1M			0	0*	0	1			0	3	0	4
2.5M							0	0*			0	1
5M											0	0*

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄 : 設定できません

- : 設定可能ですが誤差がでます

* : 連続送信 / 受信はできません

BRR の設定値は以下の計算式で求められます。

調歩同期式モード

$$N = \frac{\text{動作周波数} \times 10^6 - 1}{64 \times 2^{2n-1} \times B}$$

クロック同期式モード

$$N = \frac{\text{動作周波数} \times 10^6 - 1}{8 \times 2^{2n-1} \times B}$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

: 動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0~3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/4	0	1
2	/16	1	0
3	/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差}(\%) = \left\{ \frac{\text{動作周波数} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.6、表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.5 各周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

15.2.9 シリアルインタフェースモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、8 ビットのリード/ライト可能なレジスタで、SCI の機能の選択を行います。SCMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、HF2 に初期化されます。

ビット7~4 : リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット3 : データトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

ビット2 : データインバート (SINV)

データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットの反転のためには、SMR の O/\bar{E} ビットを反転する必要があります。

ビット2	説明
SINV	
0	TDRの内容をそのまま送信 (初期値) 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを送信 受信データを反転してRDRに格納

ビット1：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0：シリアルコミュニケーションインタフェースモードセレクト (SMIF)

リザーブビットです。1をライトしないでください。

ビット0	説明
SMIF	
0	通常 SCI モード (初期値)
1	リザーブモード

15.2.10 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP7ビット、MSTP6ビット、MSTP5ビットを1にセットすると、バスサイクルの終了時点でSCI0、SCI1、SCI2はそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7：モジュールストップ (MSTP7)

SCI0のモジュールストップモードを指定します。

MSTPCRL	説明
ビット7	
MSTP7	
0	SCI0のモジュールストップモード解除
1	SCI0のモジュールストップモード設定 (初期値)

ビット6：モジュールストップ (MSTP6)

SCI1 のモジュールストップモードを指定します。

MSTPCRL ビット6	説明
MSTP6	
0	SCI1 のモジュールストップモード解除
1	SCI1 のモジュールストップモード設定 (初期値)

ビット5：モジュールストップ (MSTP5)

SCI2 のモジュールストップモードを指定します。

MSTPCRL ビット5	説明
MSTP5	
0	SCI2 のモジュールストップモード解除
1	SCI2 のモジュールストップモード設定 (初期値)

15.2.11 キーボードコンパレータコントロールレジスタ (KBCOMP)

ビット：	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KBCOMP は、8 ビットのリード/ライト可能なレジスタで、SCI2 の機能の選択および A/D 変換器の機能の選択を行います。

KBCOMP は、リセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7：IrDA イネーブル (IrE)

SCI2 の入出力を通常の SCI か IrDA かに設定します。

ビット7	説明
IrE	
0	TxD2/IrTxD、RxD2/IrRxD 端子は TxD2、RxD2 として動作 (初期値)
1	TxD2/IrTxD、RxD2/IrRxD 端子は IrTxD、IrRxD として動作

ビット6～4：IrDAクロックセレクト2～0 (IrCKS2～IrCKS0)

IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。

ビット6	ビット5	ビット4	説明
IrCKS2	IrCKS1	IrCKS0	
0	0	0	$B \times 3/16$ (ビットレートの16分の3) (初期値)
		1	/2
	1	0	/4
		1	/8
1	0	0	/16
		1	/32
	1	0	/64
		1	/128

ビット3～0：キーボードコンパレータコントロール

「第20章 A/D変換器」の説明を参照してください。

15.3 動作説明

15.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 15.8 に示します。また、SCI のクロックソースは、SMR の $C\bar{A}$ ビットおよび SCR の CKE1、CKE0 ビットの組み合わせでまります。これを表 15.9 に示します。

(1) 調歩同期式モード

データ長：7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能

(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- ・内部クロックを選択した場合：

SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能

- ・外部クロックを選択した場合：

ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

送信 / 受信フォーマット：8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- ・内部クロックを選択した場合：

SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

- ・外部クロックを選択した場合：

内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 15.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット								
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長					
C/ \bar{A}	CHR	MP	PE	STOP										
0	0	0	0	0	調歩同期式	8ビット データ	なし	なし	1ビット					
				1	モード				2ビット					
			1	0	0						7ビット データ	なし	1ビット	
					1								2ビット	
			1	0	-				0	調歩同期式	8ビット データ	あり	なし	1ビット
									1	モード				2ビット
	1	1	-	0	(マルチプロ セッサフォー マット)	7ビット データ	なし	あり	1ビット					
				1					2ビット					
	1	-	-	-	-	クロック 同期式 モード	8ビット データ	なし		なし				

表 15.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
ビット 7	ビット 1	ビット 0		クロック ソース	SCK 端子の機能
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト: 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

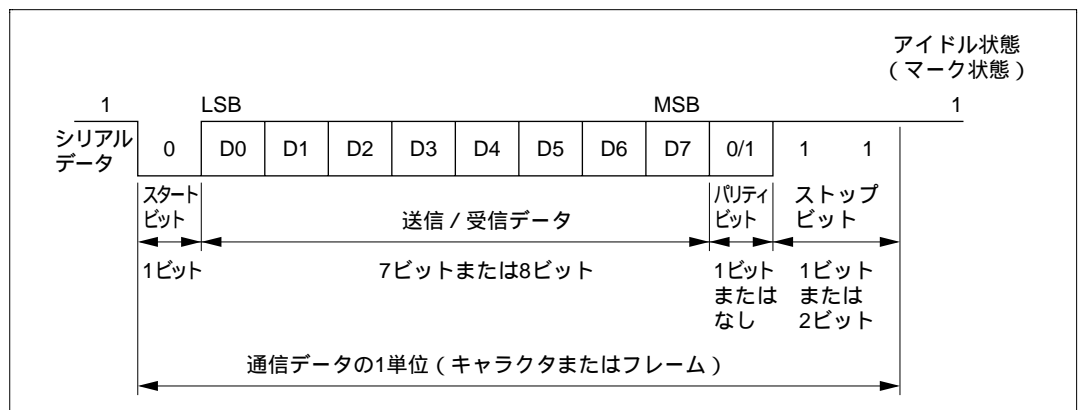


図 15.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信/受信フォーマット

調歩同期式モードで設定できる送信/受信フォーマットを、表 15.10 に示します。

送信/受信フォーマットは12種類あり、SMRの選定により選択できます。

表 15.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

(2) クロック

SCI の送受信クロックは、SMR の C/\bar{A} ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 15.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 15.3 に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

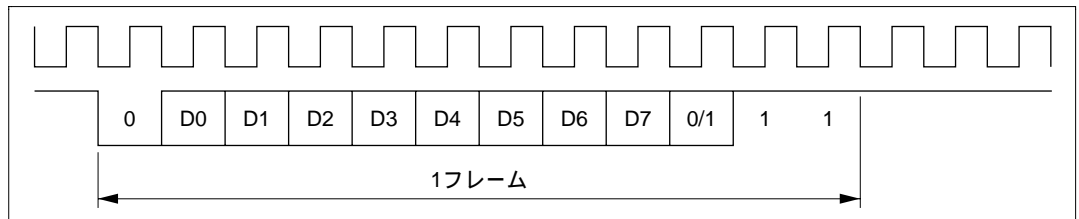


図 15.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

(a) SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 15.4 に SCI の初期化フローチャートの例を示します。

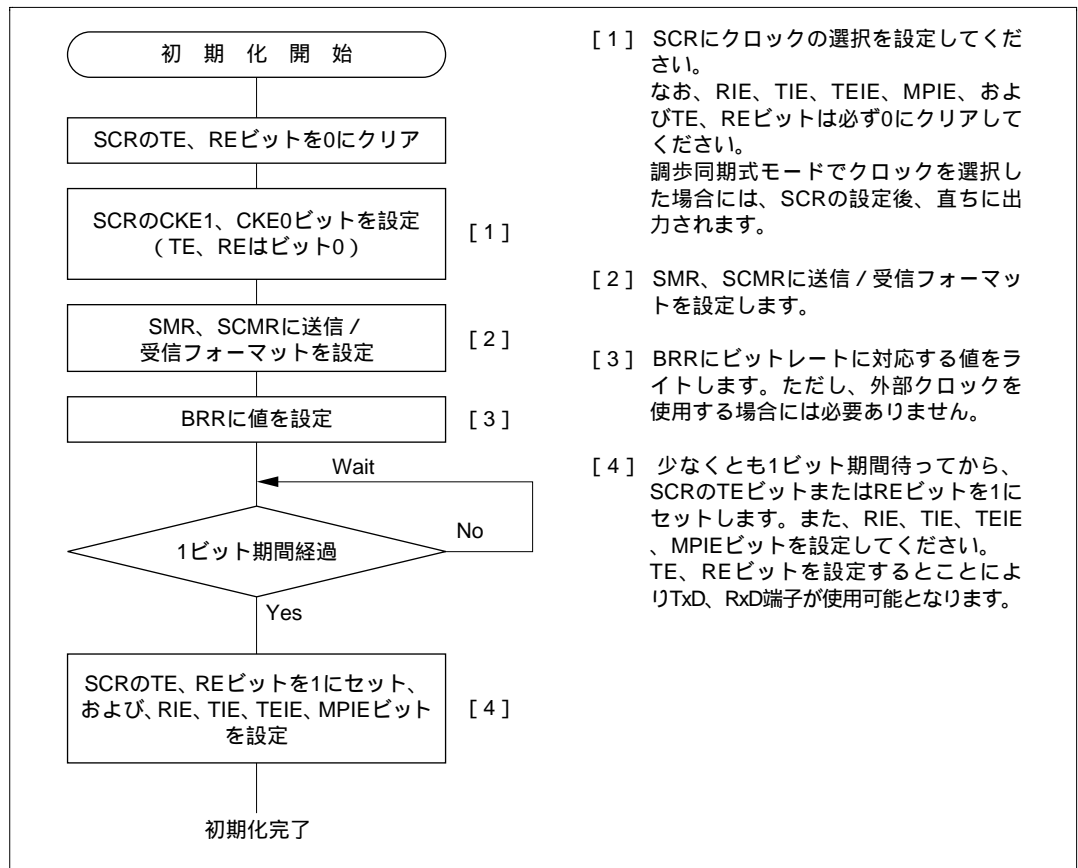


図 15.4 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 15.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順にしたがい行ってください。

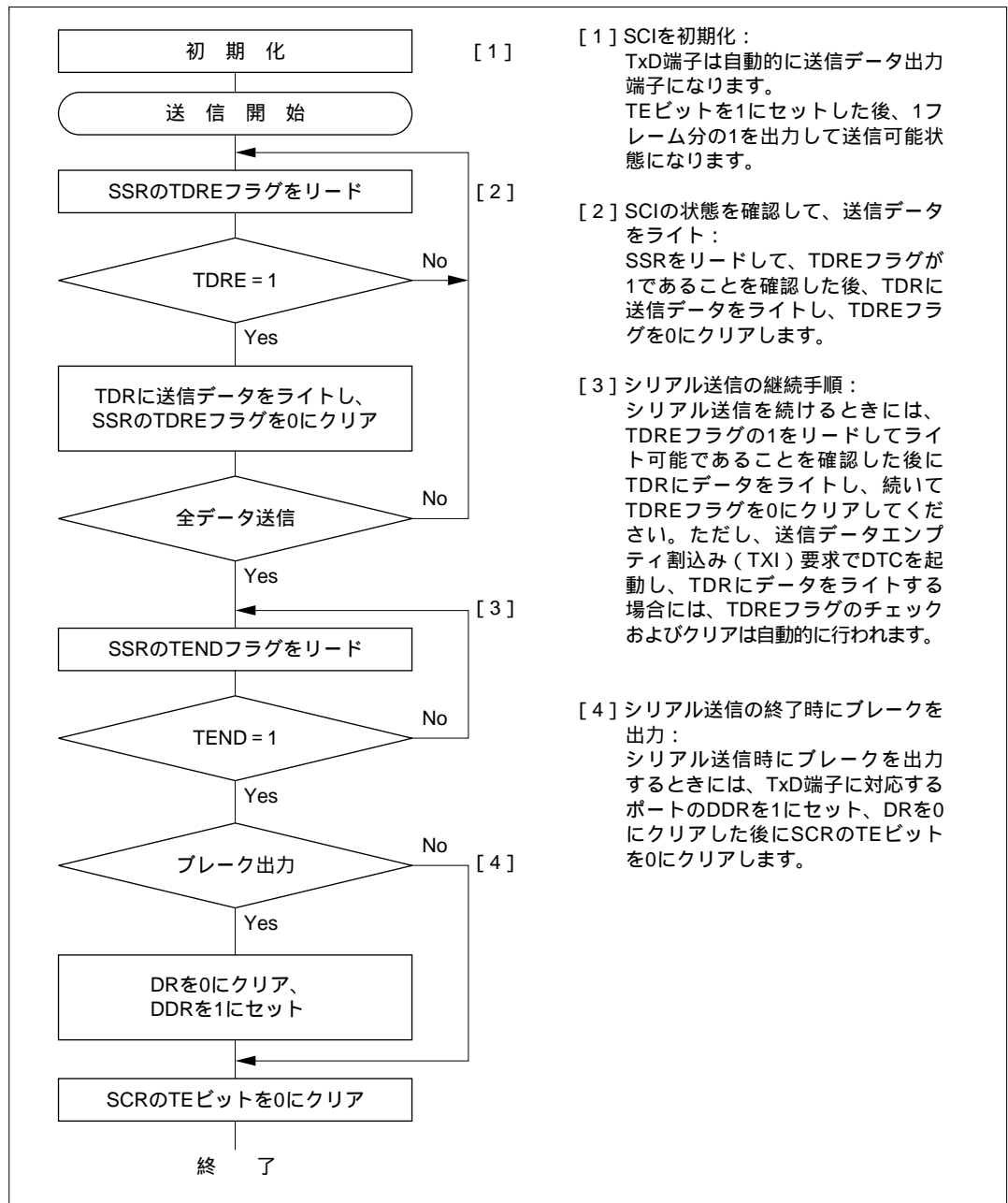


図 15.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCI は、SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR にデータを転送します。
- [2] TDR から TSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。
このとき、SCR の TIE ビットが 1 にセットされていると送信データエンブティ割込み (TXI) 要求を発生します。
シリアル送信データは、以下の順に TxD 端子から送り出されます。
 - [a] スタートビット：
1 ビットの 0 が出力されます。
 - [b] 送信データ：
8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - [c] パリティビットまたはマルチプロセッサビット：
1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - [d] ストップビット：
1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- [3] SCI は、ストップビットを送出するタイミングで TDRE フラグをチェックします。
TDRE フラグが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDRE フラグが 1 であると SSR の TEND フラグに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると TEI 割込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 15.6 に示します。

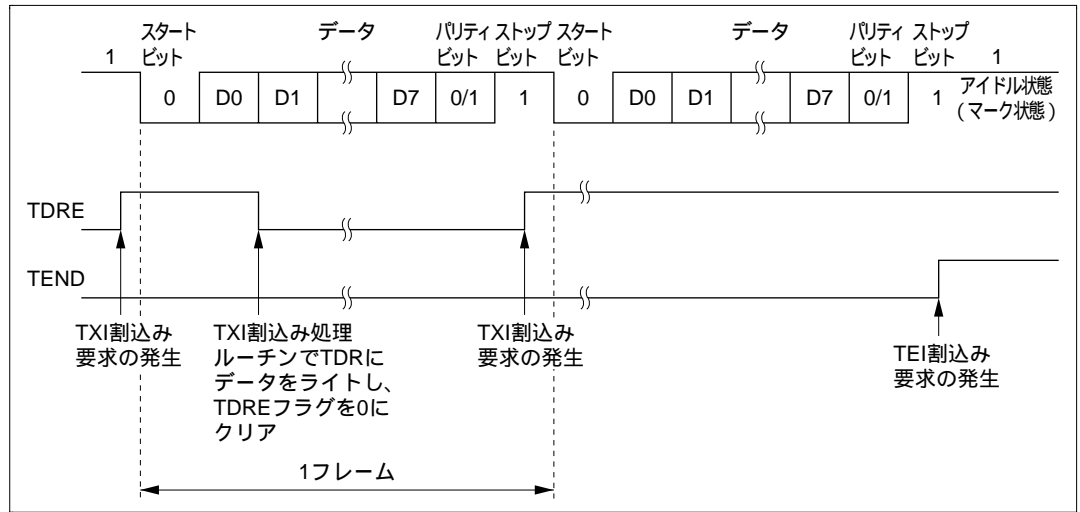


図 15.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 15.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順にしたがい行ってください。

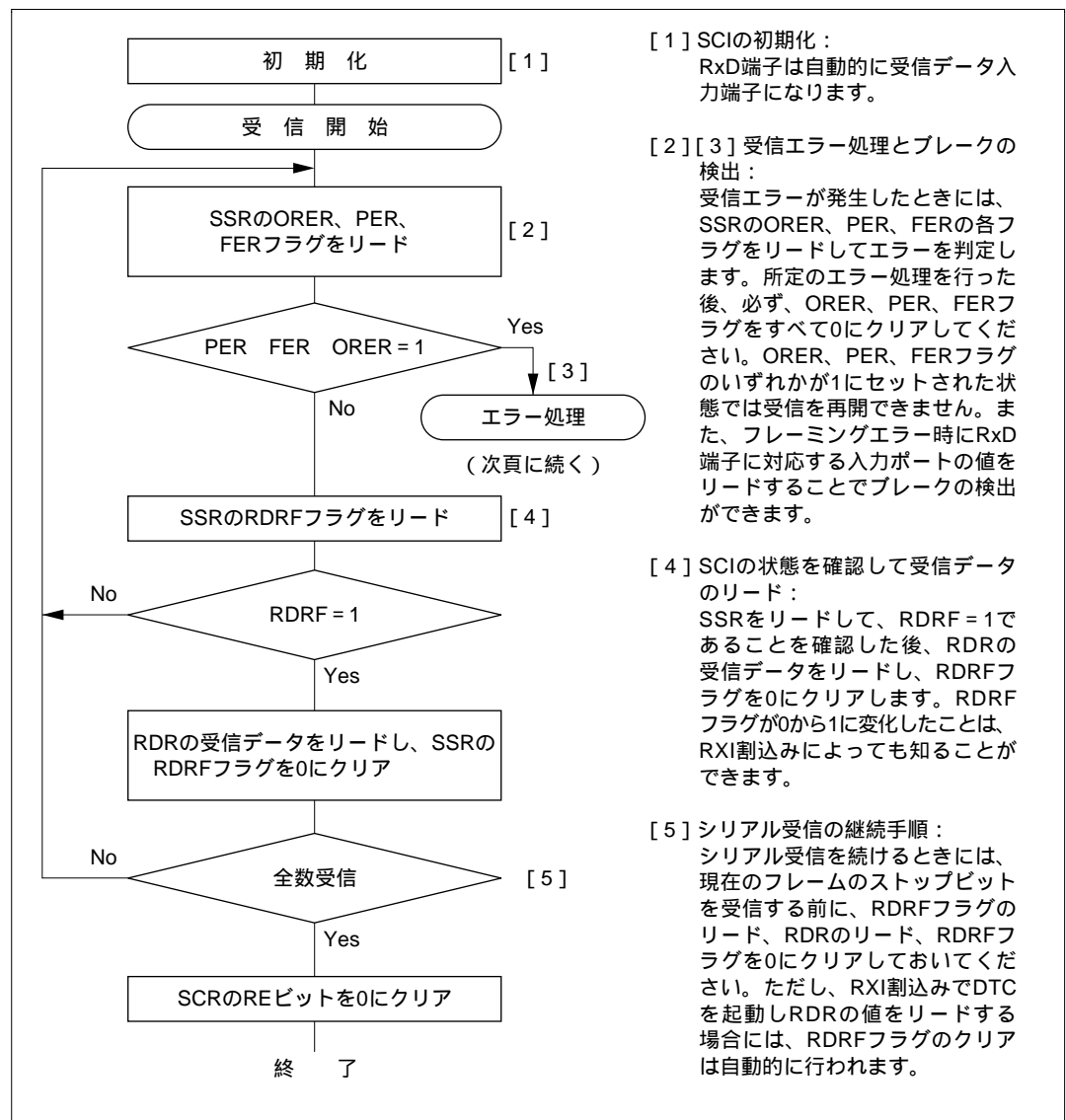


図 15.7 シリアル受信データフローチャートの例 (1)

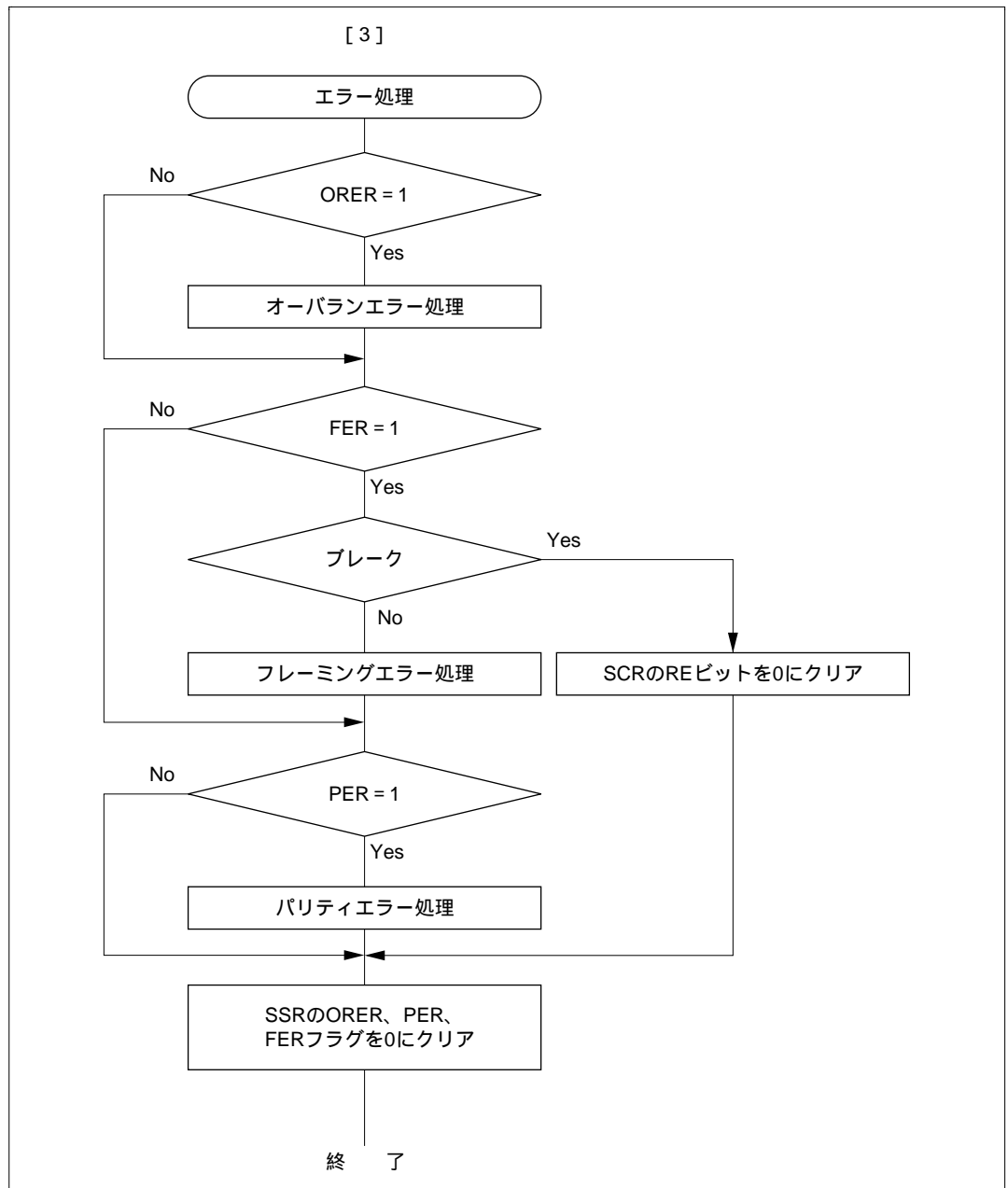


図 15.7 シリアル受信データフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- [1] SCI は通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
 - [2] 受信したデータを RSR の LSB から MSB の順に格納します。
 - [3] パリティビットおよびストップビットを受信します。
受信後、SCI は以下のチェックを行います。
 - [a] パリティチェック：
受信データの1の数をチェックし、これが SMR の $O\bar{E}$ ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
 - [b] ストップビットチェック：
ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のみをチェックします。
 - [c] ステータスチェック：
RDRF フラグが0であり、受信データを RSR から RDR に転送できる状態であることをチェックします。以上のチェックをすべて満足したとき、RDRF フラグが1にセットされ、RDR に受信データが格納されます。
エラーチェックで受信エラー*を発生すると表 15.11 のように動作します。
- 【注】** * 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。
- [4] RDRF フラグが1になったとき、SCR の RIE ビットが1にセットされていると受信データフル割込み (RXI) 要求を発生します。
また、ORER、PER、FER フラグのいずれかが1になったとき、SCR の RIE ビットが1にセットされていると受信エラー割込み (ERI) 要求を発生します。

表 15.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 15.8 に示します。

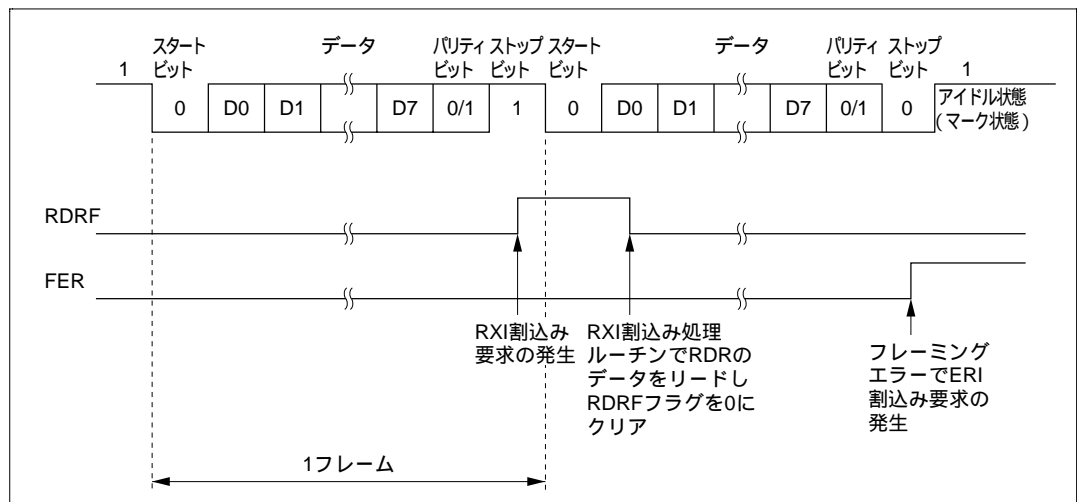


図 15.8 SCI の受信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの2つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 15.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

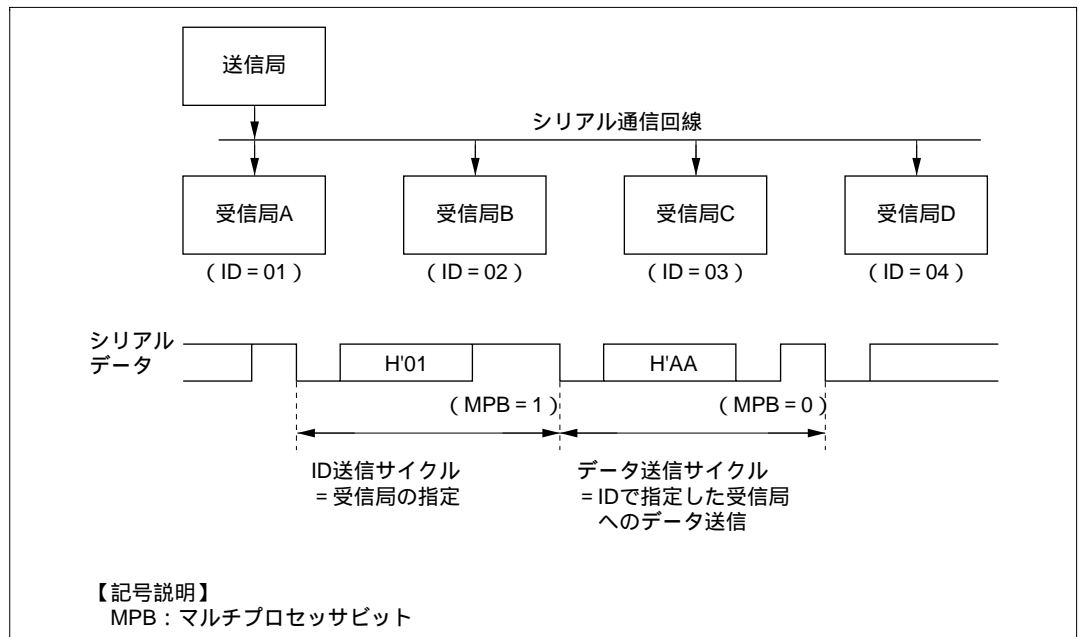


図 15.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 15.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順にしたがい行ってください。

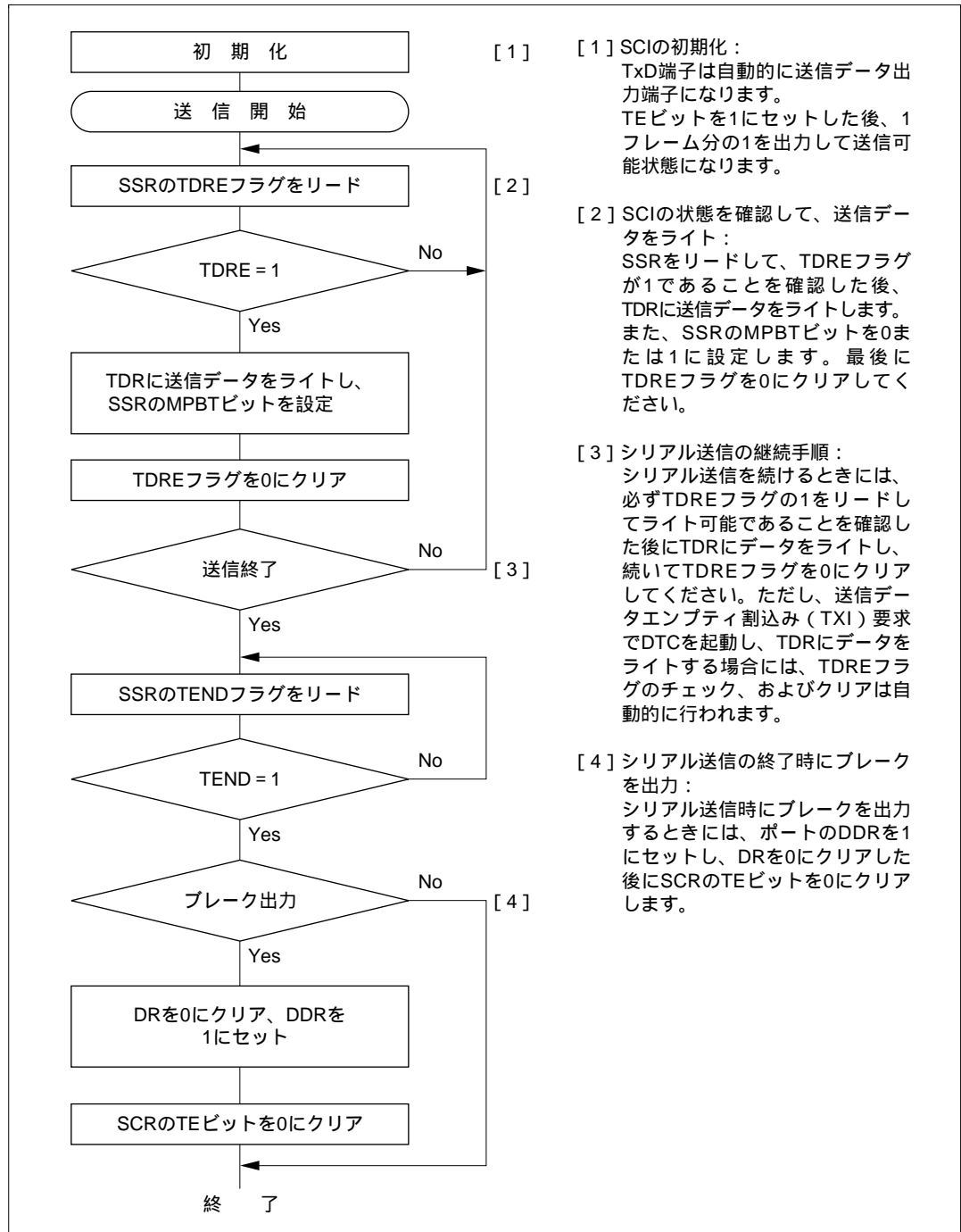


図 15.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- [1] SCI は、SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR にデータを転送します。
- [2] TDR から TSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。
このとき、SCR の TIE ビットが 1 にセットされていると送信データエンプティ割込み (TXI) 要求を発生します。
シリアル送信データは、以下の順に TxD 端子から送り出されます。
 - [a] スタートビット：
1 ビットの 0 が出力されます。
 - [b] 送信データ：
8 ビット / 7 ビットのデータが LSB から順に出力されます。
 - [c] マルチプロセッサビット：
1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
 - [d] ストップビット：
1 ビット / 2 ビットの 1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- [3] SCI は、ストップビットを送り出すタイミングで TDRE フラグをチェックします。
TDRE フラグが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDRE フラグが 1 であると SSR の TEND フラグを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると送信終了割込み (TEI) 要求を発生します。

図 15.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

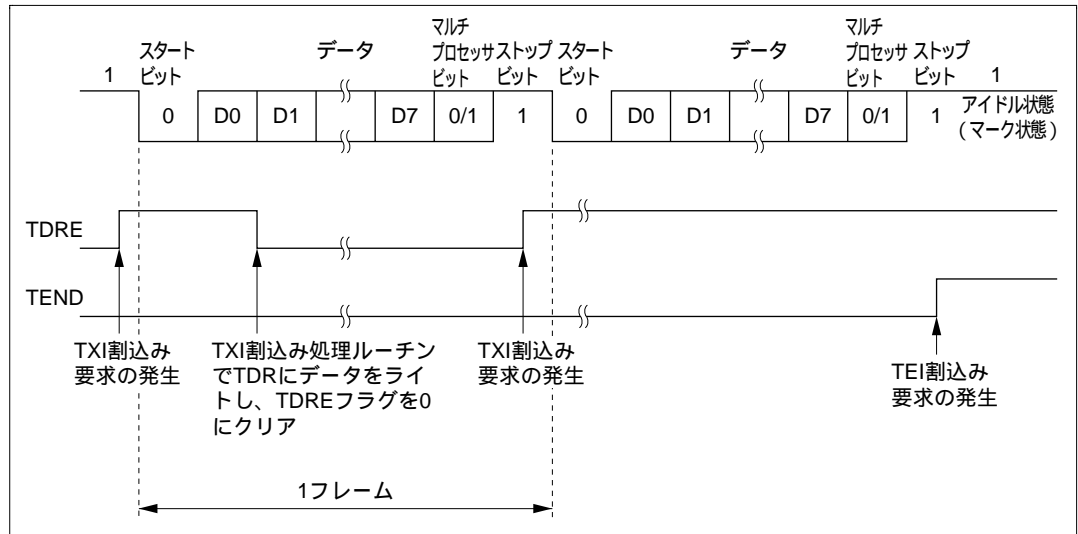


図 15.11 SCI の送信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 15.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、以下の手順にしたがい行ってください。

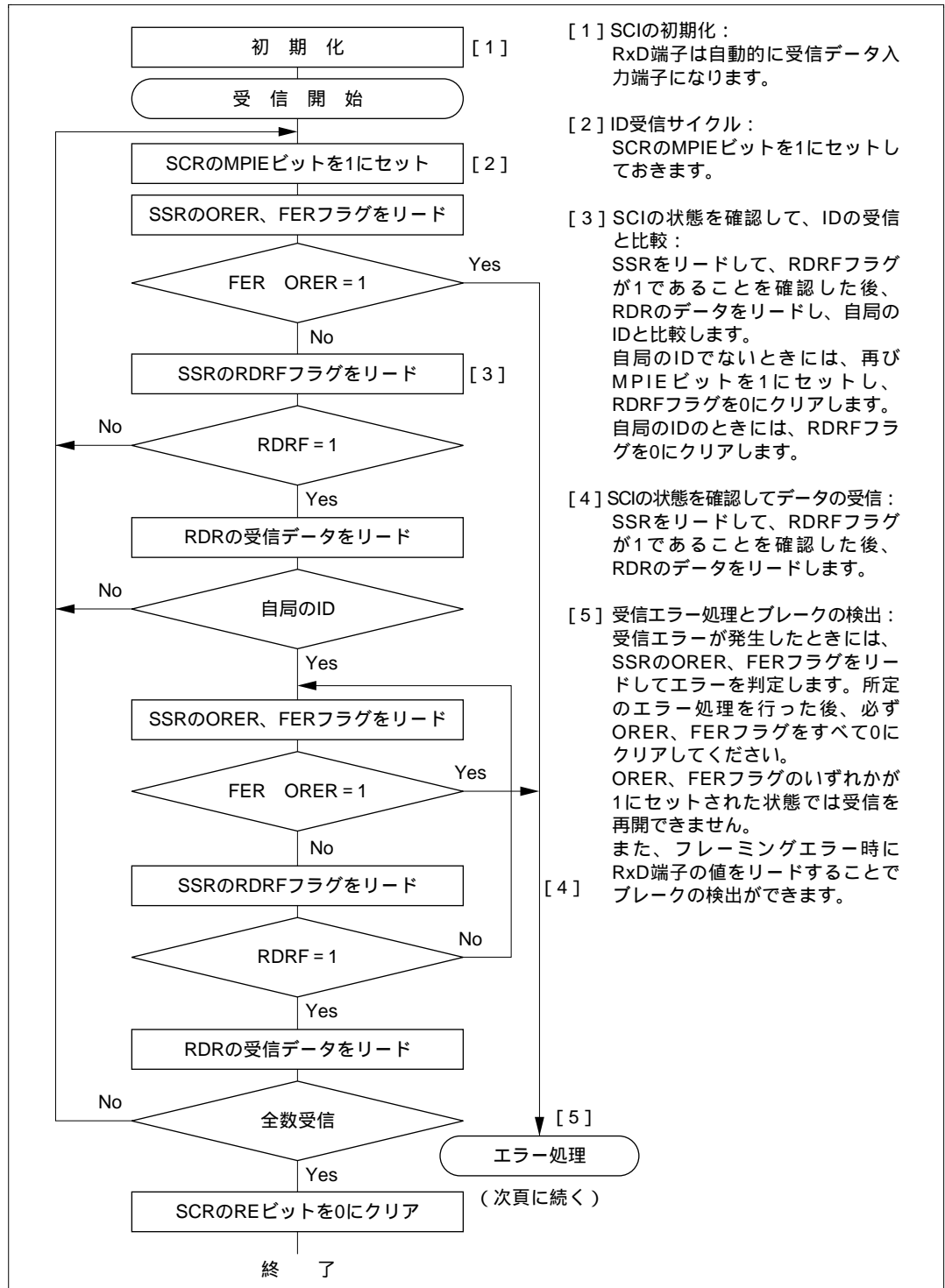


図 15.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

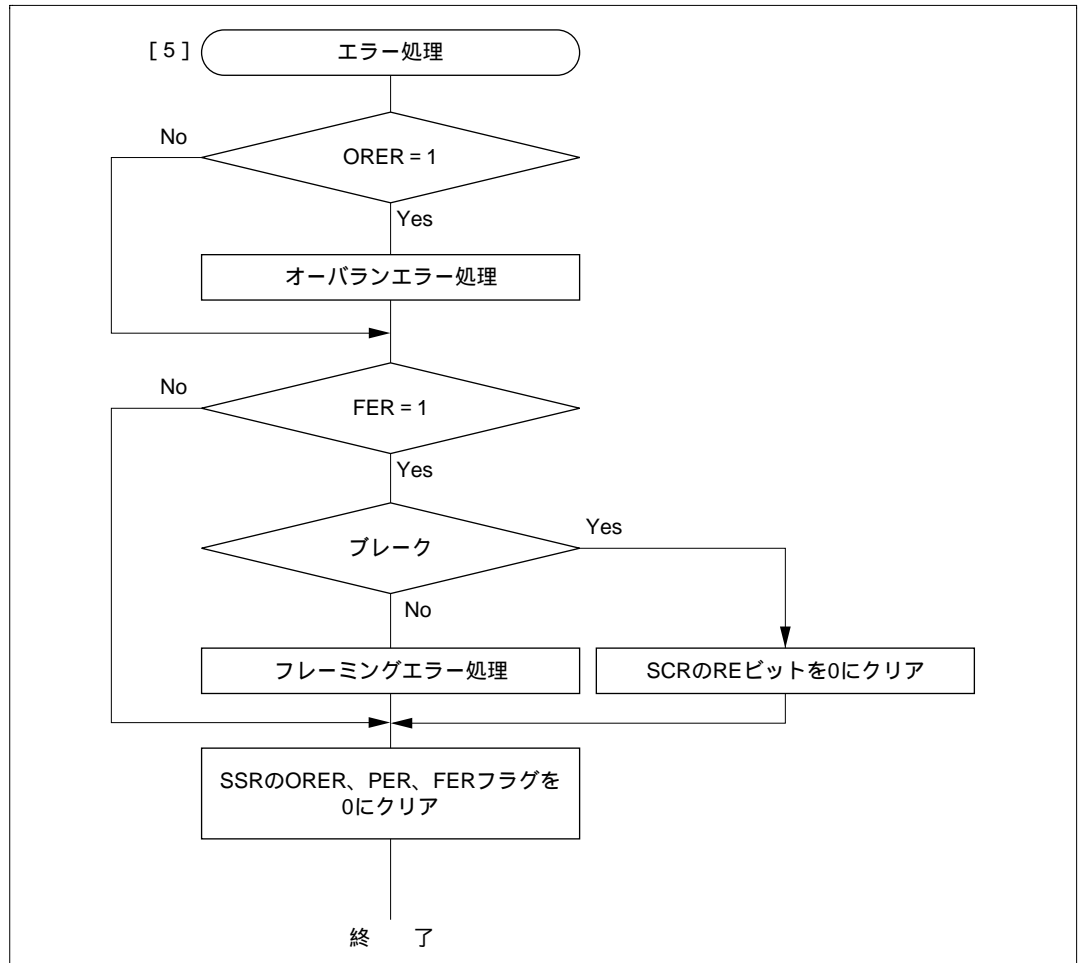


図 15.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 15.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

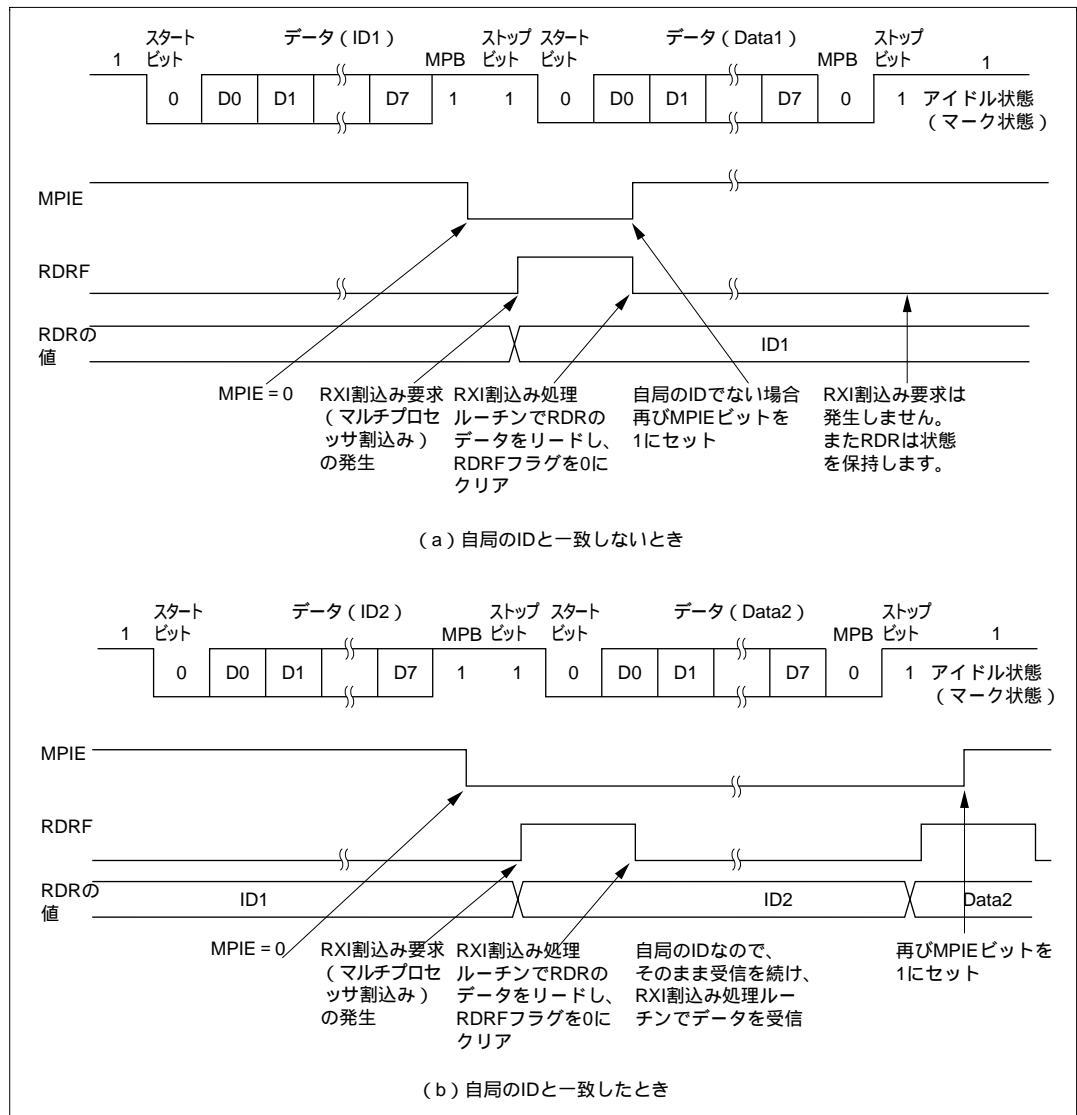


図 15.13 SCI の受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.14 に示します。

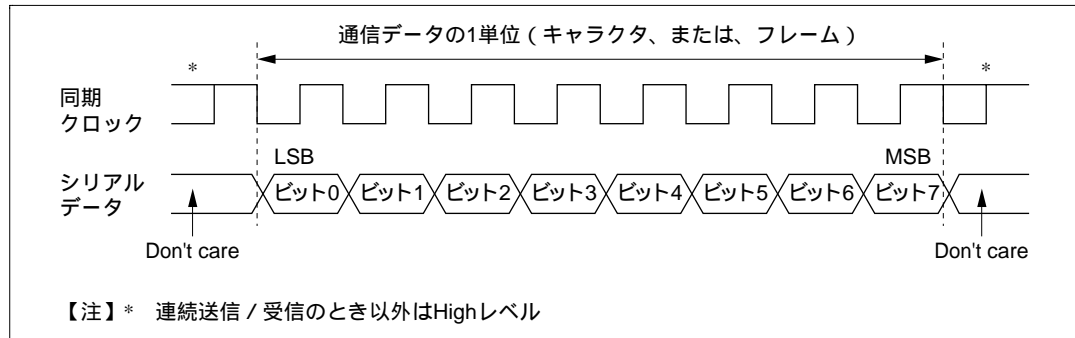


図 15.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりで同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表15.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順にしたがい SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 15.15 に SCI の初期化フローチャートの例を示します。

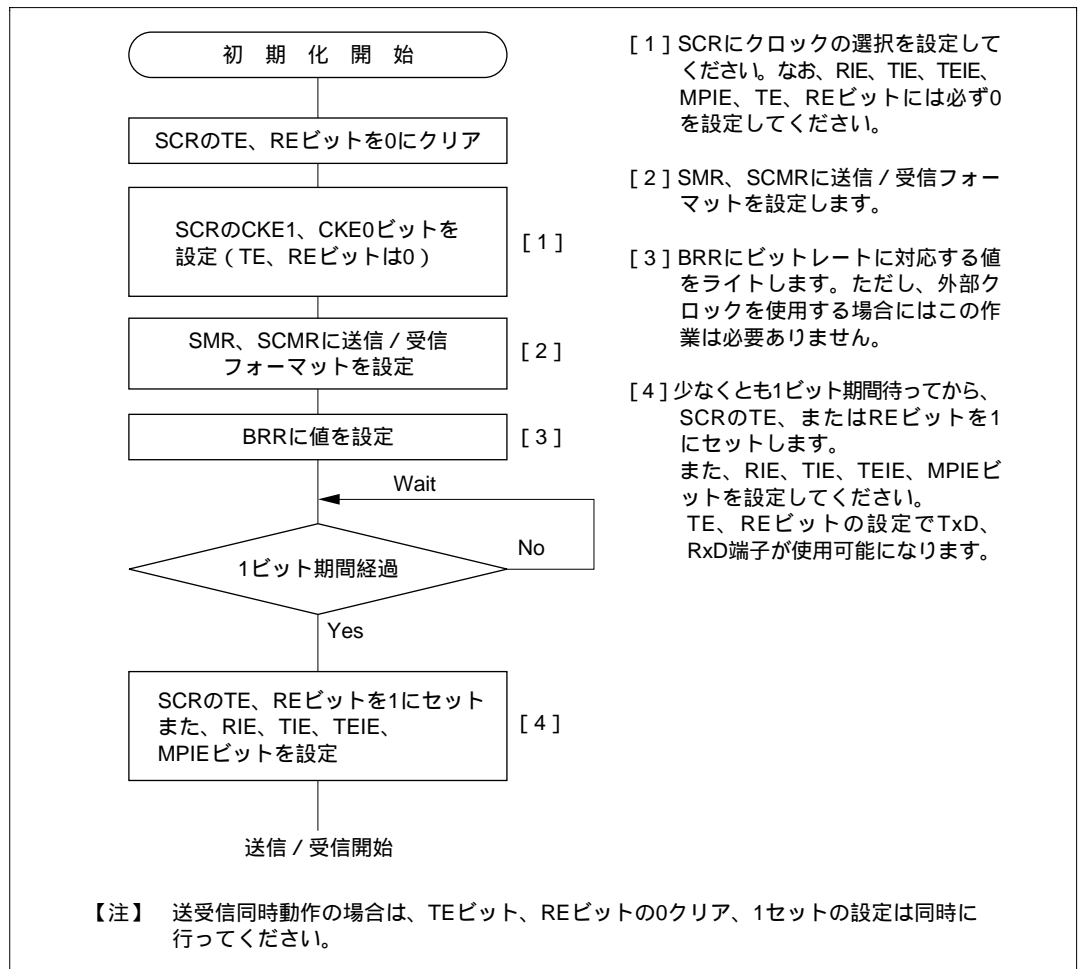


図 15.15 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 15.16 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順にしたがい行ってください。

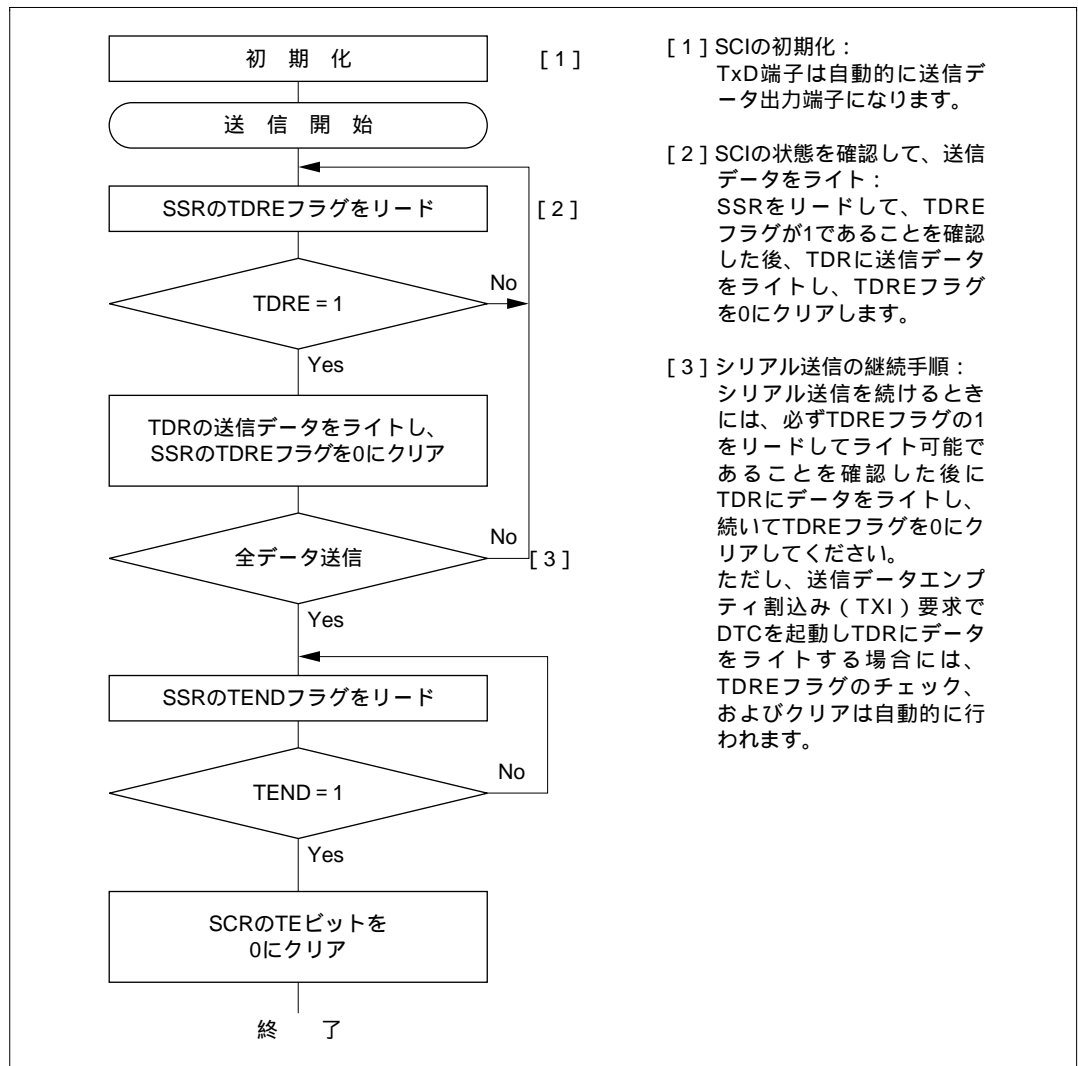


図 15.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCI は、SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR にデータを転送します。
- [2] TDR から TSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。このとき、SCR の TIE ビットが 1 にセットされていると送信データエンプティ割込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCI は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット 0) から MSB (ビット 7) の順に TxD 端子から送り出されます。
- [3] SCI は、MSB (ビット 7) を送り出すタイミングで TDRE フラグをチェックします。TDRE フラグが 0 であると TDR から TSR にデータを転送し、次フレームのシリアル送信を開始します。
TDRE フラグが 1 であると SSR の TEND フラグを 1 にセットし、MSB (ビット 7) を送り出した後、TxD 端子は状態を保持します。
このとき SCR の TEIE ビットが 1 にセットされていると送信終了割込み (TEI) 要求を発生します。
- [4] シリアル送信終了後は、SCK 端子は固定になります。

図 15.17 に SCI の送信時の動作例を示します。

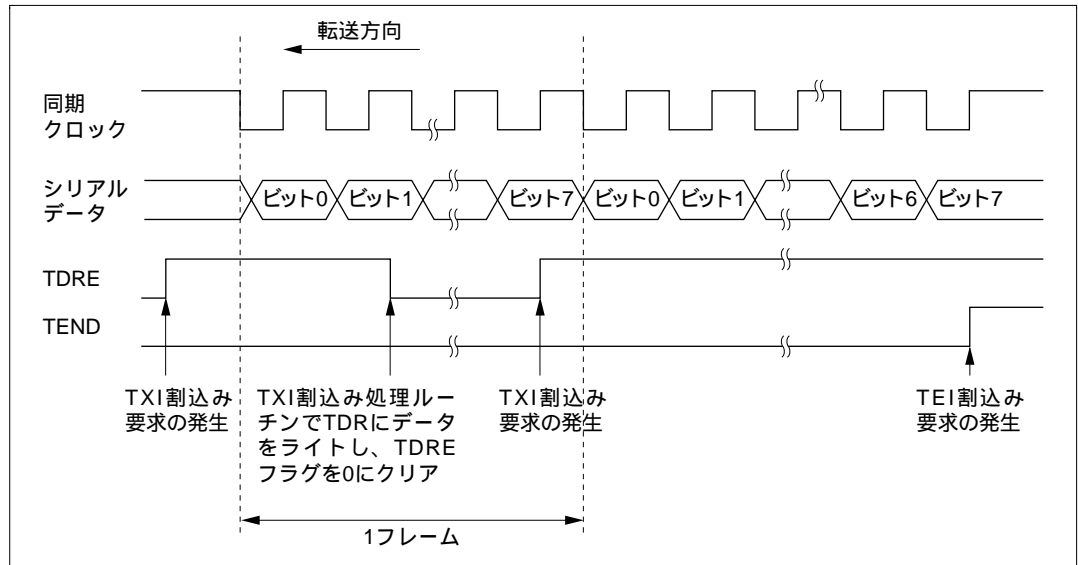


図 15.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 15.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順にしたがい行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

FER、PERフラグが1にセットされているとRDRFフラグがセットされません。また、送信動作および受信動作のいずれも行うことができません。

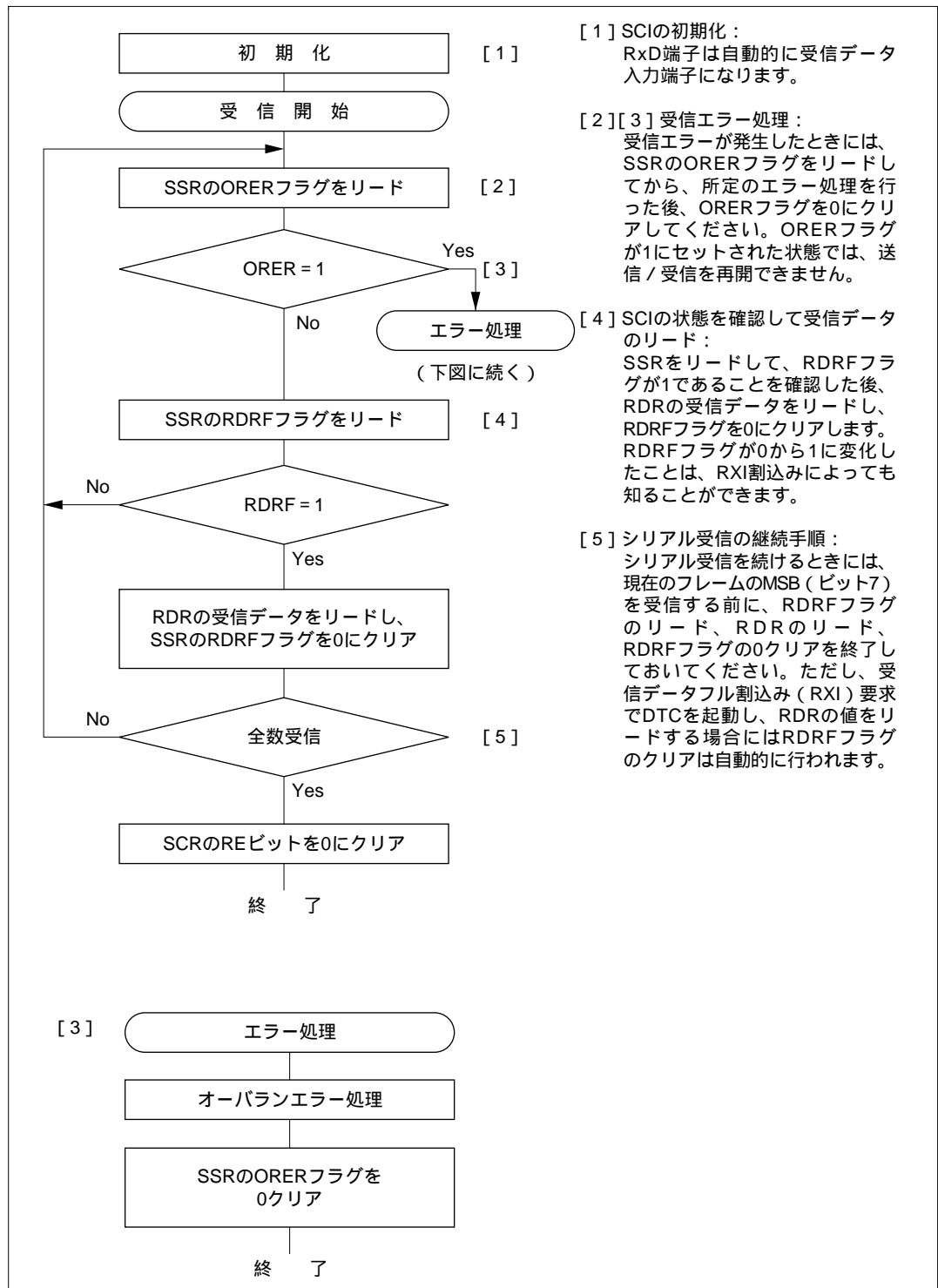


図 15.18 シリアルデータ受信フローチャートの例

SCI は受信時に以下のように動作します。

- [1] SCI は同期クロックの入力または出力に同期して内部を初期化します。
- [2] 受信したデータを RSR の LSB から MSB の順に格納します。
 受信後、SCI は、RDRF フラグが 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。
 このチェックを満足したとき RDRF フラグが 1 にセットされ、RDR に受信データが格納されます。エラーチェックで受信エラーを発生すると、表 15.11 のように動作します。
- [3] RDRF フラグが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信データフル割込み (RXI) 要求を発生します。
 また、ORER フラグが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割込み (ERI) 要求を発生します。

図 15.19 に SCI の受信時の動作例を示します。

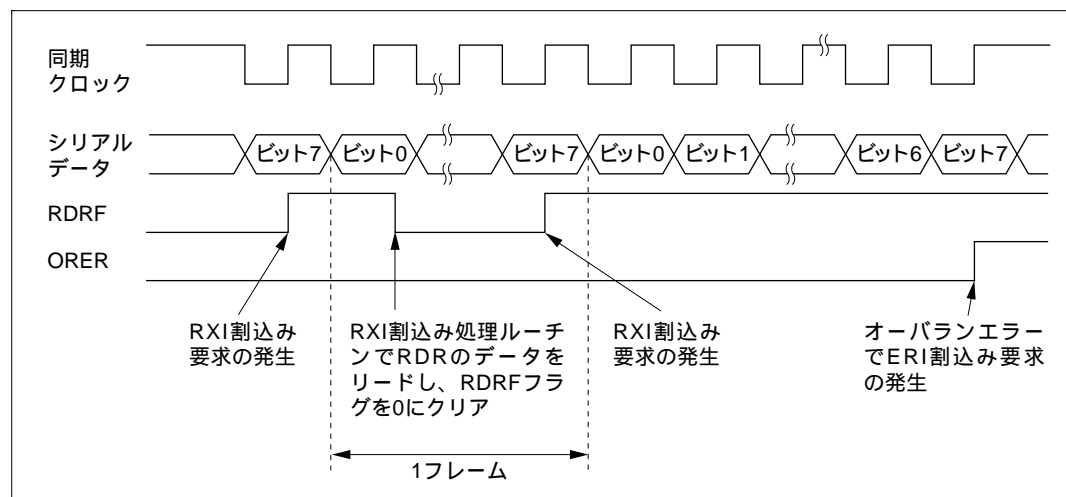


図 15.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順にしたがい行ってください。

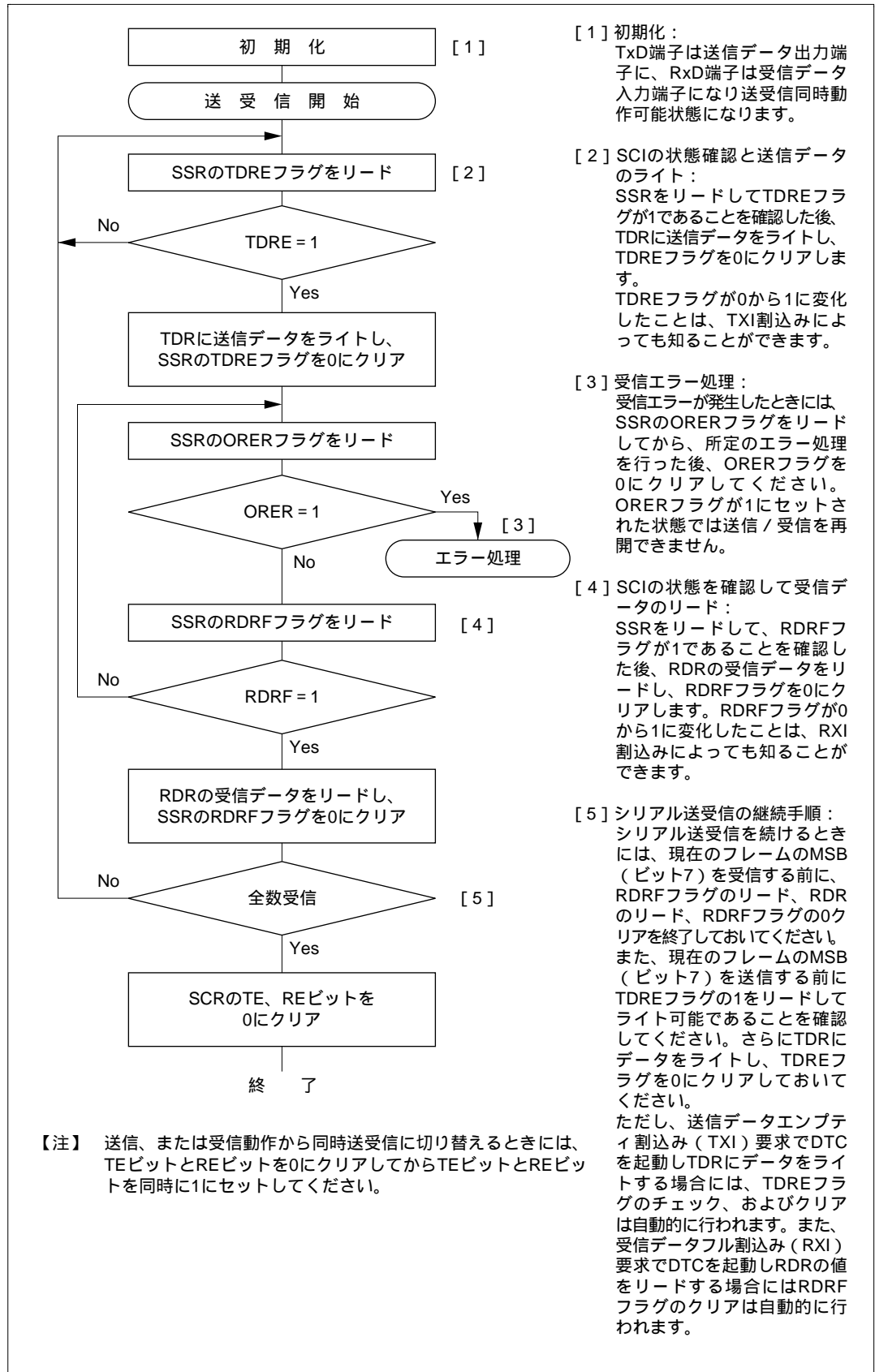


図 15.20 シリアル送受信同時動作のフローチャートの例

15.3.5 IrDA 動作

図 15.21 に IrDA のブロック図を示します。

KBCOMP の IrE ビットで IrDA 機能をイネーブルにすると、SCI チャンネル 2 の TxD2/RxD2 信号は、IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTxD/IrRxD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、通信は 9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

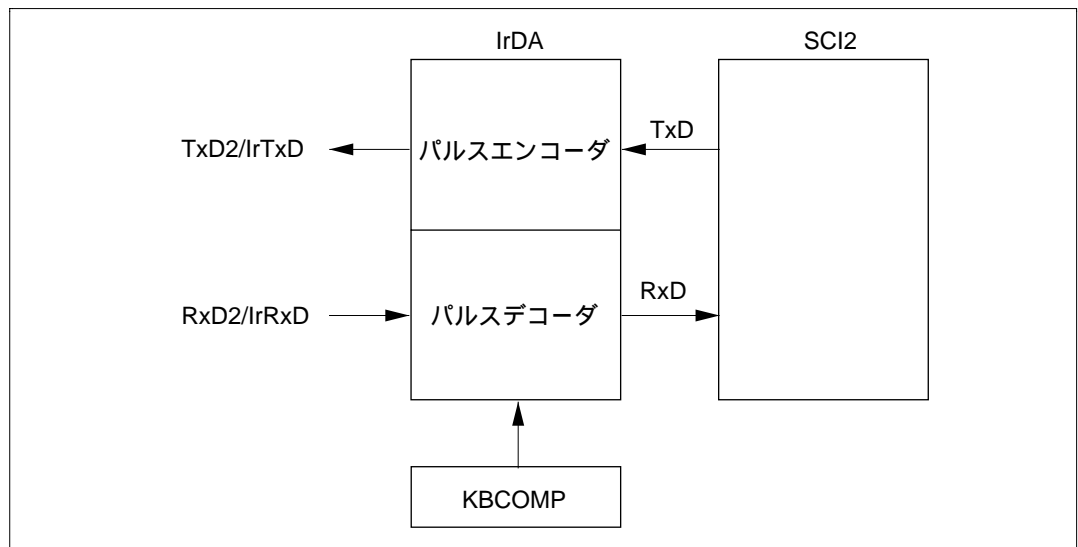


図 15.21 IrDA ブロック図

(1) 送信

送信時に、SCI からの出力信号 (UART フレーム) は、IrDA インタフェースにより、IR フレームに変換されます (図 15.22 参照)。

シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $3/16$ の High パルスが出力されます (初期値)。なお、High パルスは、KBCOMP の IrCKS2 ~ IrCKS0 ビットの設定値により変化させることも可能です。

High パルス幅は、最小 $1.41 \mu\text{s}$ 、最大 $(3/16 + 2.5\%) \times \text{ビットレート}$ 、または $(3/16 \times \text{ビットレート}) + 1.08 \mu\text{s}$ と定められています。システムクロック が 20MHz のとき、 $1.41 \mu\text{s}$ 以上で最小の High パルス幅としては、 $1.6 \mu\text{s}$ が設定可能です。

また、シリアルデータが 1 の時は、パルスは出力されません。

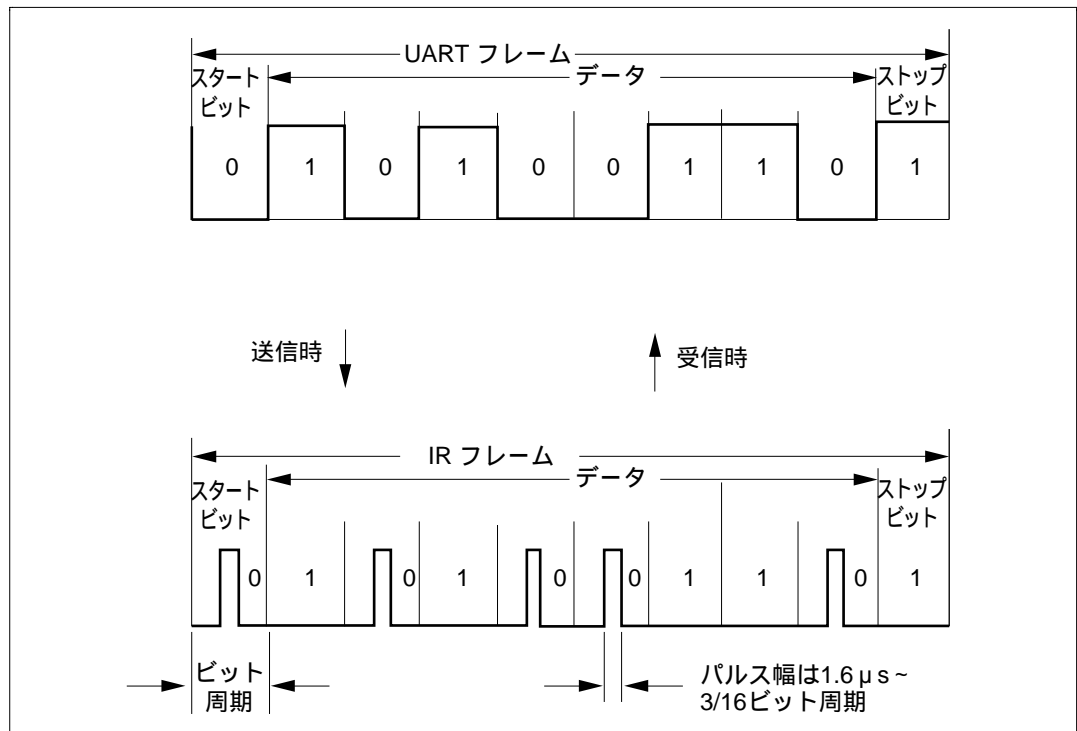


図 15.22 IrDA の送信 / 受信動作

(2) 受信

受信時には、IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI に入力されます。

High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の $1.41 \mu\text{s}$ より短いパルスも 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート×3/16 よりパルス幅を短くする場合に、適用可能な IrCKS2 ~ IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 15.12 に示します。

表 15.12 IrCKS2 ~ IrCKS0 ビット設定

動作周波数 (MHz)	ビットレート(bps) (上段) / ビット周期×3/16(μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	-
2.097152	010	010	010	010	010	-
2.4576	010	010	010	010	010	-
3	011	011	011	011	011	-
3.6864	011	011	011	011	011	011
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101

【記号説明】

- : SCI 側のビットレート設定ができません。

15.4 SCI 割込み

SCI には、送信終了割込み (TEI) 要求、受信エラー割込み (ERI) 要求、受信データフル割込み (RXI) 要求、送信データエンpty割込み (TXI) 要求の 4 種類の割込み要因があります。表 15.13 に各割込み要因と優先順位を示します。各割込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割込み要求はそれぞれ独立に割込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割込み要求が発生します。TXI 割込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割込み要求で DTC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割込み要求が発生します。RXI 割込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割込み要求で DTC の起動はできません。

表 15.13 SCI 割込み要因

チャンネル	割込み要因	内 容	DTC の起動	優先順位*
0	ERI	受信エラー (ORER、FER、PER) による割込み	不可	高 ↑ 低
	RXI	受信データフル (RDRF) による割込み	可	
	TXI	送信データエンpty (TDRE) による割込み	可	
	TEI	送信終了 (TEND) による割込み	不可	
1	ERI	受信エラー (ORER、FER、PER) による割込み	不可	
	RXI	受信データフル (RDRF) による割込み	可	
	TXI	送信データエンpty (TDRE) による割込み	可	
	TEI	送信終了 (TEND) による割込み	不可	
2	ERI	受信エラー (ORER、FER、PER) による割込み	不可	
	RXI	受信データフル (RDRF) による割込み	可	
	TXI	送信データエンpty (TDRE) による割込み	可	
	TEI	送信終了 (TEND) による割込み	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は、割込みコントローラにより変更可能です。

TEI 割込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に行われます。このため、TEI 割込みと TXI 割込みが同時に要求されると TXI 割込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割込みは受け付けられませんので注意してください。

15.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 15.14 のようになります。また、オーバランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 15.14 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送		受信エラーの状態
RDRF	ORER	FER	PER	RSR	RDR	
1	1	0	0	x		オーバランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	x		オーバランエラー + フレーミングエラー
1	1	0	1	x		オーバランエラー + パリティエラー
0	0	1	1			フレーミングエラー + パリティエラー
1	1	1	1	x		オーバランエラー + フレーミングエラー + パリティエラー

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は TxD 端子に対応するポートの DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 15.23 に示します。

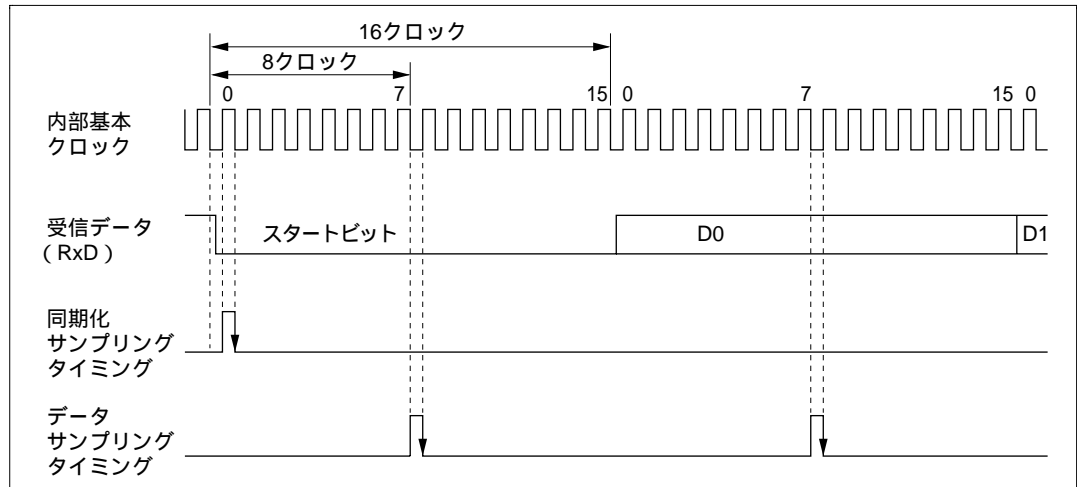


図 15.23 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

...式(1)

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、受信マージンは式(2)より 46.875% となります。

D = 0.5、F = 0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\%$$

...式(2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(7) DTC 使用上の制約事項

(a) 同期クロックに外部クロックソースを使用する場合、DTC による TDR の更新後、クロックで 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 クロック以内に送信クロックを入力すると、誤動作することがあります (図 15.24)。

(b) DTC により、RDR のリードを行うときは必ず起動要因を当該 SCI の受信完了割込み (RXI) に設定してください。

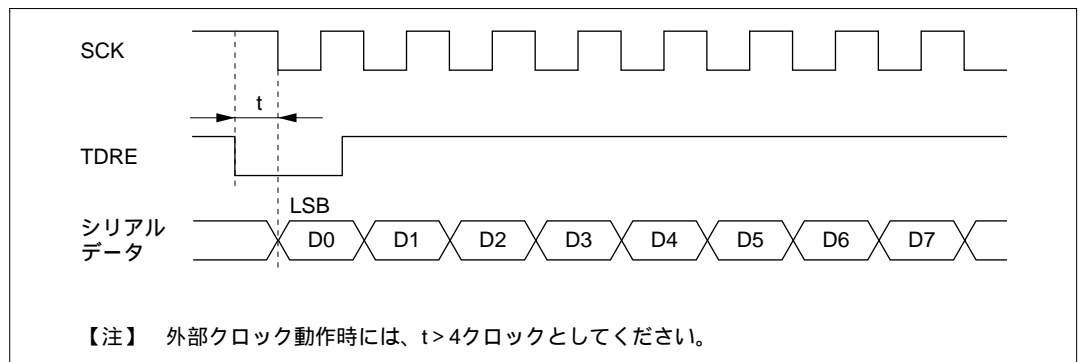


図 15.24 DTC によるクロック同期式送信時の例

16. I²C バスインタフェース (IIC) 【オプション】

H8S/2148 シリーズ、H8S/2147N にはオプションとして内蔵可能です。
H8S/2144 シリーズには内蔵していません。

I²C バスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。

- 1 マスク ROM 版では、オプション機能を使用する製品型名には“ W ”が付加されます。
例：HD6432147SWFA 等
- 2 F-ZTAT 版では製品型名は同一ですが、本オプション機能を使用する場合には、必ずその旨当社営業担当者にご連絡をお願いします。

第 16 章 目次

16.1	概要	511
16.1.1	特長	511
16.1.2	ブロック図	512
16.1.3	端子構成	514
16.1.4	レジスタ構成	515
16.2	各レジスタの説明	516
16.2.1	I ² C バスデータレジスタ (ICDR)	516
16.2.2	スレーブアドレスレジスタ (SAR)	518
16.2.3	第 2 スレーブアドレスレジスタ (SARX)	520
16.2.4	I ² C バスモードレジスタ (ICMR)	521
16.2.5	I ² C バスコントロールレジスタ (ICCR)	524
16.2.6	I ² C バスステータスレジスタ (ICSR)	530
16.2.7	シリアルタイムコントロールレジスタ (STCR)	536
16.2.8	DDC スイッチレジスタ (DDCSWR)	537
16.2.9	モジュールストップコントロールレジスタ (MSTPCR)	540
16.3	動作説明	541
16.3.1	I ² C バスデータフォーマット	541

16. I²C バスインタフェース (IIC)

16.3.2	マスタ送信動作.....	543
16.3.3	マスタ受信動作.....	545
16.3.4	スレーブ受信動作	547
16.3.5	スレーブ送信動作	549
16.3.6	IRIC セットタイミングと SCL 制御.....	551
16.3.7	フォーマットレスから I ² C バスフォーマットへの自動切り替え.....	552
16.3.8	DTC による動作.....	553
16.3.9	ノイズ除去回路.....	554
16.3.10	使用例	555
16.3.11	内部状態の初期化	558
16.4	使用上の注意.....	560

16.1 概要

本 LSI は、2 チャンネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェースは、Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

I²C バスインタフェースを用いたデータ転送は、各チャンネルで、データライン (SDA) 1 本、クロックライン (SCL) 1 本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。

16.1.1 特長

アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

- ・ I²C バスフォーマット: アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
- ・ シリアルフォーマット: ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

I²C バスフォーマットは、Philips 社提唱の I²C バスインタフェースに準拠

I²C バスフォーマットで、スレーブアドレスを 2 通り設定可能

I²C バスフォーマットで、マスタモード時、開始、停止条件の自動生成

I²C バスフォーマットで、受信時、アクノリッジの出力レベルを選択可能

I²C バスフォーマットで、送信時、アクノリッジビットの自動ロード機能

I²C バスフォーマットで、マスタモード時のウェイト機能

- ・ アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割込みフラグをクリアすることで解除。

I²C バスフォーマットで、スレーブモード時のウェイト機能

- ・ アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。

3 種類の割込み要因

- ・ データ転送終了時 (I²C バスフォーマットで送信モード遷移時、および、マスタ競合負け後のアドレス受信を含む)
- ・ アドレス一致時: I²C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したときまたはゼネラルコールアドレスを受信したとき
- ・ 停止条件検出時

マスタモード時、16 種類の内部クロック選択可能

バスを直接駆動 (SCL/SDA 端子)

- ・ P52/SCL0、P97/SDA0 の 2 端子は、通常時は NMOS プッシュプル出力、バス駆動機能選択時は NMOS オープンドレイン出力。
- ・ P86/SCL1、P42/SDA1 の 2 端子は、通常時は CMOS 端子、バス駆動機能選択時は NMOS のみで出力。

フォーマットレスから I²C バスフォーマットへ自動切換えが可能 (チャンネル 0 のみ)

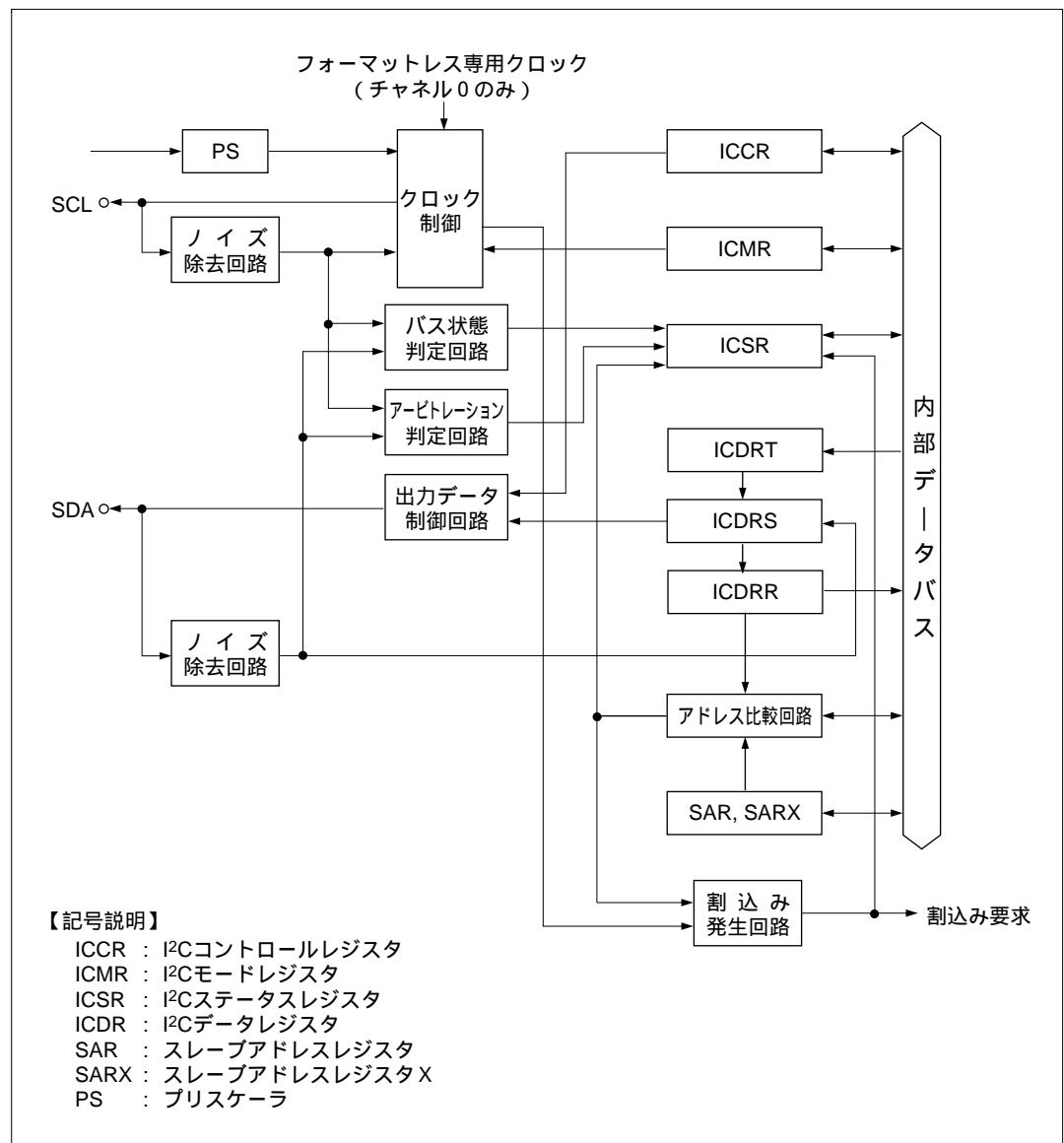
- ・ スレーブモードのフォーマットレス (開始条件 / 終了条件なし、ノンアドレッシング) の動作
- ・ データ端子共通 (SDA)、クロック端子独立 (VSYNCL、SCL) の端子構成で動作
- ・ SCL の立ち下がりで、自動的にフォーマットレスから I²C バスフォーマットに切り替え

16.1.2 ブロック図

I²C バスインタフェースのブロック図を図 16.1 に示します。

入出力端子の外部回路接続例を、図 16.2 に示します。チャンネル 0 の入出力端子とチャンネル 1 の入出力端子では端子構造が違うため、端子に印加可能な電圧仕様が異なります。

詳細は「26. 電气的特性」を参照してください。

図 16.1 I²Cバスインタフェースのブロック図

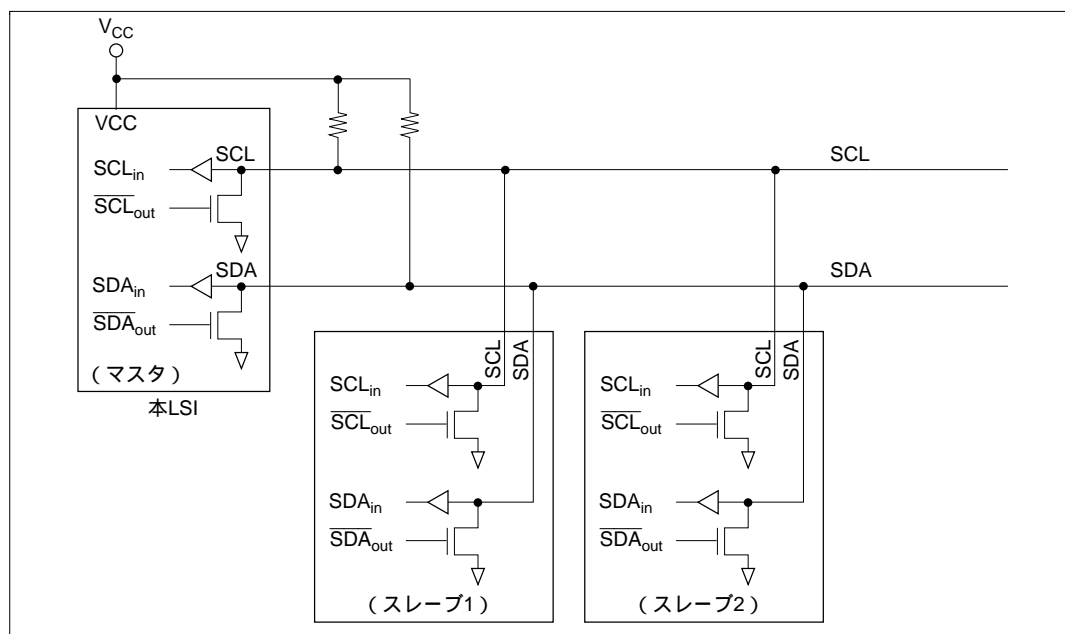


図 16.2 I²C バスインタフェース接続例 (本 LSI がマスタの場合)

16.1.3 端子構成

I²C バスインタフェースで使用する端子を表 16.1 に示します。

表 16.1 端子構成

チャンネル	名 称	記号*	入出力	機 能
0	シリアルクロック端子	SCL0	入出力	IIC0 シリアルクロック入出力端子
	シリアルデータ端子	SDA0	入出力	IIC0 シリアルデータの入出力端子
	フォーマットレス シリアルクロック端子	VSYNCl	入力	IIC0 フォーマットレス シリアルクロック入力端子
1	シリアルクロック端子	SCL1	入出力	IIC1 シリアルクロック入出力端子
	シリアルデータ端子	SDA1	入出力	IIC1 シリアルデータの入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

16.1.4 レジスタ構成

I²C バスインタフェースのレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス* ¹
0	I ² C バスコントロールレジスタ	ICCR0	R/W	H'01	H'FFD8
	I ² C バスステータスレジスタ	ICSR0	R/W	H'00	H'FFD9
	I ² C バスデータレジスタ	ICDR0	R/W	-	H'FFDE* ²
	I ² C バスモードレジスタ	ICMR0	R/W	H'00	H'FFDF* ²
	スレーブアドレスレジスタ	SAR0	R/W	H'00	H'FFDF* ²
	第 2 スレーブアドレスレジスタ	SARX0	R/W	H'01	H'FFDE* ²
1	I ² C バスコントロールレジスタ	ICCR1	R/W	H'01	H'FF88
	I ² C バスステータスレジスタ	ICSR1	R/W	H'00	H'FF89
	I ² C バスデータレジスタ	ICDR1	R/W	-	H'FF8E* ²
	I ² C バスモードレジスタ	ICMR1	R/W	H'00	H'FF8F* ²
	スレーブアドレスレジスタ	SAR1	R/W	H'00	H'FF8F* ²
	第 2 スレーブアドレスレジスタ	SARX1	R/W	H'01	H'FF8E* ²
共通	シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFC3
	DDC スイッチレジスタ	DDCSWR	R/W	H'0F	H'FEE6
	モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
		MSTPCRL	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 I²C バスコントロールレジスタの ICE ビットによりリード/ライトできるレジスタが変わります。ICE = 0 のときスレーブアドレスレジスタ、ICE = 1 のとき I²C バスモードレジスタとなります。

I²C バスインタフェースのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。

16.2 各レジスタの説明

16.2.1 I²C バスデータレジスタ (ICDR)

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICDRR

ビット :	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

ICDRS

ビット :	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

ICDRT

ビット :	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0
初期値 :	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W

TDRE、RDRF (内部フラグ)

ビット :		-	-
		TDRE	RDRF
初期値 :		0	0
R/W :		-	-

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。それぞれ CPU からのリード/ライト不可、リード専用およびライト専用となっています。3本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、TDRE や RDRF などの内部フラグの状態に影響を与えます。

送信モードで ICDRT の次のデータがある場合 (TDRE フラグが 0 の場合) ICDRS で 1 フレームのデータを送信後、自動的に ICDRT から ICDRS へデータが転送されます。受信モードで ICDRR に以前のデータがない場合 (RDRF フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に受信終了後、自動的に ICDRS から ICDRR にデータが転送されます。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS = 0 のとき MSB 側に、MLS = 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS = 0 のとき LSB 側から、MLS = 1 のとき MSB 側から読み出したビットを有効にしてください。

ICDR は、SARX と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICDR のリード/ライトが可能です。

ICDR のリセット時の値は不定です。

TDRE、RDRF フラグは、次のような条件でセット/クリアされます。TDRE、RDRF フラグのセットは、割込みフラグの状態に影響を与えます。

TDRE	説明
0	送信開始不可、または、ICDR (ICDRT) に次の送信データが存在 (初期値) 〔クリア条件〕 (1) 送信モード (TRS=1) で ICDR (ICDRT) に送信データをライトしたとき (2) I ² C バスフォーマットまたはシリアルフォーマットで停止条件を発行後、バスラインの状態から停止条件成立を検出したとき (3) I ² C バスフォーマットで停止条件を検出したとき (4) 受信モード (TRS=0) のとき (転送中の TRS の 0 ライトは、アクノリッジを含めたフレーム受信後に有効)
1	ICDR (ICDRT) に次の送信データをライト可能 〔セット条件〕 (1) 送信モード (TRS=1) のとき、I ² C バスフォーマット、シリアルフォーマットのマスタモードで開始条件を発行後、バスラインの状態から開始条件成立を検出したとき (2) I ² C バスモードからフォーマットレスに設定を切り替えた後、最初に送信モード (TRS=1) に設定したとき (1 回目のみ) (3) ICDRT から ICDRS にデータが転送されたとき (TRS=1 かつ TDRE=0 で ICDRS が空の場合、ICDRT ICDRS へデータ転送) (4) 受信モード (TRS=0) の状態で開始条件検出後、スレーブ受信モード (TRS=0) から送信モード (TRS=1) に切り替えたとき (1 回目のみ)

RDRF	説明
0	ICDR (ICDRR) にあるデータは無効 (初期値) 〔クリア条件〕 受信モードで ICDR (ICDRR) の受信データをリードしたとき
1	ICDR (ICDRR) の受信データをリード可能 〔セット条件〕 ICDRS から ICDRR にデータが転送されたとき (TRS = 0 かつ RDRF = 0 で受信正常終了の場合、ICDRS ICDRR へデータ転送)

16.2.2 スレーブアドレスレジスタ (SAR)

ビット :	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SAR は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定およびスレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は、ICMR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SAR のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時、SAR は H'00 に初期化されます。

ビット 7 ~ 1 : スレーブアドレス (SVA6 ~ SVA0)

SVA6 ~ SVA0 ビットには I²C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット0：フォーマットセレクト (FS)

SARX の FSX ビット、DDCSWR の SW ビットとともに、転送フォーマットを選択します。

- ・I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり
- ・クロック同期式シリアルフォーマット：
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用
- ・フォーマットレス (チャンネル0のみ)：
ノンアドレッシングフォーマットでアクノリッジビットありまたはアクノリッジビットなし、スレーブモード専用、開始条件 / 停止条件の検出なし

また、FS ビットは、スレーブモード時に SAR のスレーブアドレスの認識を行うか否かを選択します。

DDCSWR ビット6	SAR ビット0	SARX ビット0	動作モード
SW	FS	FSX	
0	0	0	I ² C バスフォーマット ・ SAR と SARX のスレーブアドレスを認識
		1	I ² C バスフォーマット (初期値) ・ SAR のスレーブアドレスを認識 ・ SARX のスレーブアドレスを無視
	1	0	I ² C バスフォーマット ・ SAR のスレーブアドレスを無視 ・ SARX のスレーブアドレスを認識
		1	クロック同期式シリアルフォーマット ・ SAR と SARX のスレーブアドレスを無視
1	0	0	フォーマットレス (開始条件 / 停止条件を検出しない)
		1	・ アクノリッジビットあり
	1	0	フォーマットレス (開始条件 / 停止条件を検出しない)
		1	・ アクノリッジビットなし

【注】 * DDCSWR の設定により I²C バスフォーマットへの自動切り換えを行う場合は、本モードに設定しないでください。

16.2.3 第2スレーブアドレスレジスタ (SARX)

ビット :	7	6	5	4	3	2	1	0
	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SARX は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定および第2スレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SARX の上位7ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は、ICDR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SARX のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時、SARX は H'01 に初期化されます。

ビット7~1 : 第2スレーブアドレス (SVAX6~SVAX0)

SVAX6~SVAX0 ビットには I²C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット0 : フォーマットセレクト X (FSX)

SAR の FS ビット、DDCSWR の SW ビットとともに、転送フォーマットを選択します。

- ・ I²C バスフォーマット : アドレッシングフォーマットでアクノリッジビットあり
- ・ クロック同期式シリアルフォーマット :
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用
- ・ フォーマットレス :
ノンアドレッシングフォーマットでアクノリッジビットありまたはアクノリッジビットなし、スレーブモード専用、開始条件・停止条件の検出なし

また、FSX ビットは、スレーブモード時に SARX のスレーブアドレスの認識を行うか否かを選択します。詳細は SAR の FS ビットの項を参照してください。

16.2.4 I²C バスモードレジスタ (ICMR)

ビット:	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICMR は、8 ビットのリード/ライト可能なレジスタで、MSB ファースト/LSB ファーストの選択、マスタモードウェイトの制御、マスタモード転送クロック周波数の選択、転送ビットの数の選択を行います。ICMR は、SAR と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICMR のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時、ICMR は H'00 に初期化されます。

ビット 7 : MSB ファースト/LSB ファースト選択 (MLS)

MSB ファーストでデータ転送するか、LSB ファーストでデータ転送するかを選択します。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側から、MLS ビットが 1 のとき MSB 側から読み出したビットを有効にしてください。

なお、I²C バスフォーマットで使用するときは、本ビットを 1 にセットしないでください。

ビット 7	説明
MLS	
0	MSB ファースト (初期値)
1	LSB ファースト

ビット6：ウェイト挿入ビット (WAIT)

I²C バスフォーマットでマスタモード時に、アクノリッジビットを除いたデータ転送後
をウェイト状態にするかどうかを設定します。WAIT=1 を設定した場合、データの最終
ビットのクロックが立ち下がった後、ICCR の IRIC フラグは1 にセットされ、ウェイト状
態 (SCL=Low レベル) となります。ICCR の IRIC フラグを0 にクリアすることでウェイ
ト状態を解除しアクノリッジの転送を行います。WAIT=0 を設定した場合、ウェイト状
態を挿入せず、データとアクノリッジを連続的に転送します。ICCR の IRIC フラグは、
WAIT の設定に関係なく、アクノリッジの転送が完了した時点で1 にセットされます。

スレーブモード時は、本ビットの設定は無効になります。

ビット6	説明
WAIT	
0	データとアクノリッジを連続的に転送 (初期値)
1	データとアクノリッジの間にウェイトを挿入

ビット5～3：転送クロック選択 (CKS2～CKS0)

CKS2～CKS0 ビットは、STCR レジスタの IICX1 ビット (チャンネル1)、IICX0 ビット (チ
ャネル0) との組み合わせにより、転送クロックの周波数を選択するビットで、マスタモ
ード時に使用します。必要な転送レートに合わせて設定をしてください。

STCR ビット5、6	ビット5 CKS2	ビット4 CKS1	ビット3 CKS0	クロック	転送レート				
					=5MHz	=8MHz	=10MHz	=16MHz	=20MHz
0	0	0	0	/28	179kHz	286kHz	357kHz	571kHz*	714kHz*
			1	/40	125kHz	200kHz	250kHz	400kHz	500kHz*
		1	0	/48	104kHz	167kHz	208kHz	333kHz	417kHz*
			1	/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

【注】 * I²C バスインタフェース仕様 (通常モード：最大 100kHz、高速モード：最大 400kHz) の範囲外となります。

ビット2~0 : ビットカウンタ (BC2~BC0)

BC2~BC0 ビットは、次に転送するデータのビット数を指定します。I²C バスフォーマット (SARのFS ビットまたはSARXのFSX ビットが0のとき) では、データにアクノリッジ分1ビットが加算されて転送されます。BC2~BC0ビットの設定は転送フレーム間で行ってください。また、BC2~BC0ビットに000以外を設定する場合は、SCLがLow状態のときに行ってください。

ビットカウンタは、リセット時および開始条件検出時000に初期化されます。また、アクノリッジを含むデータ転送終了後、000に再び戻ります。

ビット2 BC2	ビット1 BC1	ビット0 BC0	ビット/フレーム	
			クロック同期式 シリアルフォーマット	I ² C バスフォーマット
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

16.2.5 I²C バスコントロールレジスタ (ICCR)

ビット:	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	W

【注】* フラグをクリアするための0ライトのみ可能です。

ICCR は、8 ビットのリード/ライト可能なレジスタで、I²C バスインタフェースの動作/非動作、割込みの許可/禁止、マスタモード/スレーブモード、送信/受信、アクノリッジの有効/無効の選択、I²C バスインタフェースのバス状態の確認、開始/停止条件の発行、および割込みフラグの確認を行います。

リセットまたはハードウェアスタンバイモード時、ICCR は H'01 に初期化されます。

ビット7: I²C バスインタフェースイネーブル (ICE)

ICE ビットは、I²C バスインタフェースを使用する/使用しないを選択します。ICE ビットを 1 にセットすると、本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICE ビットを 0 にクリアすると、本モジュールは機能を停止し、内部状態をクリアします。

ICE = 0 のとき SAR および SARX が有効になり、ICE = 1 のとき ICMR および ICDR が有効になります。

ビット7	説明
ICE	
0	本モジュールは非動作状態 (SCL/SDA 端子はポート機能) (初期値) IIC モジュールの内部状態の初期化 SAR、SARX がアクセス可能
1	本モジュールは転送動作可能状態 (SCL/SDA 端子はバス駆動状態) ICMR、ICDR がアクセス可能

ビット6: I²C バスインタフェース割込みイネーブル (IEIC)

IEIC ビットは、I²C バスインタフェースから CPU に対する割込みの許可/禁止を選択します。

ビット6	説明
IEIC	
0	割込み要求を禁止 (初期値)
1	割込み要求を許可

ビット5：マスタ/スレーブ選択 (MST)

ビット4：送信/受信選択 (TRS)

MST ビットは、I²C バスインタフェースをマスタモードで使用するか、スレーブモードで使用するかを選択するビットです。

TRS ビットは、I²C バスインタフェースを受信モードで使用するか、送信モードで使用するかを選択するビットです。

I²C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットは共にハードウェアによってリセットされ、スレーブ受信モードに変わります。また、スレーブ受信モードでアドレッシングフォーマット (FS=0 または FSX=0) のとき、開始条件直後の第1フレームの R \bar{W} ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。

転送中の TRS ビットの変更は、アクノリッジを含めたフレーム転送完了まで保留され、転送完了後に切り替わります。

MST と TRS ビットとの組合せにより下表のような動作モードになります。

ビット5	ビット4	動作モード
MST	TRS	
0	0	スレーブ受信モード (初期値)
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

ビット5	説明
MST	
0	スレーブモード (初期値) 〔クリア条件〕 (1) ソフトウェアにより0をライトしたとき (2) I ² C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき
1	マスタモード 〔セット条件〕 (1) ソフトウェアにより1をライトしたとき (クリア条件(2)以外の場合) (2) MST=0 をリード後、1をライトしたとき (クリア条件(2)の場合)

ビット4	説明
TRS	
0	受信モード (初期値) [クリア条件] (1) ソフトウェアにより 0 をライトしたとき (セット条件(3)以外の場合) (2) TRS = 1 をリード後、0 をライトしたとき (セット条件(3)の場合) (3) I ² C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき (4) DDCSWR の SW ビットが 1 から 0 に変化したとき
1	送信モード [セット条件] (1) ソフトウェアにより 1 をライトしたとき (クリア条件(3)(4)以外の場合) (2) TRS = 0 をリード後、1 をライトしたとき (クリア条件(3)(4)の場合) (3) I ² C バスフォーマットのスレーブモードで第 1 フレームの R \bar{W} ビットとして 1 を受信したとき

ビット 3 : アクノリッジビット判定選択 (ACKE)

ACKE ビットは、I²C バスフォーマットで受信デバイスから返されるアクノリッジビットの内容を無視して連続的に転送を行なうか、アクノリッジビットが 1 ならば転送を中断してエラー処理等を行うかを選択します。ACKE ビットが 0 の場合には、受信したアクノリッジビットの内容は ACKB ビットに反映されず、ACKB ビットは常時 0 となります。

本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割込みフラグ (IRIC と IRTR) のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に TDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると TDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。

DTC が起動されると、所定のデータ転送を実行した後、TDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割込みが発生しませんが、ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、全く意味をもたず 1 固定の場合があります。

ビット3	説明
ACKE	
0	アクノリッジビットの内容を無視して、連続的に転送を行う (初期値)
1	アクノリッジビットが1の場合、連続的な転送を中断する

ビット2 : バスビジー (BBSY)

BBSY フラグをリードすることにより、I²C バス (SCL、SDA) が占有されているか解放されているかを確認できます。また、マスタモードでは開始条件、停止条件を発行する際に使用します。

BBSY フラグは、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると開始条件が発行されたと認識し、1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると停止条件が発行されたと認識し、0 にクリアされます。

開始条件を発行する場合、BBSY = 1 かつ SCP = 0 をライトします。開始条件の再送信時にも同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 をライトすることで行います。開始条件 / 停止条件の発行は、MOV 命令を用います。

スレーブモード時の BBSY フラグのライトは無効です。すなわち、開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY = 1 かつ SCP = 0 をライトする以前に、MST = 1 かつ TRS = 1 を設定してください。

ビット2	説明
BBSY	
0	バス解放状態 (初期値) 〔クリア条件〕・停止条件検出時
1	バス占有状態 〔セット条件〕・開始条件検出時

ビット1 : I²C バスインタフェース割込み要求フラグ (IRIC)

IRIC フラグは、I²C バスインタフェースが CPU に対して割込み要求を発生させたことを示します。IRIC フラグは、データ転送終了時、スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出したとき、マスタ送信モードでバス競合負けをしたとき、または停止条件検出時に 1 にセットされます。SAR の FS ビットと ICMR の WAIT ビットの組合せにより IRIC フラグのセットタイミングが異なりますので、「16.3.6 IRIC セットタイミングと SCL 制御」の項を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。

IRIC フラグのクリアは、IRIC = 1 をリードした後、0 をライトすることで行われます。

また、DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

ビット 1	説 明
IRIC	
0	転送待ち状態、または転送中 (初期値) [クリア条件] (1) IRIC = 1 の状態でリードした後、0 をライトしたとき (2) DTC で ICDR をリード/ライトしたとき (TDRE または RDRF フラグが 0 にクリアされたとき) (クリア条件とならない場合もあるため、詳細は DTC の動作説明参照)
1	割込みが発生 [セット条件] I ² C バスフォーマットでマスタモード (1) 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため TDRE フラグが 1 にセットされたとき) (2) WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき (3) データ転送終了時 (ウェイト挿入なし (WAIT=0) で送受信クロックの 9 クロック目の立上りのとき、またはウェイト挿入時 (WAIT=1) の送受信クロックの 8 クロック目の立下りのとき) (4) バス競合負けの後、スレーブアドレスを受信したとき (AL フラグが 1 にセットされたとき) (5) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) I ² C バスフォーマットでスレーブモード (1) スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (2) ゼネラルコールアドレスを検出したとき (FS = 0 かつ ADZ フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (3) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) (4) 停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき) クロック同期式シリアルフォーマット、およびフォーマットレス (1) データ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (2) シリアルフォーマットで開始条件を検出したとき (3) DDCSWR の SW ビットを 1 にセットしたとき 上記の他、TDRE、RDRF 内部フラグが 1 にセットされる条件が発生したとき

I²C バスフォーマットで IRIC = 1 となり割込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時には注意が必要です。

内部フラグである TDRE または RDRF フラグがセットされたとき、リード可能な IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、内部フラグである TDRE または RDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため TDRE または RDRF フラグはクリアされています。

各フラグと転送状態の関係を表 16.3 に示します。

表 16.3 フラグと転送状態の関係

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	状態
1/0	1/0	0	0	0	0	0	0	0	0	0	アイドル状態 (フラグクリア要)
1	1	0	0	0	0	0	0	0	0	0	開始条件発行
1	1	1	0	0	1	0	0	0	0	0	開始条件成立
1	1/0	1	0	0	0	0	0	0	0	0/1	マスタモードウェイト
1	1/0	1	0	0	1	0	0	0	0	0/1	マスタモード送信/受信終了
0	0	1	0	0	0	1/0	1	1/0	1/0	0	アービトレーションロスト
0	0	1	0	0	0	0	0	1	0	0	スレーブモード第1フレームで SAR に一致
0	0	1	0	0	0	0	0	1	1	0	ゼネラルコールアドレスに一致
0	0	1	0	0	0	1	0	0	0	0	SARX に一致
0	1/0	1	0	0	0	0	0	0	0	0/1	スレーブモード送信/受信終了 (SARX 一致後以外)
0	1/0	1	0	0	1	1	0	0	0	0	スレーブモード送信/受信終了
0	1	1	0	0	0	1	0	0	0	1	(SARX 一致後)
0	1/0	0	1/0	1/0	0	0	0	0	0	0/1	停止条件検出

ビット0：開始条件 / 停止条件発行禁止ビット (SCP)

SCPビットは、マスタモードでの開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY = 1 かつ SCP = 0 をライトします。開始条件の再送信時也同样に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 をライトすることで行います。本ビットは、リードすると常に1が読み出されます。また、1をライトしてもデータは格納されません。

ビット0	説明
SCP	
0	ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行
1	リード時、常に1をリード (初期値) ライト時、無効

16.2.6 I²C バスステータスレジスタ (ICSR)

ビット：	7	6	5	4	3	2	1	0
	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
初期値：	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ICSRは、8ビットのリード/ライト可能なレジスタで、フラグの確認、アクノリッジの確認および制御を行います。

リセットまたはハードウェアスタンバイモード時、ICSRはH'00に初期化されます。

ビット7：エラー停止条件検出フラグ (ESTP)

ESTP フラグは、I²C バスフォーマットのスレーブモードで、フレームの転送の途中で停止条件を検出したことを示します。

ビット7	説明
ESTP	
0	エラー停止条件なし (初期値) 〔クリア条件〕 (1) ESTP = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	・I ² C バスフォーマットでスレーブモードのとき エラー停止条件を検出 〔セット条件〕 フレームの転送の途中で停止条件を検出したとき ・I ² C バスフォーマットでスレーブモードのとき以外 意味なし

ビット6：正常停止条件検出フラグ (STOP)

STOP フラグは、I²C バスフォーマットのスレーブモードで、フレームの転送の完了後に停止条件を検出したことを示します。

ビット6	説明
STOP	
0	正常停止条件なし (初期値) 〔クリア条件〕 (1) STOP = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	・I ² C バスフォーマットでスレーブモードのとき 正常停止条件を検出 〔セット条件〕 フレームの転送の完了後に停止条件を検出したとき ・I ² C バスフォーマットでスレーブモードのとき以外 意味なし

ビット5 : I²C バスインタフェース連続送受信割込み要求フラグ (IRTR)

IRTR フラグは、I²C バスインタフェースが CPU に対して割込み要求を発生させており、その要因が DTC 起動可能な連続送受信動作の 1 フレーム送受信の完了であることを示します。IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。

IRTR フラグのセットは、TDRE または RDRF フラグが 1 にセットされたときに行われます。IRTR フラグのクリアは、IRTR = 1 をリードした後、0 をライトすることで行われます。また、IRIC フラグを 0 にクリアすると IRTR フラグは自動的にクリアされます。

ビット5	説明
IRTR	
0	転送待ち状態、または転送中 (初期値) [クリア条件] (1) IRTR = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	連続転送状態 [セット条件] ・I ² C バスインタフェースでスレーブモードのとき AASX = 1 の状態で、TDRE または RDRF フラグが 1 にセットされたとき ・I ² C バスインタフェースでスレーブモードのとき以外 TDRE または RDRF フラグが 1 にセットされたとき

ビット4：第2スレーブアドレス認識フラグ (AASX)

AASX フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームがSARXのSVAX6~SVAX0と一致した場合、AASX=1となります。

AASX フラグのクリアは、AASX=1をリードした後、0をライトすることで行われます。また、開始条件を検出すると自動的にクリアされます。

ビット4	説明
AASX	
0	第2スレーブアドレスを未認識 (初期値) 〔クリア条件〕 (1) AASX=1の状態をリードした後、0をライトしたとき (2) 開始条件を検出したとき (3) マスタモードのとき
1	第2スレーブアドレスを認識 〔セット条件〕 ・スレーブ受信モードかつFSX=0で第2スレーブアドレスを検出したとき

ビット3：アービトレーションロストフラグ (AL)

ALフラグは、マスタモード時にバス競合負けをしたことを示します。

複数のマスタがほぼ同時にバスを占有しようとしたときにI²CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。

ALフラグのクリアは、AL=1をリードした後、0をライトすることで行われます。また、ICDRをライト(送信時)またはリード(受信時)すると自動的にリセットされます。

ビット3	説明
AL	
0	バスを確保 (初期値) 〔クリア条件〕 (1) ICDRにデータをライト(送信時)、データをリード(受信時)したとき (2) AL=1の状態をリードした後、0をライトしたとき
1	バス競合負け(アービトレーションロスト) 〔セット条件〕 (1) マスタ送信モードでSCLの立ち上がりで内部SDAとSDA端子が不一致のとき (2) マスタ送信モードでSCLの立ち下がりで内部SCLがHighレベルのとき

ビット2：スレーブアドレス認識フラグ (AAS)

AAS フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームがSARのSVA6~SVA0と一致した場合、またはゼネラルコールアドレス (H'00) を検出した場合、AAS = 1 となります。

AAS フラグのクリアは、AAS = 1 をリードした後、0 をライトすることで行われます。またICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット2	説明
AAS	
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 (初期値) 〔クリア条件〕 (1) ICDR にデータをライト (送信時)、またはICDR のデータをリード (受信時) したとき (2) AAS = 1 の状態をリードした後、0 をライトしたとき (3) マスタモードのとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードかつFS = 0 でスレーブアドレスまたはゼネラルコールアドレスを検出したとき

ビット1：ゼネラルコールアドレス認識フラグ (ADZ)

ADZ フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームでゼネラルコールアドレス (H'00) を検出した場合、ADZ = 1 となります。

ADZ フラグのクリアは、ADZ = 1 をリードした後、0 をライトすることで行われます。またICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット1	説 明
ADZ	
0	ゼネラルコールアドレスを未認識 (初期値) 〔クリア条件〕 (1) ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき (2) ADZ=1 の状態をリード後、0 をライトしたとき (3) マスタモードのとき
1	ゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードかつ (FSX = 0 または FS = 0) でゼネラルコールアドレスを検出したとき

ビット0 : アクノリッジビット (ACKB)

ACKB ビットは、アクノリッジデータを格納するビットです。

送信モードでは、受信デバイスがデータを受信した後、アクノリッジデータを返してくるので、そのデータを ACKB ビットにロードします。また、受信モードでは送信デバイスに対し、データを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送出します。

本ビットをリードすると、送信時 (TRS = 1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS = 0 のとき) には設定した値が読み出されます。

また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。このとき、受信デバイスからロードした値は、そのまま保持されますので、本レジスタをビット操作命令を使用して書き換えるときには注意が必要です。

ビット0	説 明
ACKB	
0	受信時、アクノリッジ出力タイミングで0出力 (初期値) 送信時、受信デバイスからアクノリッジがあった (0だった) ことを示す
1	受信時、アクノリッジ出力タイミングで1出力 送信時、受信デバイスからアクノリッジがなかった (1だった) ことを示す

16.2.7 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御 (IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。I²C バスインタフェース以外の詳細は、「3.2.4 シリアルタイムコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7 : I²C エクストラバッファセレクト (IICS)

ポート A のビット 7~4 を、SCL、SDA と同様の出力バッファとなるよう設定します。ソフトウェアのみによる I²C インタフェースを実現する場合に利用します。

ビット 7	説明
IICS	
0	PA7 ~ PA4 は通常入出力端子 (初期値)
1	PA7 ~ PA4 はバス駆動可能な入出力端子

ビット 6、5 : I²C トランスファレートセレクト 1、0 (IICX1、0)

ICMR の CKS2 ~ CKS0 と組み合わせて、マスタモードでの転送レートを選択します。

転送レートの詳細は「16.2.4 I²C バスモードレジスタ (ICMR)」の項を参照してください。

ビット4 : I²C マスタイネーブル (IICE)

I²C バスインタフェースのデータレジスタ、制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) の CPU アクセスを制御します。

ビット4	説明
IICE	
0	I ² C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを禁止 (初期値)
1	I ² C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを許可

ビット3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ、低電圧電力状態の制御レジスタおよび周辺モジュールの制御レジスタの CPU アクセスを制御するビットです。詳しくは「3.2.4 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

ビット2 : リザーブビット

リザーブビットです。1 にセットしないでください。

ビット1、0 : インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

TCR の CKS2 ~ CKS0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

16.2.8 DDC スイッチレジスタ (DDCSWR)

ビット :	7	6	5	4	3	2	1	0
	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/(W)*1	W*2	W*2	W*2	W*2

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 リードすると常に1が読み出されます。

DDCSWR は8ビットのリード/ライト可能なレジスタで、IIC チャンネル0のフォーマット自動切り替え機能の制御およびIICの内部ラッチクリアの制御を行います。

DDCSWR はリセットまたはハードウェアスタンバイモード時にH'0Fに初期化されます。

ビット7 : DDC モードスイッチイネーブル (SWE)

IIC チャンネル0 で、フォーマットレスから I²C バスフォーマットへの自動切り替え機能を選択します。

ビット7	説明
SWE	
0	IIC チャンネル0 の、フォーマットレスから I ² C バスフォーマットへの自動切り替えを禁止する (初期値)
1	IIC チャンネル0 の、フォーマットレスから I ² C バスフォーマットへの自動切り替えを許可する

ビット6 : DDC モードスイッチ (SW)

IIC チャンネル0 でフォーマットレスと、I²C バスフォーマットを選択します。

ビット6	説明
SW	
0	IIC チャンネル0 を I ² C バスフォーマットで使用する (初期値) 〔クリア条件〕 (1) ソフトウェアにより 0 をライトしたとき (2) SWE = 1 で、SCL に立ち下がりエッジを検出したとき
1	IIC チャンネル0 をフォーマットレスで使用する 〔セット条件〕 ・SW = 0 の状態をリードした後、1 をライトしたとき

ビット5 : DDC モードスイッチ割込み許可ビット (IE)

IIC チャンネル0 でフォーマットの自動切り替えが実行された場合の CPU への割込み要求を許可 / 禁止します。

ビット5	説明
IE	
0	フォーマット自動切り替え実行時の割込みを禁止 (初期値)
1	フォーマット自動切り替え実行時の割込みを許可

ビット4 : DDC モードスイッチ割込みフラグ (IF)

IIC チャンネル0 でフォーマット自動切り替えが実行された場合の CPU への割込み要求フラグです。

ビット4	説明
IF	
0	フォーマット自動切り替え実行時の割込み要求なし (初期値) 〔クリア条件〕 ・IF = 1 の状態をリードした後、0 をライトしたとき
1	フォーマット自動切り替え実行時の割込み要求あり 〔セット条件〕 ・SWE = 1 で、SCL に立ち下がりエッジを検出したとき

ビット3~0 : IIC クリア3~0 (CLR3~CLR0)

本ビットは IIC0、IIC1 の内部状態の初期化を制御します。

本ビットはライト動作のみ可能で、リードすると常に1が読み出されます。

本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IIC モジュールの内部状態が初期化されます。

なお、本ビットへのライトデータは保持されません。IIC クリアを行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。BCLR などのビット操作命令は使用しないでください。

再度クリアが必要な場合は、全てのビットとも設定に従い書き込みする必要があります。

ビット3	ビット2	ビット1	ビット0	説明
CLR3	CLR2	CLR1	CLR0	
0	0	-	-	設定禁止
0	1	0	0	設定禁止
0	1	0	1	IIC0 内部ラッチクリア
0	1	1	0	IIC1 内部ラッチクリア
0	1	1	1	IIC0, 1 内部ラッチクリア
1	-	-	-	設定無効

16.2.9 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCR _H								MSTPCR _L							
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP4、MSTP3の対応するビットを1にセットすると、バスサイクルの終了時点でIICは動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCR_L ビット4 : モジュールストップ (MSTP4)

IICチャンネル0のモジュールストップモードを指定します。

MSTPCR _L ビット4	説 明
MSTP4	
0	IICチャンネル0のモジュールストップモード解除
1	IICチャンネル0のモジュールストップモード設定 (初期値)

MSTPCR_L ビット3 : モジュールストップ (MSTP3)

IICチャンネル1のモジュールストップモードを指定します。

MSTPCR _L ビット3	説 明
MSTP3	
0	IICチャンネル1のモジュールストップモード解除
1	IICチャンネル1のモジュールストップモード設定 (初期値)

16.3 動作説明

16.3.1 I²C バスデータフォーマット

I²C バスインタフェースには、シリアルフォーマットと I²C バスフォーマットがあります。I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 16.3 (a)、(b) に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

IIC チャンネル 0 のみフォーマットレスでの動作が可能です。これを図 16.4 に示します。シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 16.5 に示します。また、I²C バスのタイミングを図 16.6 に示します。

図 16.3~ 図 16.6 の記号説明を表 16.4 に示します。

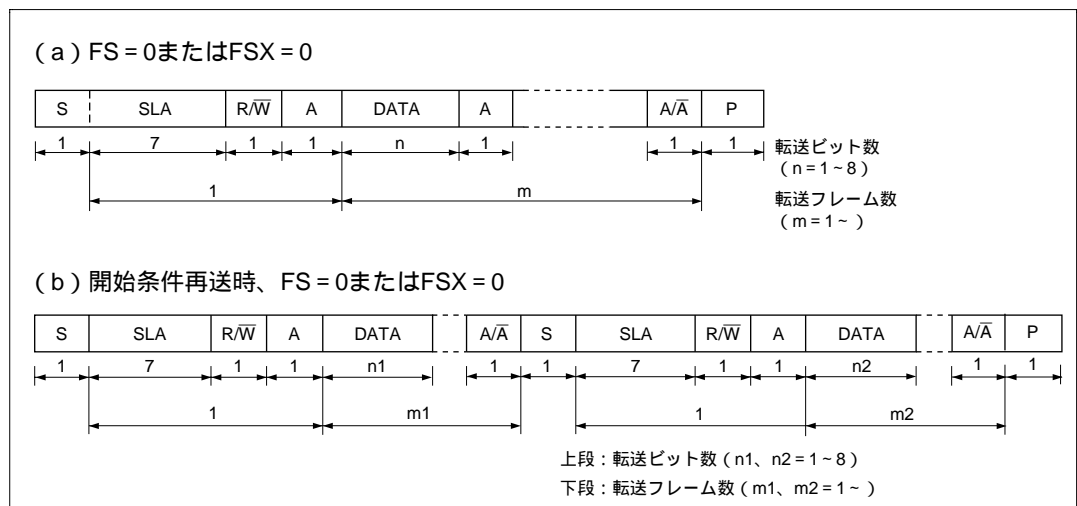


図 16.3 I²C バスデータフォーマット (I²C バスフォーマット)

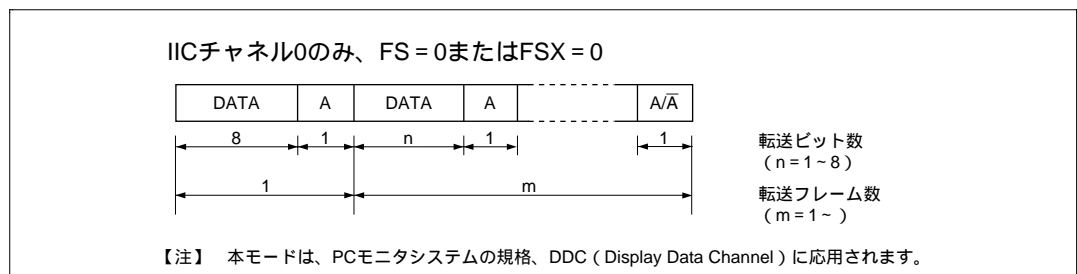


図 16.4 フォーマットレス

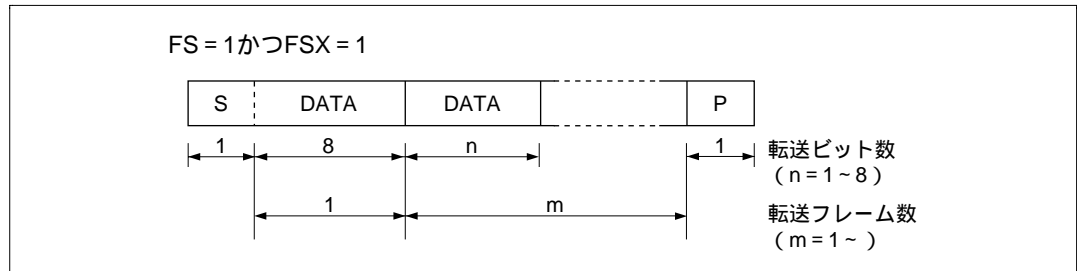


図 16.5 I²C バスデータフォーマット (シリアルフォーマット)

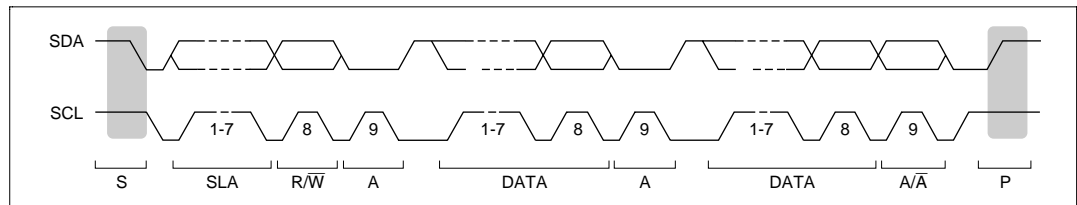


図 16.6 I²C バスタイミング

表 16.4 I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アックノリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアックノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 ビットで設定します。また MSB ファースト / LSB ファーストの切り換えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

16.3.2 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

以下に ICDR のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

- [1] ICCR の ICE ビットを 1 に設定します。ICMR の MLS、WAIT ビット、CKS2~CKS0 ビット、および STCR の IICX ビットを動作モードに合わせて設定します。
- [2] ICCR の BBSY フラグをリードしバスがフリー状態であることを確認します。
- [3] ICCR の MST、TRS ビットをそれぞれ 1 にセットしてマスタ送信モードに設定します。
- [4] ICCR に BBSY=1 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を High レベルから Low レベルに変化させ、開始条件を生成します。
- [5] 開始条件の生成に伴い IRIC、IRTR フラグが 1 にセットされます。このとき、ICCR の IEIC ビットが 1 にセットされていると CPU に対して割り込み要求を発生します。
- [6] ICDR にデータ (スレーブアドレス+R/ \bar{W}) をライトします。

I²C バスフォーマット (SAR の FS ビットまたは SARX の FSX ビットが 0 のとき) では、開始条件に続く第 1 フレームデータは 7 ビットのスレーブアドレスと送信 / 受信の方向を示します。

次に転送終了を判断するため IRIC フラグを 0 にクリアします。

ここで ICDR のライトと IRIC フラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。

もし IRIC フラグのクリアまでに 1 バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

マスタデバイスは図 16.7 で示すタイミングで送信クロックと ICDR にライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。

- [7] 1 フレームのデータ送信が終了し、送信クロックの 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。

SCL は 1 フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的に Low レベルに固定されます。

- [8] ICSR の ACKB ビットをリードして ACKB=0 であることを確認します。
スレーブデバイスがアクノリッジを返さず ACKB=1 となっている場合は、[12] の送信終了処理を行い、再度送信動作をやり直してください。
- [9] ICDR に送信データをライトします。

次に転送終了を判断するため IRIC フラグを 0 にクリアします。

ここで[6]同様に ICDR のライトと IRIC フラグのクリアは連続的に行ってください。

次フレームの送信は内部クロックに同期して行われます。

[10] 1 フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりで IRIC フラグが1にセットされます。

SCL は 1 フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的に Low レベルに固定されます。

[11] ICSR の ACKB ビットをリードします。

スレーブデバイスがアクノリッジを返し ACKB=0 となっていることを確認します。引き続きデータを送信する場合には、[9]に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さず ACKB=1 となっている場合は、[12]の送信終了処理を行います。

[12] IRIC フラグを0にクリアします。

ICCR に BBSY=0 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を Low レベルから High レベルに変化させ、停止条件を生成します。

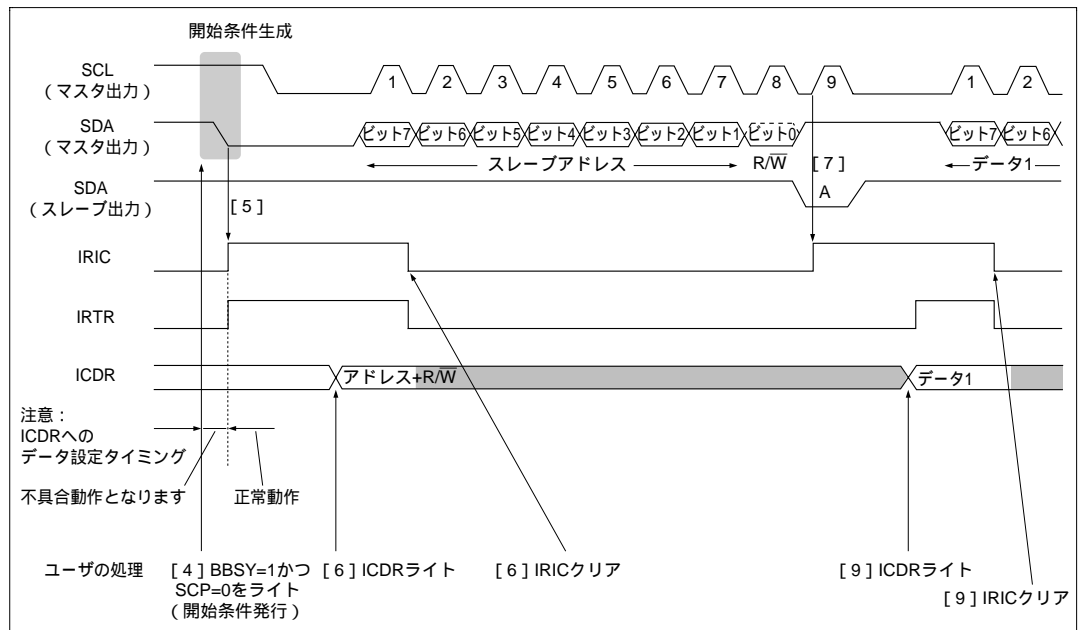


図 16.7 マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

16.3.3 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

以下にウェイト動作を利用し、ICDR のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

- [1] ICCR の TRS ビットを 0 にクリアし、送信モードから受信モードに切り替えます。
ICMR の WAIT ビットを 1 にセットします。
ICSR の ACKB ビットを 0 にクリアします。(アクノリッジデータの設定)
- [2] ICDR をリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
次にウェイトを判断するため IRIC フラグを 0 にクリアします。
ここで ICDR のリードと IRIC フラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。
もし IRIC フラグのクリアまでに 1 バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
- [3] 1 フレームの受信クロックの 8 クロック目の立ち下がりで IRIC フラグが 1 にセットされます。このとき、ICCR の IEIC ビットが 1 にセットされていると CPU に対して割り込み要求を発生します。
SCL は IRIC フラグがクリアされるまで内部クロックに同期して自動的に Low レベルに固定されます。
1 フレーム目が最後の受信データの場合は、[10]の終了処理を行ってください。
- [4] ウェイトを解除するため IRIC フラグを 0 にクリアします。
マスタデバイスは受信クロックの 9 クロック目を出力するとともに、SDA を Low レベルにし、アクノリッジを返します。
- [5] 1 フレームのデータ受信が終了し、受信クロックの 9 クロック目の立ち上がりで IRIC フラグ、および IRTR フラグが 1 にセットされます。
マスタデバイスは引き続き次の受信データの受信クロックを出力します。
- [6] ICDR の受信データをリードします。
- [7] 次のウェイトを判断するため IRIC フラグを 0 にクリアします。
[4] (または [9]) のウェイト解除のため、IRIC フラグクリアから [5] ~ [7] のデータ受信完了処理までは、1 バイト分の転送時間内で行ってください。
- [8] 1 フレームの受信クロックの 8 クロック目の立ち下がりで IRIC フラグが 1 にセットされます。
SCL は IRIC フラグがクリアされるまで内部クロックに同期して自動的に Low レベルに固定されます。

このフレームが最後の受信データの場合は、[10]の終了処理を行ってください。

[9] ウェイトを解除するため IRIC フラグを 0 にクリアします。

マスタデバイスは受信クロックの 9 クロック目を出力するとともに、SDA を Low レベルにし、アクノリッジを返します。

[5]から[9]を繰り返し行うことにより、データを受信することができます。

[10]ICSR の ACKB ビットを 1 にセットし、最後の受信用アクノリッジデータを設定します。

ICCR の TRS ビットを 1 にセットし、受信モードから送信モードに切り替えます。

[11]ウェイトを解除するため IRIC フラグを 0 にクリアします。

[12] 1 フレームのデータ受信が終了し、受信クロックの 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。

[13] ICMR の WAIT ビットを 0 にクリアし、ウェイトモードを解除します。

その後、ICDR の受信データをリードし、IRIC フラグを 0 にクリアします。

IRIC フラグのクリアは WAIT=0 の状態で行ってください。

(IRIC フラグを 0 にクリア後に WAIT ビットを 0 にクリアし、停止条件発行命令を実行した場合、SDA ラインが Low 固定され、停止条件が発行できなくなります。)

[14] ICCR に BBSY=0 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を Low レベルから High レベルに変化させ、停止条件を生成します。

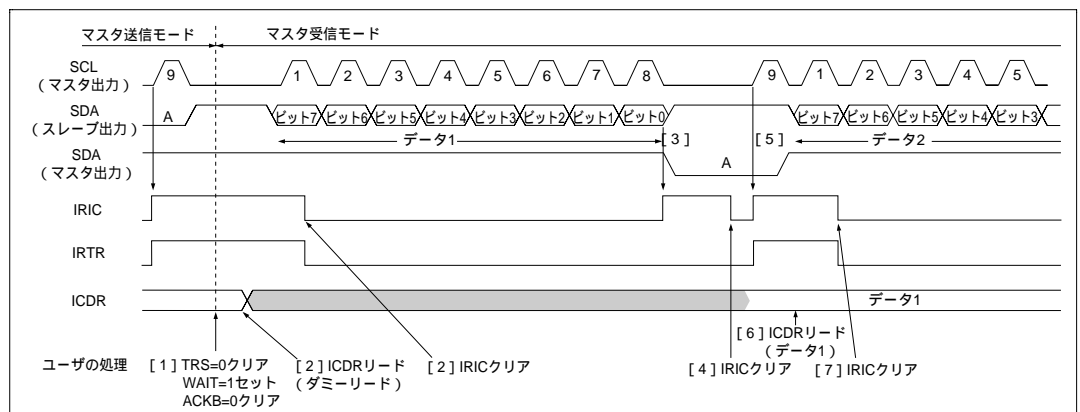


図 16.8 (1) マスタ受信モード動作タイミング例 (MLS=ACKB = 0、WAIT=1 のとき)

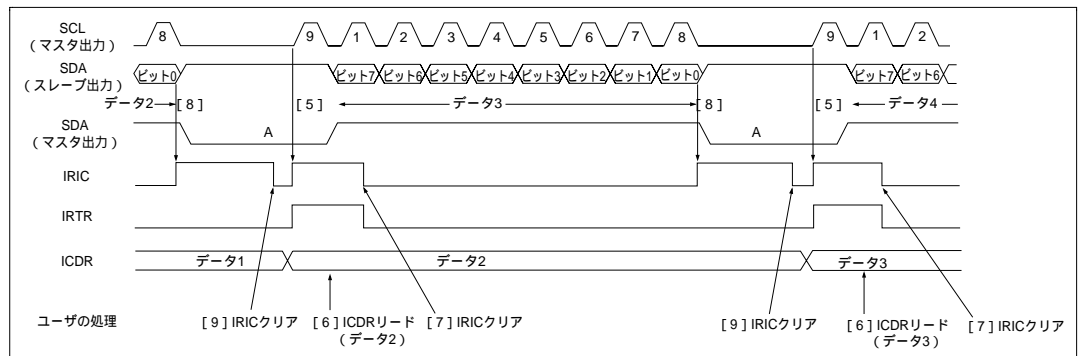


図 16.8 (2) マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)
(続き)

16.3.4 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にスレーブ受信モードの受信手順と動作を示します。

- [1] ICCR の ICE ビットを 1 にセットします。また、ICMR の MLS ビットおよび ICCR の MST、TRS ビットを動作モードに合わせて設定します。
- [2] マスタデバイスの出力した開始条件を検出すると、ICCR の BBSY フラグが 1 にセットされます。
- [3] 開始条件後の第 1 フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8 ビット目のデータ (R \bar{W}) が 0 のとき ICCR の TRS ビットは 0 のまま変化せず、スレーブ受信動作を行います。
- [4] 受信フレームの 9 クロック目でスレーブデバイスは SDA を Low レベルにし、アクノリッジを返します。同時に ICCR の IRIC フラグが 1 にセットされます。このとき、ICCR の IEIC ビットが 1 にセットされていると、CPU に対し割り込み要求が発生します。このとき、RDRF 内部フラグが 0 にクリアされていると、RDRF 内部フラグを 1 にセットして引き続き受信動作を行います。RDRF 内部フラグが 1 にセットされていると、スレーブデバイスは受信クロックの立ち下がりから ICDR にデータをリードするまで SCL を Low レベルにします。
- [5] ICDR をリードし、ICCR の IRIC フラグを 0 にクリアします。このとき RDRF フラグが 0 にクリアされます。

[4] から [5] を繰り返し行うことにより、受信動作を継続できます。SCL が High レベルのとき、SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

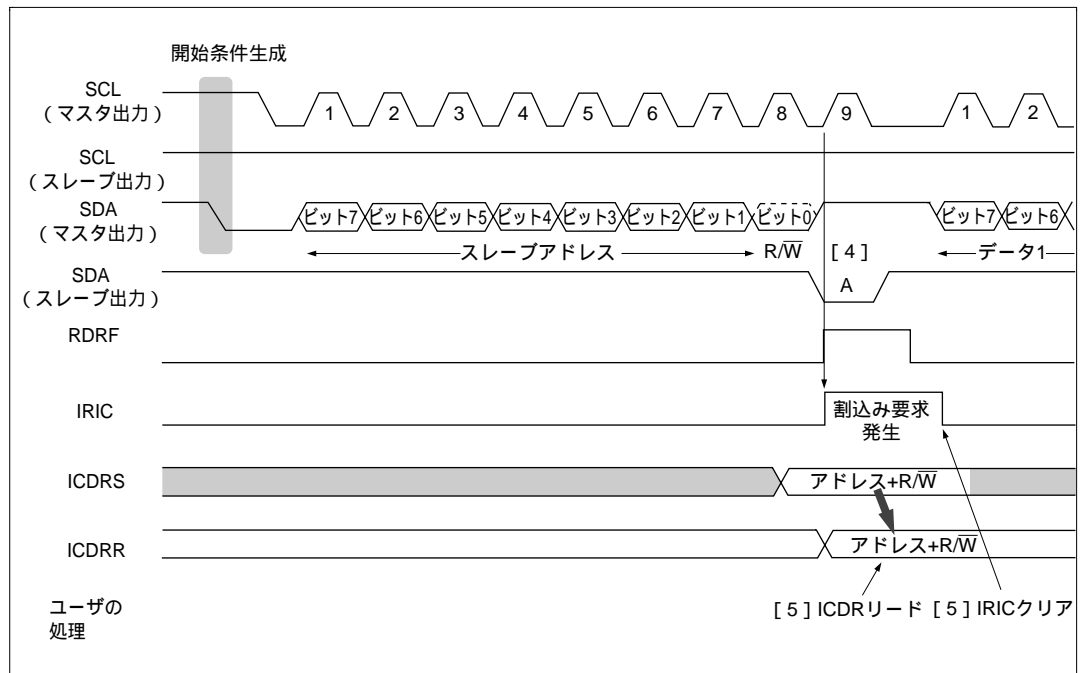


図 16.9 スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0 のとき)

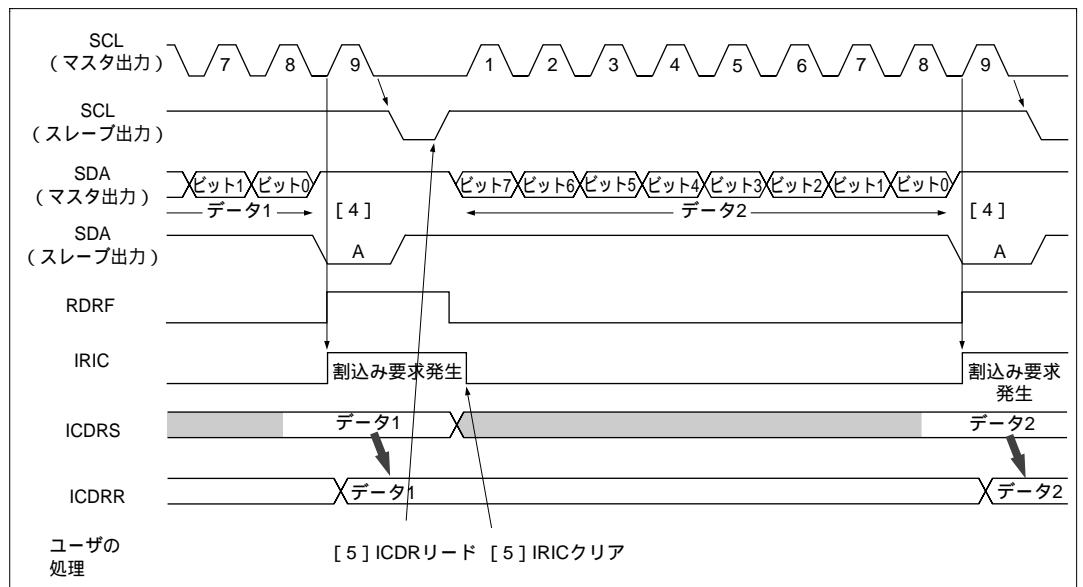


図 16.10 スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0 のとき)

16.3.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

- [1] ICCR の ICE ビットを 1 にセットします。また、ICMR の MLS ビットおよび ICCR の MST、TRS ビットを動作モードに合わせて設定します。
- [2] 開始条件を検出後の第 1 フレームでスレーブアドレスが一致したとき、9 クロック目でスレーブデバイスは SDA を Low レベルにし、アクノリッジを返します。同時に ICCR の IRIC フラグが 1 にセットされ、このとき、ICCR の IEIC ビットが 1 にセットされていると CPU に対し割込み要求を発生します。また、8 ビット目のデータ (R \bar{W}) が 1 のとき ICCR の TRS ビットが 1 にセットされ、自動的にスレーブ送信モードに変化します。このとき TDRE 内部フラグが 1 にセットされます。スレーブデバイスは送信クロックの立ち下がりから ICDR データをライトするまで SCL を Low レベルにします。
- [3] IRIC フラグを 0 にクリア後、ICDR にデータをライトします。このとき TDRE 内部フラグは 0 にクリアされます。ライトされたデータは ICDRS に転送され、TDRE 内部フラグおよび IRIC、IRTR フラグが再び 1 にセットされます。IRIC フラグを 0 にクリア後、ICDR に次のデータをライトします。スレーブデバイスは図 16.11 で示すタイミングでマスタデバイスが出力するクロックにしたがい、ICDR にライトされたデータを順次送出します。
- [4] 1 フレームのデータ送信が終了し、送信クロックの 9 クロック目の立ち上がりで ICCR の IRIC フラグが 1 にセットされます。またこのスレーブデバイスは、TDRE 内部フラグが 1 にセットされていると、送信クロックの立ち下がりから ICDR にデータライトするまで SCL を Low レベルにします。マスタデバイスは 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。このアクノリッジは ICSR の ACKB ビットに格納されるので転送動作が正常に行われたかどうか確認することができます。TDRE 内部フラグが 0 のときは、ICDR にライトされたデータは ICDRS に転送され送信を開始し、TDRE 内部フラグおよび IRIC、IRTR フラグが再び 1 にセットされます。
- [5] 送信を続ける場合は、IRIC フラグを 0 にクリア後、次に送信するデータを ICDR にライトします。このとき TDRE 内部フラグは 0 にクリアされます。

[4] から [5] を繰り返すことにより、送信動作を継続できます。送信を終了する場合は、スレーブ側で SDA を開放するために ICDR に H'FF をライトします。SCL が High レベルのとき SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

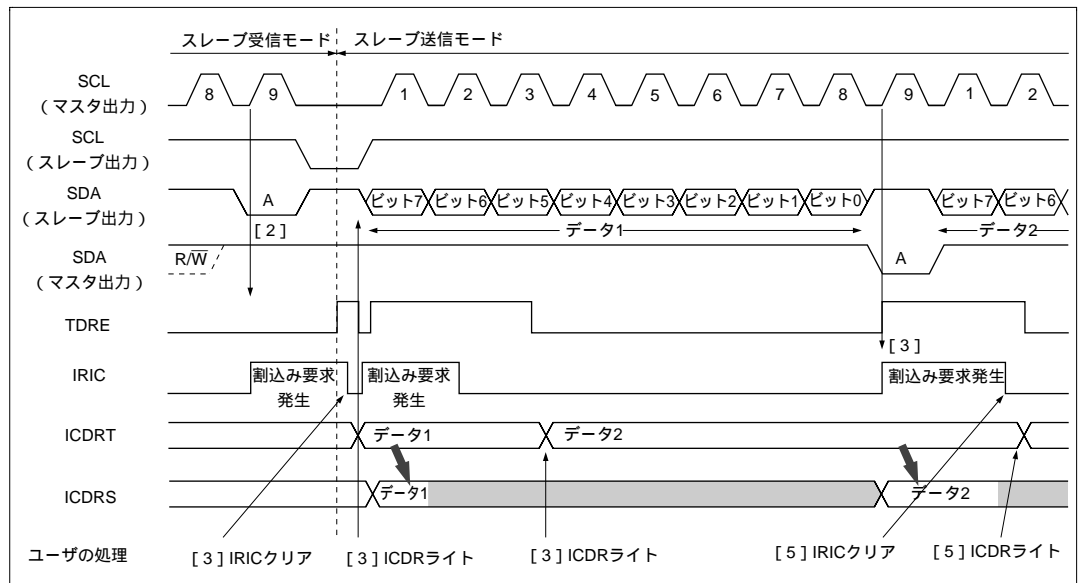


図 16.11 スレーブ送信モード動作タイミング例 (MLS = 0 のとき)

16.3.6 IRIC セットタイミングと SCL 制御

割込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、TDRE や RDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 16.12 に IRIC セットタイミングと SCL 制御を示します。

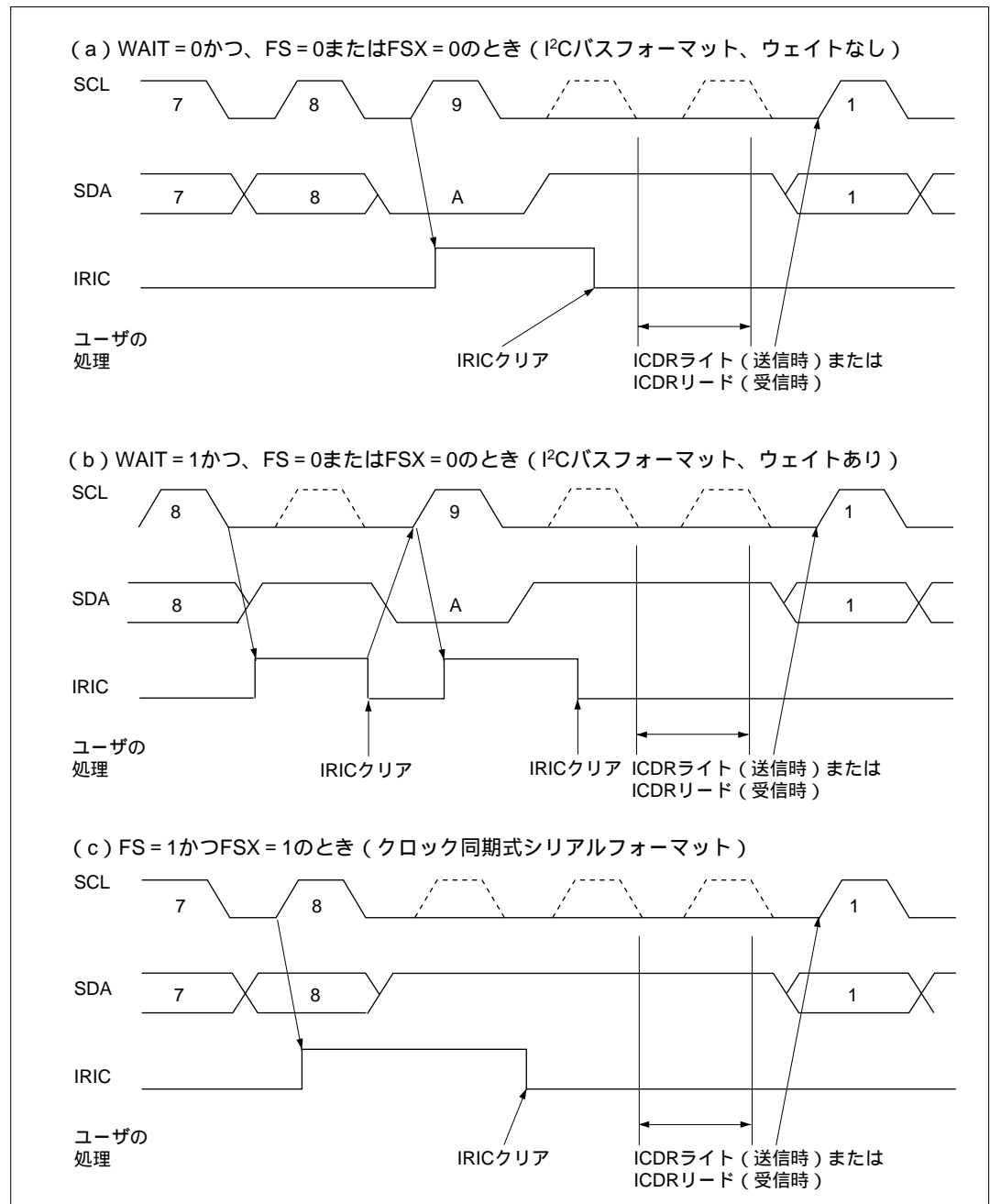


図 16.12 IRIC セットタイミングと SCL 制御

16.3.7 フォーマットレスから I²C バスフォーマットへの自動切り替え

DDCSWR の SW ビットを 1 にセットすると、IIC0 の動作モードを、フォーマットレスにすることができます。フォーマットレスから I²C バスフォーマット (スレーブモード) へは、SCL の立ち下がりを検出すると自動的に切り替えられます。

この動作の前提として、以下の 4 つの条件が必要です。

- (1) フォーマットレスと I²C バスフォーマットのデータ端子 (SDA) が共通
- (2) フォーマットレスと I²C バスフォーマットのクロック端子が独立
(フォーマットレス : VSYNCL、I²C バスフォーマット : SCL)
- (3) フォーマットレス時には SCL 端子は 1 固定 (Low ドライブしない)
- (4) ICCR の TRS ビット以外が、I²C バスフォーマットでの動作可能な設定

自動切り替えは、SCL の立ち下がりエッジを検出して DDCSWR の SW ビットを自動的に 0 にクリアすることにより、フォーマットレス I²C バスフォーマットの方向で行われます。I²C バスフォーマット フォーマットレスの切り替えは、DDCSWR の SW ビットをソフトウェアで 1 にセットすることによって行います。

フォーマットレス時には、I²C バスインタフェースの動作モードを制御するビット (MSL ビット、TRS ビット等) を書き換えないでください。I²C バスフォーマット フォーマットレスの切り替え時には、フォーマットレスでの転送方向 (送信 / 受信) に合わせて TRS ビットを 1 にセットまたは 0 にクリアした後に SW ビットを 1 にセットしてください。フォーマットレス I²C バスフォーマット (スレーブモード) の自動切り替え後はスレーブアドレス受信待ちとするため、TRS ビットは自動的に 0 にクリアされます。

フォーマットレスで動作中に SCL の立ち下がりを検出すると、I²C バスインタフェースは、停止条件を待たず、その時点でフォーマットを切り替えます。

16.3.8 DTC による動作

I²Cバスフォーマットでは、スレーブアドレスとR/Wビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割込みによるCPU 処理と組み合わせで行う必要があります。

表 16.5 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 16.5 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R/W ビット送信 / 受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	-	CPU で処理 (ICDR リード)	-	-
本体データ送信 / 受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H'FF) ライト	-	-	DTC で処理 (ICDR ライト)	-
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の転送要求処理	1 回目 : CPU でクリア 2 回目 : CPU で終了条件発行	不要	ダミーデータ (H'FF) 送出中に終了条件を検出して自動的にクリア	不要
DTC 転送データフレーム数設定	送信 : 実データ数 + 1 (+1 は、スレーブアドレス + R/W ビット分)	受信 : 実データ数	送信 : 実データ数 + 1 (+1 は、ダミーデータ (H'FF) 分)	受信 : 実データ数

16.3.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号 (または SDA 端子入力信号) がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

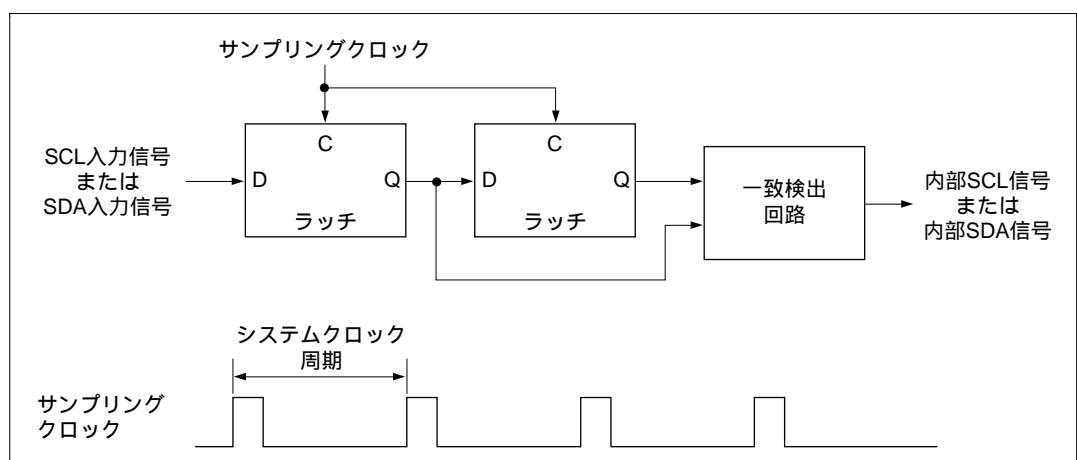


図 16.13 ノイズ除去回路のブロック図

16.3.10 使用例

I²Cバスインタフェースを使用する場合の各モードでのフローチャート例を図 16.14 ~ 図 16.17 に示します。

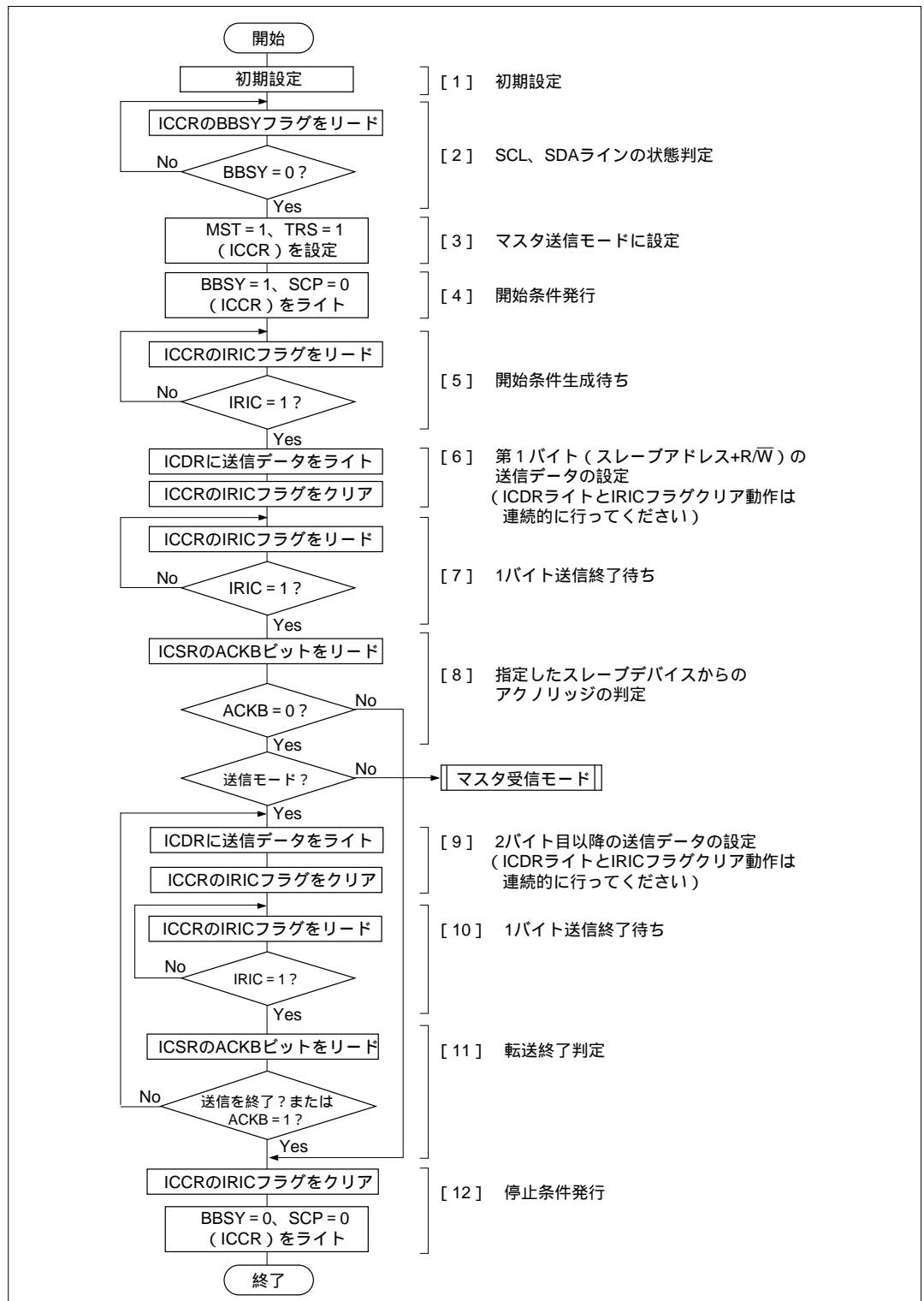


図 16.14 マスタ送信モードのフローチャート例

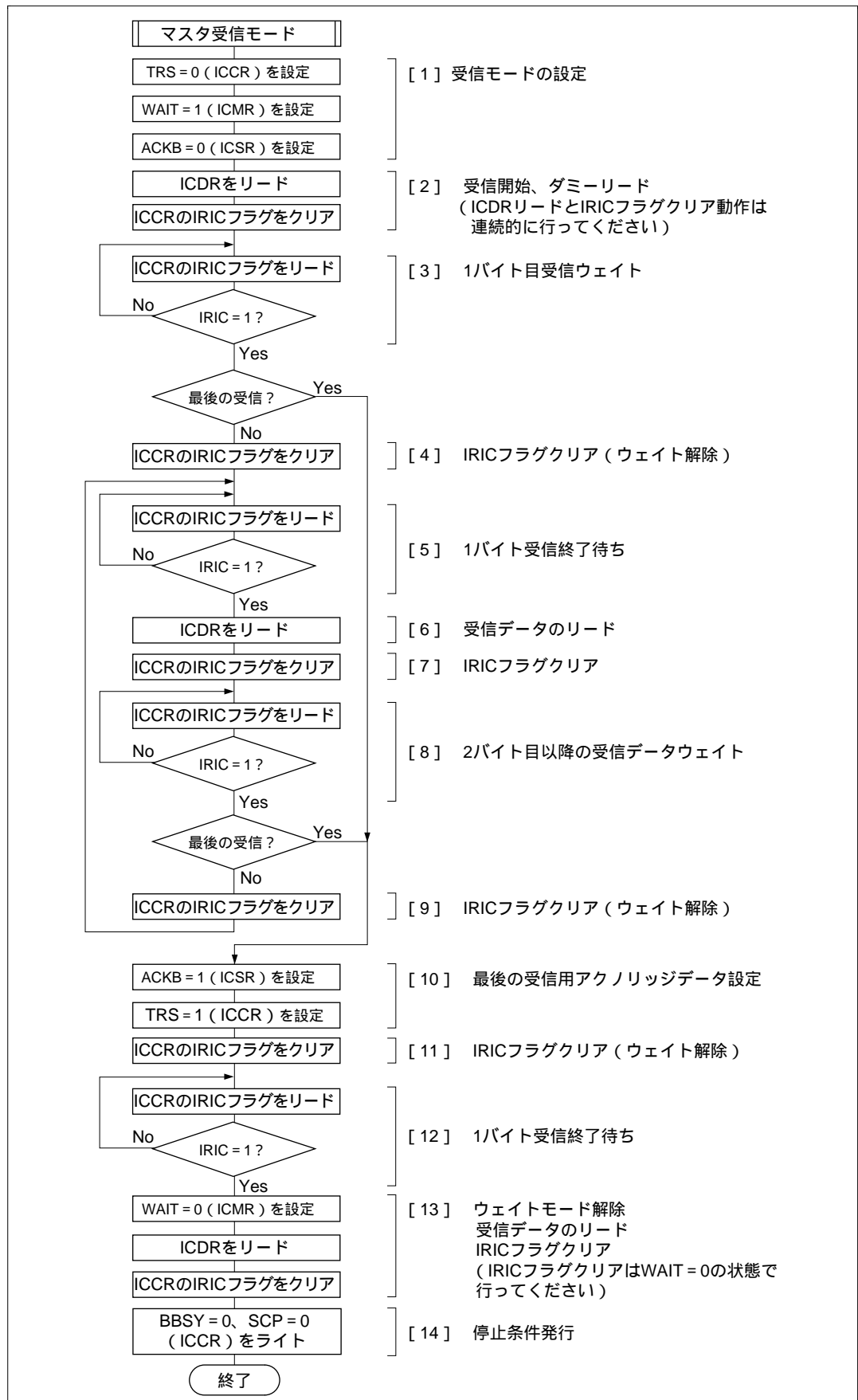


図 16.15 マスタ受信モードのフローチャート例

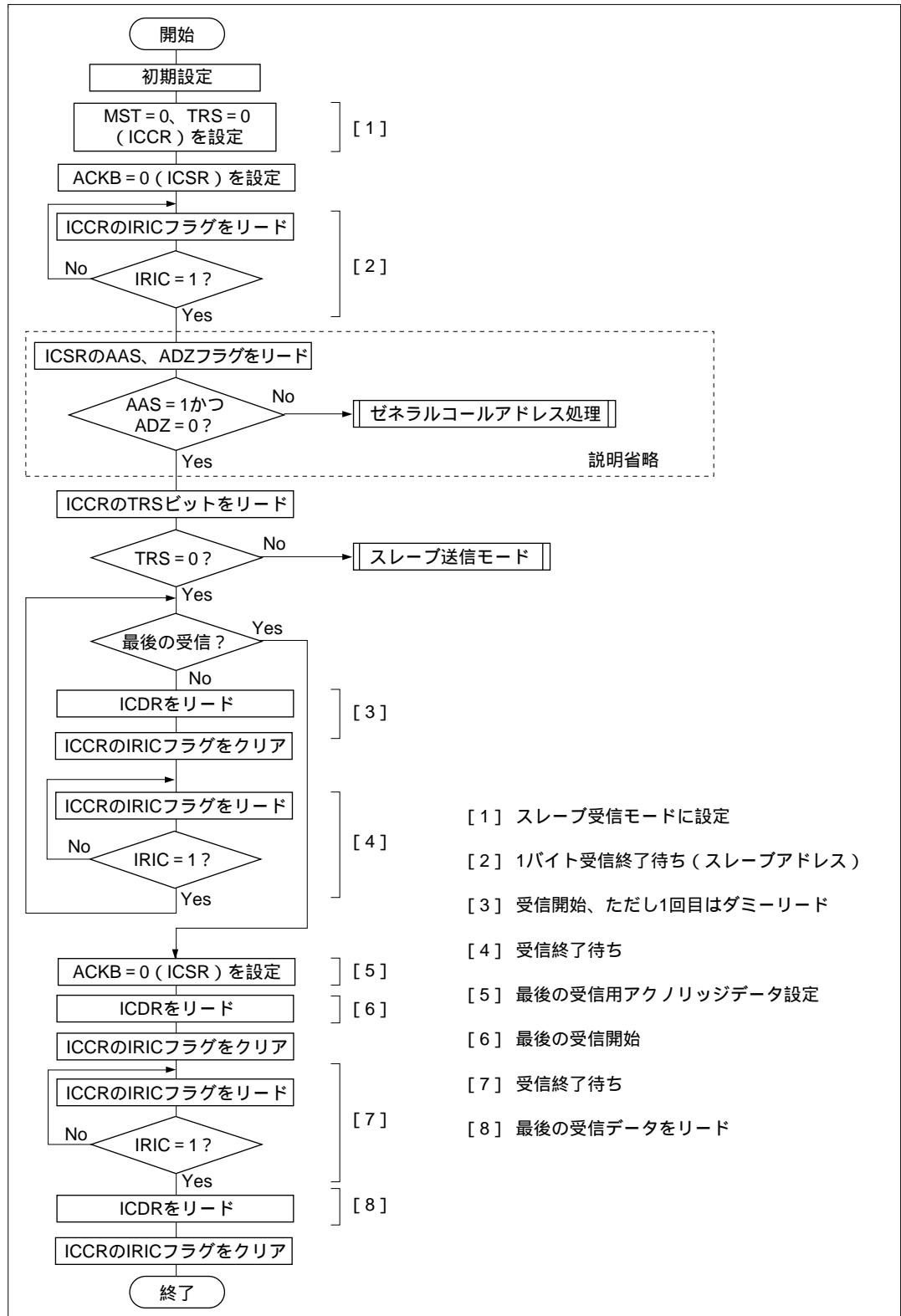


図 16.16 スレーブ受信モードフローチャート例

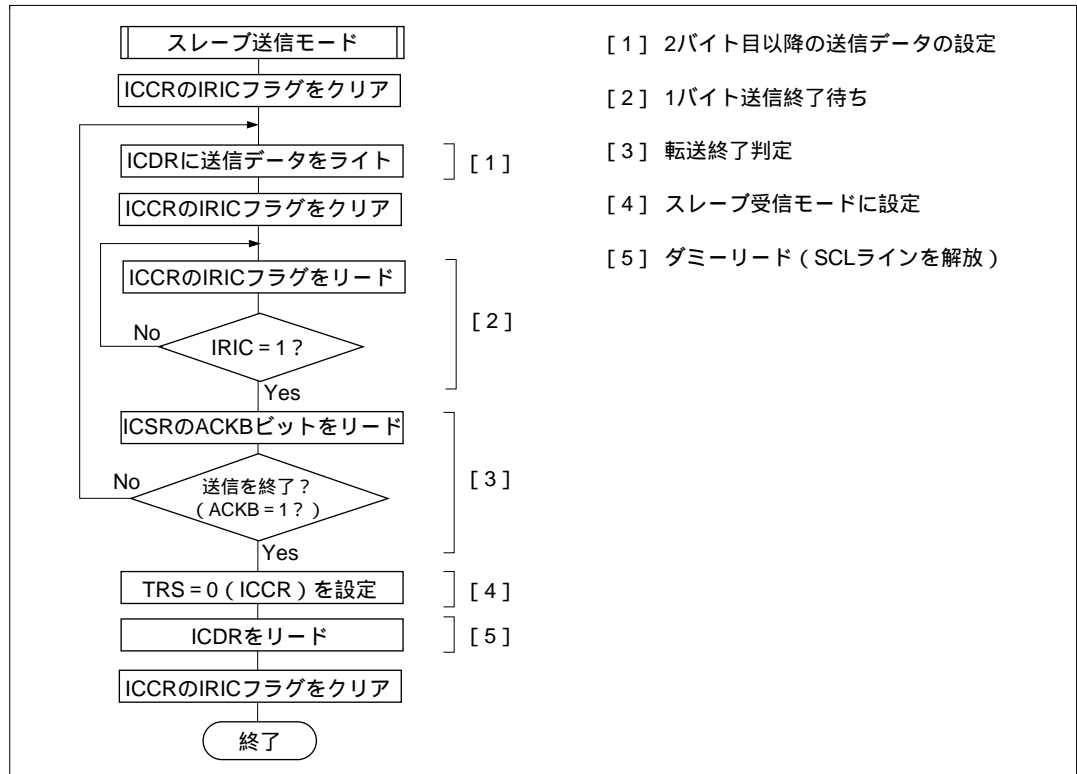


図 16.17 スレーブ送信モードフローチャート例

16.3.11 内部状態の初期化

本 IIC は、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能を持っています。

初期化は、(1) DDCSWR レジスタの CLR3~CLR0 ビットの設定、または (2) ICE ビットのクリアにより実行されます。CLR3~CLR0 ビットの設定の詳細は、「16.2.8 DDC スイッチレジスタ (DDCSWR)」を参照してください。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ・ TDRE、RDRF 内部フラグ
- ・ 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- ・ SCL、SDA 端子出力状態を保持するための内部ラッチ (ウェイト、クロック、データ出力など)

なお、以下の内容は初期化されません。

- ・ レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、DDCSWR、STCR)
- ・ ICMR、ICCR、ICSR、DDCSWR 各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ
- ・ ICMR レジスタのビットカウンタ (BC2~BC0) の値
- ・ 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

(2) 初期化における注意事項

- ・ 割込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- ・ その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- ・ DDCSWR レジスタにより初期化を行う場合、CLR3~CLR0 ビットのライトデータは保持されません。IIC クリアを行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。BCLR などのビット操作命令は使用しないでください。
また、再度クリアが必要な場合は、同様に全てのビットとも設定に従い、同時に書き込みする必要があります。
- ・ 送受信中にフラグのクリア設定を行うと、その時点で IIC モジュールは送受信を中止し SCL、SDA 端子を解放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き替えませんが、SCL、SDA 端子の状態、解放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

- (1) CLR3~CLR0 ビットの設定、または ICE ビットによる内部状態の初期化実行
- (2) BBSY ビットを 0 にクリアするための、停止条件発行命令実行 (BBSY = 0 かつ SCP = 0 ライト) および、転送レートの 2 クロック分の期間ウェイト
- (3) CLR3~CLR0 ビットの設定、または ICE ビットによる内部状態の初期化の再実行
- (4) IIC の各レジスタの初期化 (再設定)

16.4 使用上の注意

- (1) マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDA が共に Low レベルになっていることを確認してください。その後、停止条件生成のための命令を発行してください。BBSY=0 となったタイミングでは、まだ SCL が Low レベルになっていない場合がありますのでご注意ください。
- (2) 次転送のスタート条件が次の 2 条件となっています。ICDR をリード/ライトする場合は注意してください。
- (a) ICE = 1 かつ TRS = 1 かつ ICDR にライトしたとき (ICDRT ICDRS の自動転送を含む)
 - (b) ICE = 1 かつ TRS = 0 かつ ICDR をリードしたとき (ICDRS ICDRR の自動転送を含む)
- (3) SCL、SDA 出力は、内部クロックに同期して表 16.6 に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 16.6 I²C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCLC}	$28t_{cyc} \sim 256t_{cyc}$	ns	図 26.28 (参考)
SCL 出力 High パルス幅	t_{SCLH}	$0.5t_{SCLC}$	ns	
SCL 出力 Low パルス幅	t_{SCLL}	$0.5t_{SCLC}$	ns	
SDA 出力バスフリー時間	t_{BUFO}	$0.5t_{SCLC} - 1t_{cyc}$	ns	
開始条件出力ホールド時間	t_{STAHO}	$0.5t_{SCLC} - 1t_{cyc}$	ns	
再送開始条件出力セットアップ時間	t_{STASO}	$1t_{SCLC}$	ns	
停止条件出力セットアップ時間	t_{STOSO}	$0.5t_{SCLC} + 2t_{cyc}$	ns	
データ出力セットアップ時間 (マスタ時)	t_{SDASO}	$1t_{SCLL} - 3t_{cyc}$	ns	
データ出力セットアップ時間 (スレーブ時)		$1t_{SCLL} - (6t_{cyc} \text{ または } 12t_{cyc}^*)$	ns	
データ出力ホールド時間	t_{SDAHO}	$3t_{cyc}$	ns	

【注】 * IICX が 0 のとき $6t_{cyc}$ 、1 のとき $12t_{cyc}$ となります。

- (4) SCL、SDA 入力は、内部クロックに同期してサンプリングされます。そのため、AC タイミングは、「第 26 章 電気的特性」の I²C バスタイミングに示すように、システムクロック周期 t_{cyc} に依存しています。システムクロック周波数が 5MHz に満たないと、I²C バスインタフェースの AC タイミング仕様を満足しなくなりますのでご注意ください。

(5) SCL の立ち上がり時間 t_{sr} は、I²C バスインタフェースの仕様で 1000ns (高速モード時は 300ns) 以内と定められています。本 I²C バスインタフェースは、マスタモード時 SCL をモニタし、ビットごとに同期をとりながら通信を行います。そのため SCL の立ち上がり時間 t_{sr} (Low レベルから V_{IH} まで変化する時間) が、I²C バスインタフェースの入力クロックで決まる時間を越えた場合、SCL の High 期間が延ばされます。SCL の立ち上がり時間は、SCL ラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表 16.7 に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 16.7 SCL 立ち上がり時間 (t_{sr}) の許容範囲

IICX	t_{cyc} 表示		時間表示 [ns]					
			I ² C バス仕様(max.)	= 5MHz	= 8MHz	= 10MHz	= 16MHz	= 20MHz
0	7.5 t_{cyc}	標準モード	1000		937	750	468	375
		高速モード	300					
1	17.5 t_{cyc}	標準モード	1000					875
		高速モード	300					

(6) SCL、SDA の立ち上がり、立ち下がり時間は、I²C バスインタフェースの仕様で 1000ns および 300ns 以内と定められています。一方、本 I²C バスインタフェースの SCL、SDA 出力タイミングは、表 16.6 に示すように t_{cyc} によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートでは I²C バスインタフェースの仕様を満足しない場合があります。表 16.8 は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO} はどの周波数でも I²C バスインタフェースの仕様を満足しません。これに対しては、(a)停止条件発行後、開始条件の発行まで必要なインターバル (1 μ s 程度) を確保するようプログラムする必要があります。あるいは、(b)I²C バスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の t_{SCLLO} 、標準モード時の t_{STASO} では、 t_{sr} / t_{sr} をワーストケースとして計算した場合に I²C バスインタフェースの仕様を満足しません。(a)プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b)転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c)I²C バスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

表 16.8 I²C バスタイミング (t_{Sr}/t_{Sf} 影響最大の場合)

項目	t_{cyc} 表示		時間表示 (最大転送レート時) [ns]						
			t_{Sr}/t_{Sf} 影響 (max.)	I ² C バス 仕様 (min.)	= 5MHz	= 8MHz	= 10MHz	= 16MHz	= 20MHz
t_{SCLHO}	$0.5t_{SCLO}$ ($-t_{Sr}$)	標準モード*	-1000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950
t_{SCLLO}	$0.5t_{SCLO}$ ($-t_{Sf}$)	標準モード	-250	4700	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000* ¹	1000* ¹	1000* ¹	1000* ¹	1000* ¹
t_{BUFO}	$0.5t_{SCLO}-1t_{cyc}$ ($-t_{Sr}$)	標準モード*	-1000	4700	3800* ¹	3875* ¹	3900* ¹	3938* ¹	3950* ¹
		高速モード	-300	1300	750* ¹	825* ¹	850* ¹	888* ¹	900* ¹
t_{STAHO}	$0.5t_{SCLO}-1t_{cyc}$ ($-t_{Sf}$)	標準モード*	-250	4000	4550	4625	4650	4688	4700
		高速モード	-250	600	800	875	900	938	950
t_{STASO}	$1t_{SCLO}$ ($-t_{Sr}$)	標準モード	-1000	4700	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200
t_{STOSO}	$0.5t_{SCLO}+2t_{cyc}$ ($-t_{Sf}$)	標準モード*	-1000	4000	4400	4250	4200	4125	4100
		高速モード	-300	600	1350	1200	1150	1075	1050
t_{SDASO} マスタ時	$1t_{SCLLO}^{*3}-3t_{cyc}$ ($-t_{Sr}$)	標準モード*	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
t_{SDASO} スレーブ時	$1t_{SCLL}^{*3}-12t_{cyc}^{*2}$ ($-t_{Sr}$)	標準モード*	-1000	250	1300	2200	2500	2950	3100
		高速モード	-300	100	-1400* ¹	-500* ¹	-200* ¹	250	400
t_{SDAHO}	$3t_{cyc}$	標準モード	0	0	600	375	300	188	150
		高速モード	0	0	600	375	300	188	150

【注】 *1 I²C バスインタフェースの仕様を満足しません。以下の4つの対応などが必要です。

- (1) 開始/停止条件発行のインターバルを確保する。
- (2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。
- (3) 転送レートを下げて調整する。
- (4) 入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 IICX ビットが1のときです。IICX ビットを0に設定すると、($t_{SCLL}-6t_{cyc}$)となります。

*3 I²C バス仕様値 (標準モード: 4700ns min.、高速モード: 1300ns min.) で計算しています。

(7) マスタ受信終了時における ICDR リードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRS ビットを 1 にセットし、ICCR の BBSY = 0 かつ SCP = 0 をライトします。これにより、SCL が High レベルのとき、SDA を Low レベルから High レベルに変化させ、停止条件を生成します。この後で受信データは ICDR のリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRS の受信データは ICDR に転送されなくなりますので、第 2 バイト目のデータは、読み出すことができなくなります。

第 2 バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態 (TRS ビットが 0 の状態) で停止条件の発行を行ってください。受信データの読み出しは、必ず ICCR レジスタの BBSY ビットが 0 になり、停止条件が生成され、バスが開放されていることを確認後に、TRS が 0 の状態で ICDR レジスタをリードしてください。このとき、停止条件発行のための命令実行 (ICCR の BBSY = 0 かつ SCP = 0 をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDR のデータ) を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後の MST ビットのクリアなど、送受信の動作モード、設定変更のための IIC 制御ビットの書き替えについては、必ず図 16.18 の(a)期間中 (ICCR レジスタの BBSY ビットの 0 クリア確認後) に行ってください。

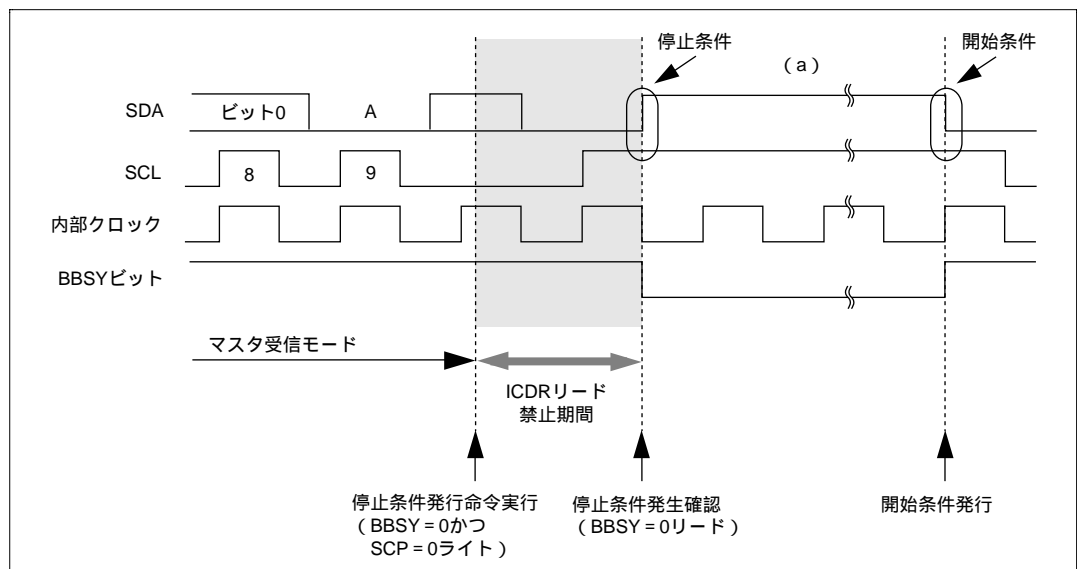


図 16.18 マスタ受信データの読み出しにおける注意

(8) 再送のための開始条件発行時の注意事項

図 16.19 に、再送のための開始条件発行のタイミングと、それに連続して ICDR にデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成した後で ICDR に送信データをライトしてください。

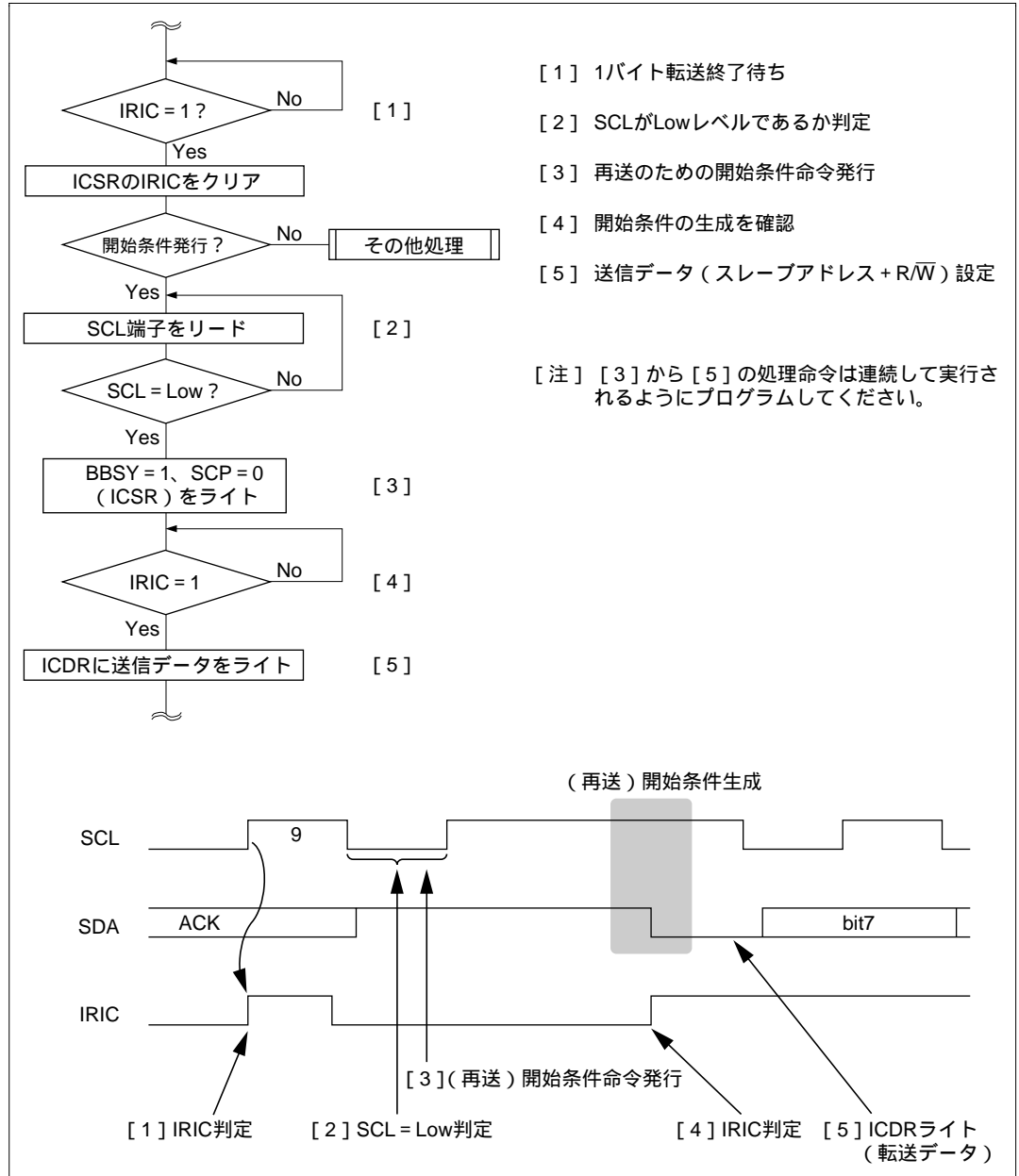


図 16.19 再送のための開始条件命令発行フローチャートおよびタイミング

(9) I²C バスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

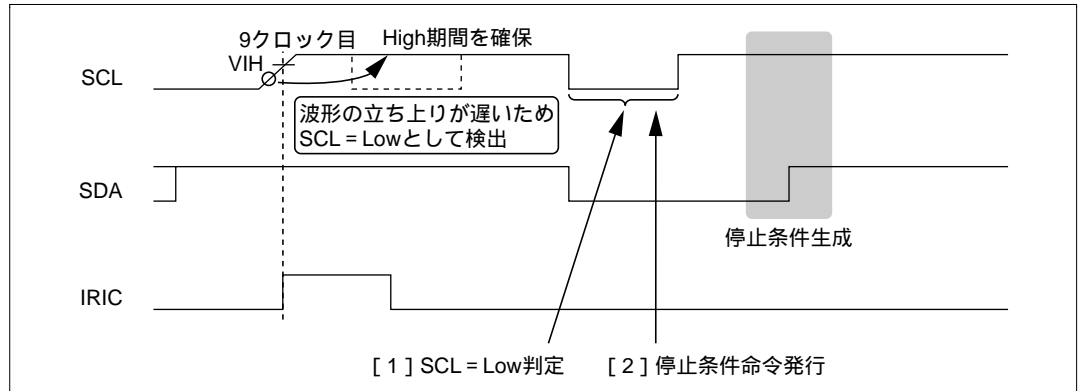


図 16.20 停止条件発行タイミング

17. キーボードバッファ コントローラ

H8S/2148 シリーズ、H8S/2147N に内蔵しています。
H8S/2144 シリーズには内蔵していません。

第 17 章 目次

17.1	概要	569
	17.1.1 特長	569
	17.1.2 ブロック図	570
	17.1.3 端子構成	571
	17.1.4 レジスタ構成	571
17.2	各レジスタの説明	572
	17.2.1 キーボードコントロールレジスタ H (KBCRH)	572
	17.2.2 キーボードコントロールレジスタ L (KBCRL)	575
	17.2.3 キーボードデータバッファレジスタ (KBBR)	576
	17.2.4 モジュールストップコントロールレジスタ (MSTPCR)	577
17.3	動作説明	578
	17.3.1 受信動作	578
	17.3.2 送信動作	579
	17.3.3 受信中断動作	582
	17.3.4 KCLKI、KDI リードタイミング	584
	17.3.5 KCLKO、KDO ライトタイミング	584
	17.3.6 KBF セットタイミングと KCLK 制御	585
	17.3.7 受信タイミング	586
	17.3.8 KCLK 立ち下がり割込みの動作	587
	17.3.9 使用上の注意	588

17.1 概要

本LSIは、3チャンネルのキーボードバッファコントローラ0、1、2を内蔵しています。キーボードバッファコントローラは、PS/2 インタフェースに準拠した機能を備えています。

キーボードバッファコントローラを用いたデータ転送は、データライン（KD）一本、クロックライン一本で構成され、コネクタやプリント基盤の面積などを経済的に使用できます。図17.1にキーボードバッファコントローラ接続方法を示します。

17.1.1 特長

PS/2 インタフェースに準拠

バスを直接駆動（KCLK、KD端子）

割り込み要因：データ受信完了時、クロックのエッジ検出時

エラー検出：パリティエラー、ストップビットモニタ

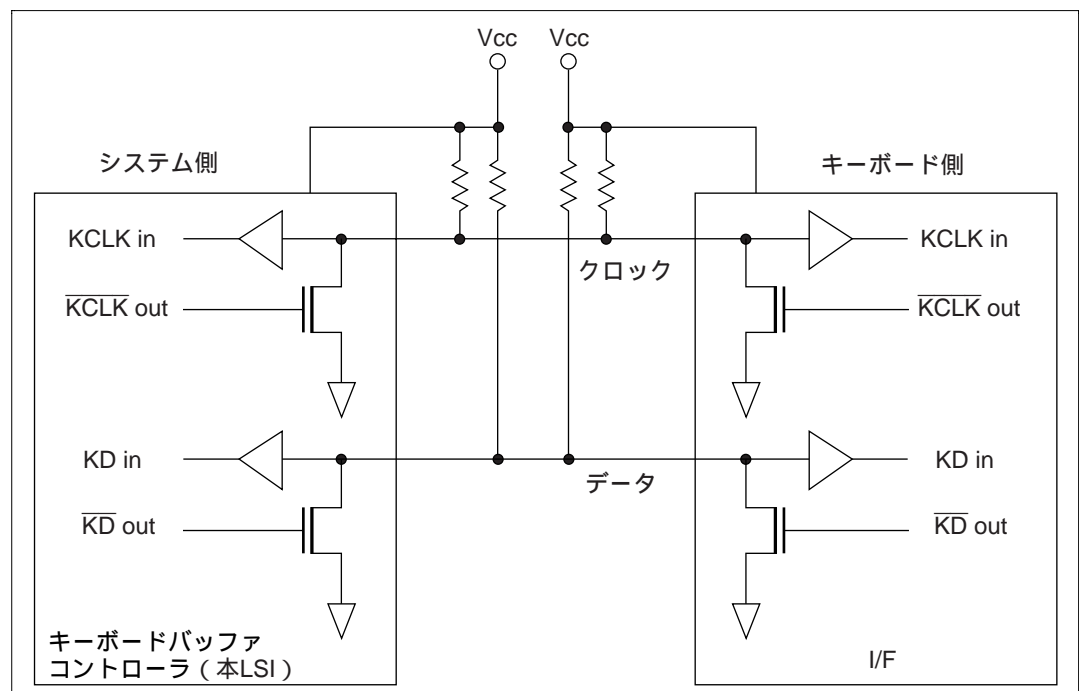


図17.1 キーボードバッファコントローラ接続方法

17.1.2 ブロック図

キーボードバッファコントローラのブロック図を図 17.2 に示します。

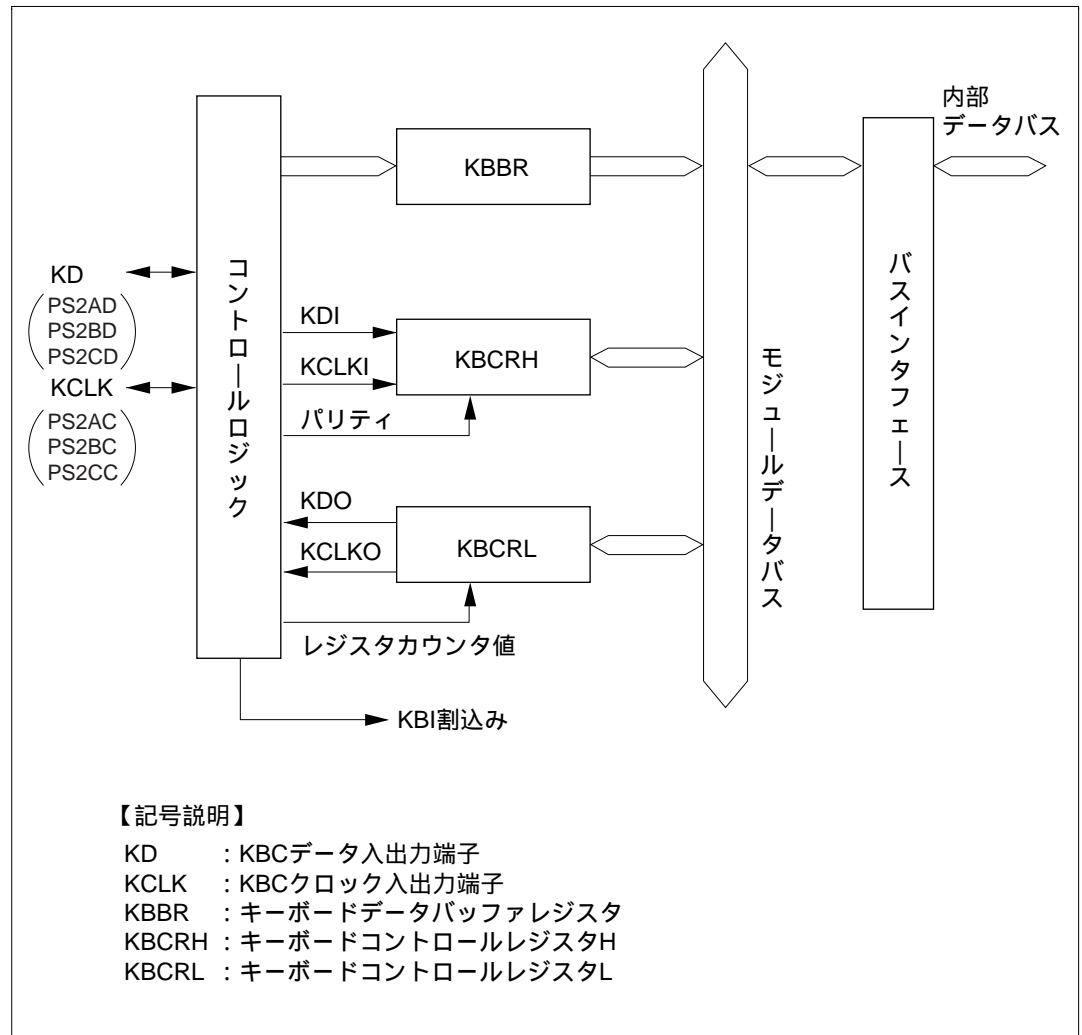


図 17.2 キーボードバッファコントローラのブロック図

17.1.3 端子構成

キーボードバッファコントローラで使用する端子を表 17.1 に示します。

表 17.1 端子構成

チャンネル	名称	略称*	入出力	機能
0	KBC クロック入出力端子 (KCLK0)	PS2AC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD0)	PS2AD	入出力	KBC データ入出力
1	KBC クロック入出力端子 (KCLK1)	PS2BC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD1)	PS2BD	入出力	KBC データ入出力
2	KBC クロック入出力端子 (KCLK2)	PS2CC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD2)	PS2CD	入出力	KBC データ入出力

【注】 * 外部入出力端子名です。本文中ではチャンネルを省略し、クロック入出力端子を KCLK、データ入出力端子を KD と記載します。

17.1.4 レジスタ構成

キーボードバッファコントローラのレジスタ構成を表 17.2 に示します。

表 17.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス* ¹
0	キーボードコントロールレジスタ H	KBCRH0	R/(W)* ²	H'70	H'FED8
	キーボードコントロールレジスタ L	KBCRL0	R/W	H'70	H'FED9
	キーボードデータバッファレジスタ	KBBR0	R	H'00	H'FEDA
1	キーボードコントロールレジスタ H	KBCRH1	R/(W)* ²	H'70	H'FEDC
	キーボードコントロールレジスタ L	KBCRL1	R/W	H'70	H'FEDD
	キーボードデータバッファレジスタ	KBBR1	R	H'00	H'FEDE
2	キーボードコントロールレジスタ H	KBCRH2	R/(W)* ²	H'70	H'FEE0
	キーボードコントロールレジスタ L	KBCRL2	R/W	H'70	H'FEE1
	キーボードデータバッファレジスタ	KBBR2	R	H'00	H'FEE2
共通	モジュールストップコントロール レジスタ	MSTPCRH	R/W	H'3F	H'FF86
		MSTPCRL	R/W	H'FF	H'FF87

【注】 *¹ アドレスの下位 16 ビットを示しています。

*² ビット 2、ビット 1 は、フラグをクリアするための 0 ライトのみ可能です。

17.2 各レジスタの説明

17.2.1 キーボードコントロールレジスタ H (KBCRH)

ビット:	7	6	5	4	3	2	1	0
	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS
初期値:	0	1	1	1	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/(W)*	R/(W)*	R

【注】 * フラグをクリアするための0ライトのみ可能です。

KBCRH は、リード/ライト可能な 8 ビットのレジスタで、キーボードバッファコントローラの動作状態を示します。

KBCRH は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'70 に初期化されます。また、ビット 6、5、2~0 は、KBIOE を 0 にクリアしたときに、初期化されます。

ビット 7: キーボードインアウトイネーブル (KBIOE)

KBIOE ビットは、キーボードバッファコントローラを使用する / 使用しないを選択します。KBIOE ビットを 1 にセットすると、本モジュールは送受信動作可能状態となり、ポートは KCLK、KD の入出力端子となります。KBIOE ビットを 0 にクリアすると、本モジュールは機能を停止し、ポートはハイインピーダンス状態になります。

ビット 7	説明
KBIOE	
0	本モジュールは非動作 (KCLK、KD 信号端子はポート機能) 状態 (初期値)
1	本モジュールは送受信可能状態 (KCLK、KD 信号端子はバス駆動状態)

ビット 6: キーボードクロックイン (KCLKI)

KCLK 入出力端子をモニタするビットです。ライトは無効です。

ビット 6	説明
KCLKI	
0	KCLK 入出力端子は Low レベル
1	KCLK 入出力端子は High レベル (初期値)

ビット5：キーボードデータイン（KDI）

KDI 入出力端子をモニタするビットです。ライトは無効です。

ビット5	説明
KDI	
0	KD 入出力端子は Low レベル
1	KD 入出力端子は High レベル (初期値)

ビット4：キーボードバッファレジスタフルセレクト（KBFSEL）

KBFSEL ビットは、KBF ビットをキーボードバッファレジスタフルフラグとして使用するか、KCLK の立ち下がりによる割込みフラグとして使用するかを選択します。KBFSEL=0 として使用する場合には、KBCRL レジスタの KBE ビットを 0 に設定して受信禁止状態にしてください。

ビット4	説明
KBFSEL	
0	KBF ビットを KCLK の立ち下がりによる割込みフラグとして使用する
1	KBF ビットをキーボードバッファフルフラグとして使用する (初期値)

ビット3：キーボードインタラプトイネーブル（KBIE）

KBIE ビットは、キーボードバッファコントローラから CPU に対する、割込みを許可または禁止を選択します。

ビット3	説明
KBIE	
0	割込み要求を禁止 (初期値)
1	割込み要求を許可

ビット2：キーボードバッファレジスタフル（KBF）

データの受信が完了し、受信したデータが KBBR に入っていることを示すビットです。

ビット2	説明
KBF	
0	〔クリア条件〕 KBF = 1 の状態をリードした後、0 をライトしたとき (初期値)
1	〔セット条件〕 ・ KBFSEL = 1 の状態でデータが正常に受信され、KBBR ヘデータが転送されたとき（キーボードバッファレジスタフルフラグ） ・ KBFSEL = 0 の状態で KCLK の立ち上がりエッジを検出したとき（KCLK 割込みフラグ）

ビット1：パリティエラー（PER）

奇数パリティのエラーが発生したことを示すビットです。

ビット1	説明
PER	
0	〔クリア条件〕 PER = 1 の状態でリードした後、0 をライトしたとき (初期値)
1	〔セット条件〕 奇数パリティのエラーが発生したとき

ビット0：キーボードストップ（KBS）

受信データのストップビットを示すビットです。KBF = 1 のときのみ有効です。

ビット0	説明
KBS	
0	ストップビット0を受信 (初期値)
1	ストップビット1を受信

17.2.2 キーボードコントロールレジスタ L (KBCRL)

ビット:	7	6	5	4	3	2	1	0
	KBE	KCLKO	KDO		RXCR3	RXCR2	RXCR1	RXCR0
初期値:	0	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W		R	R	R	R

KBCRL は、リード/ライト可能な 8 ビットのレジスタで、受信カウンタのカウンタ許可、キーボードバッファコントローラ端子出力の制御を行います。

KBCRL は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'70 に初期化されます。

ビット7: キーボードイネーブル (KBE)

キーボードデータバッファレジスタ (KBBR) への受信データのロードの許可、または禁止を選択します。

ビット7	説明
KBE	
0	KBBR への受信データのロードを禁止 (初期値)
1	KBBR への受信データのロードを許可

ビット6: キーボードクロックアウト (KCLKO)

KBC クロック入出力端子の出力を制御するビットです。

ビット6	説明
KCLKO	
0	キーボードバッファコントローラクロック入出力端子は Low レベル
1	キーボードバッファコントローラクロック入出力端子は High レベル (初期値)

ビット5: キーボードデータアウト (KDO)

KBC データ入出力端子の出力を制御するビットです。

ビット5	説明
KDO	
0	キーボードバッファコントローラデータ入出力端子は Low レベル
1	キーボードバッファコントローラデータ入出力端子は High レベル (初期値)

ビット4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3～0：レシーブカウンタ (RXCR3～RXCR0)

受信したデータのビットを示します。KCLKの立ち下がりでカウントアップします。ライトは無効です。

レシーブカウンタはリセット時およびKBEの0ライト時に、0000に初期化されます。また、ストップビット受信後、0000に戻ります。

ビット3	ビット2	ビット1	ビット0	受信データの内容
RXCR3	RXCR2	RXCR1	RXCR0	
0	0	0	0	(初期値)
			1	スタートビット
		1	0	KB0
			1	KB1
	1	0	0	KB2
			1	KB3
		1	0	KB4
			1	KB5
1	0	0	KB6	
		1	KB7	
	1	0	パリティビット	
		1		
	1			

17.2.3 キーボードデータバッファレジスタ (KBBR)

ビット：	7	6	5	4	3	2	1	0
	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

KBBRは、8ビットのリード専用レジスタで、受信データを格納します。

KBBRの値は、KBF=1のときのみ有効です。

KBBRは、リセットまたはスタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、モジュールストップモード時またはKBIOEビットが0にクリアされたときに、H'00に初期化されます。

17.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP2 ビットを1にセットすると、バスサイクルの終了時点でキーボードバッファコントローラは動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRL ビット2：モジュールストップ (MSTP2)

キーボードバッファコントローラのモジュールストップモードを指定します。

MSTPCRL ビット2	説明
MSTP2	
0	キーボードバッファコントローラのモジュールストップモード解除
1	キーボードバッファコントローラのモジュールストップモード設定 (初期値)

17.3 動作説明

17.3.1 受信動作

受信動作では、KCLK(クロック)、KD(データ)とも、キーボード側が出力し、本デバイス(システム側)は、入力となります。KDは、スタートビット、データ8ビット(LSBから)、奇数パリティ、ストップビットの順で受信します。KDの値は、KCLKがLowレベルのとき有効です。受信処理フローチャートの例を図 17.3、受信タイミングを図 17.4に示します。

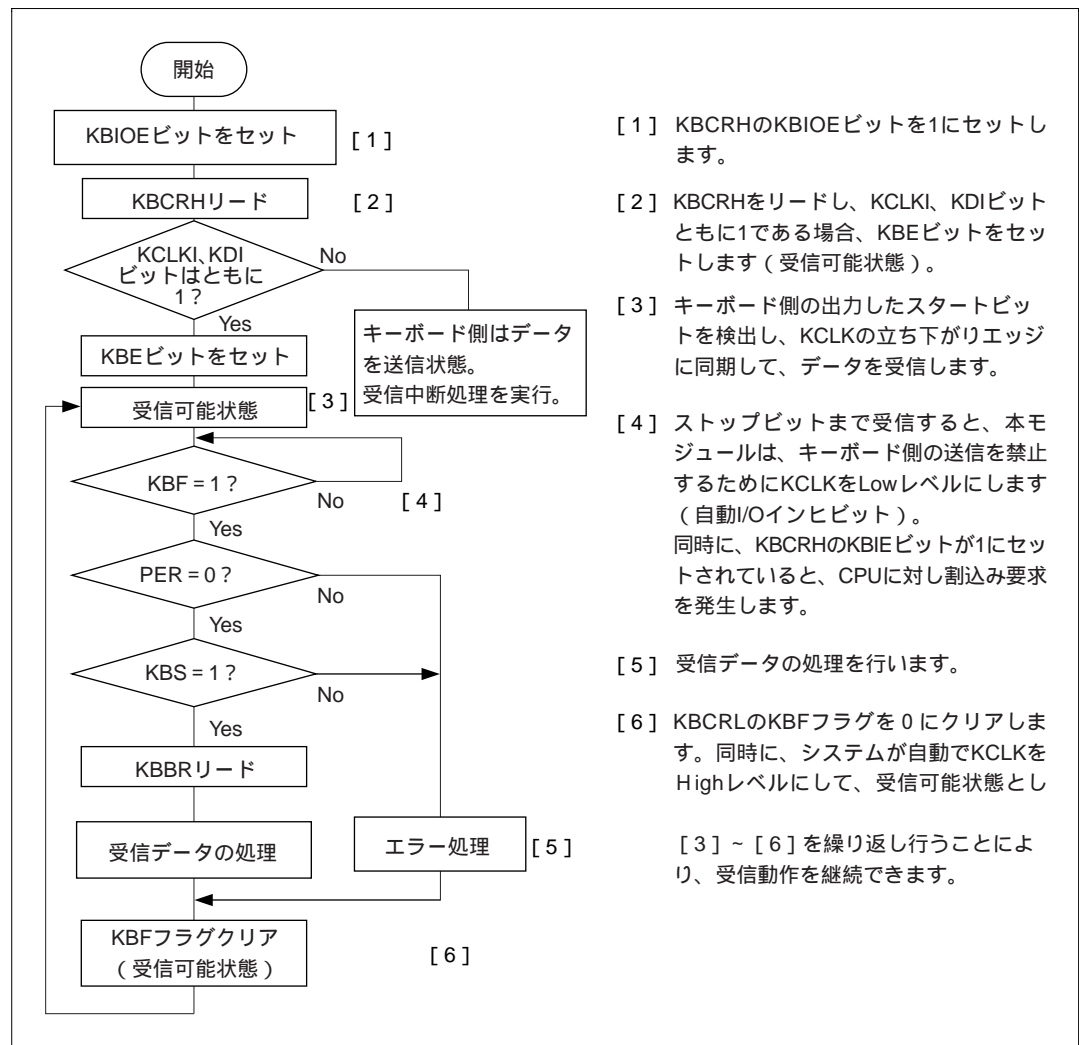


図 17.3 受信処理フローチャートの例

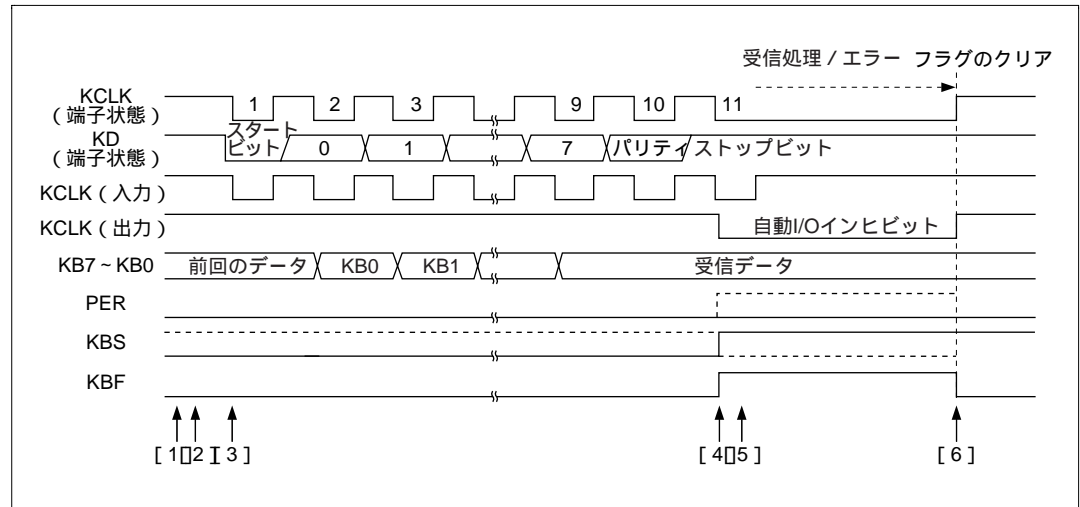


図 17.4 受信タイミング

17.3.2 送信動作

送信動作では、KCLK (クロック) は、キーボード側が出力し、KD (データ) は、本デバイス (システム側) が出力します。KD は、スタートビット、データ 8 ビット (LSB から)、奇数パリティ、ストップビットの順で、出力します。KD の値は、KCLK が High レベルのとき、有効です。送信処理フローチャートの例を図 17.5、送信タイミングを図 17.6 に示します。

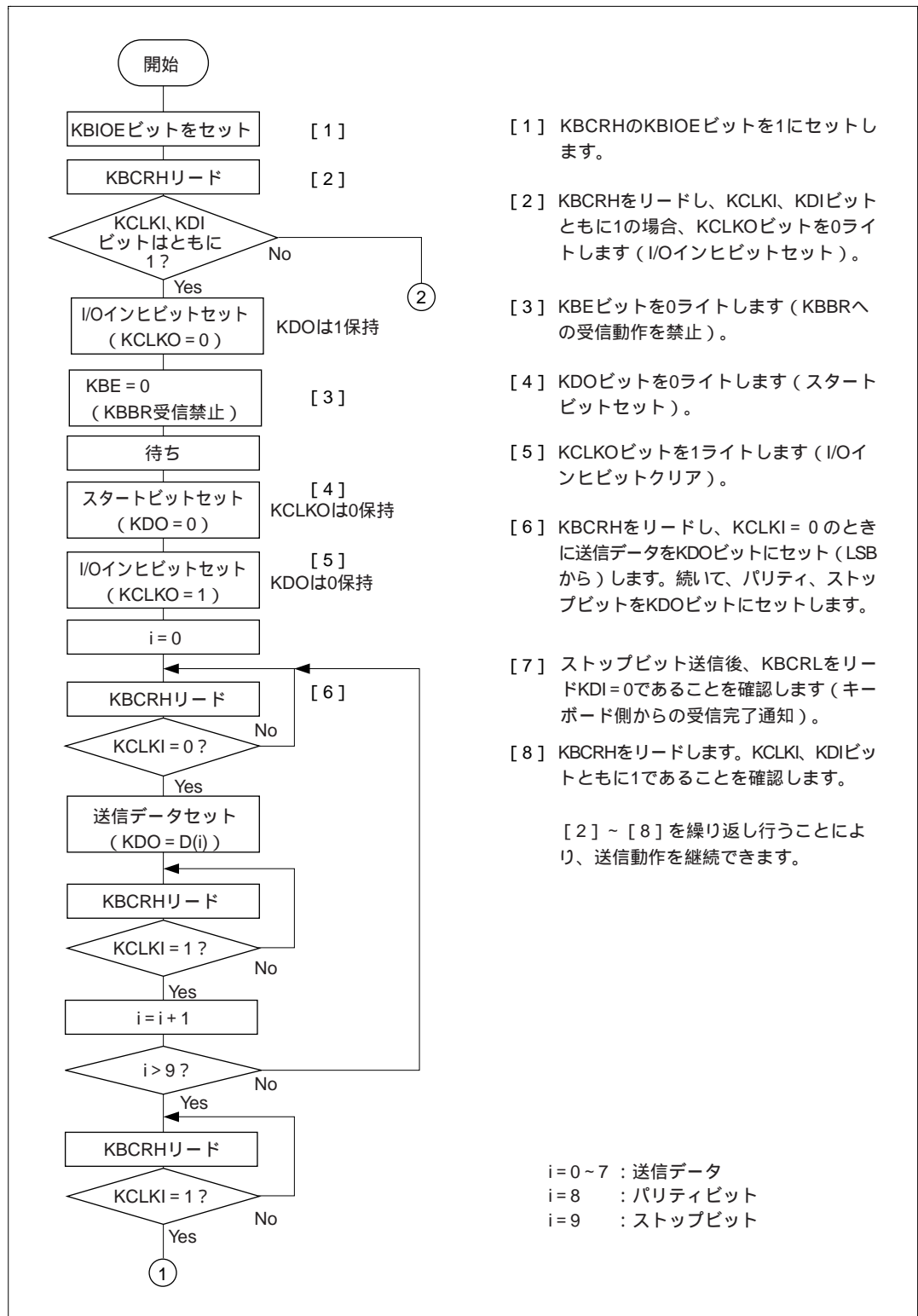


図 17.5 (1) 送信処理フローチャートの例

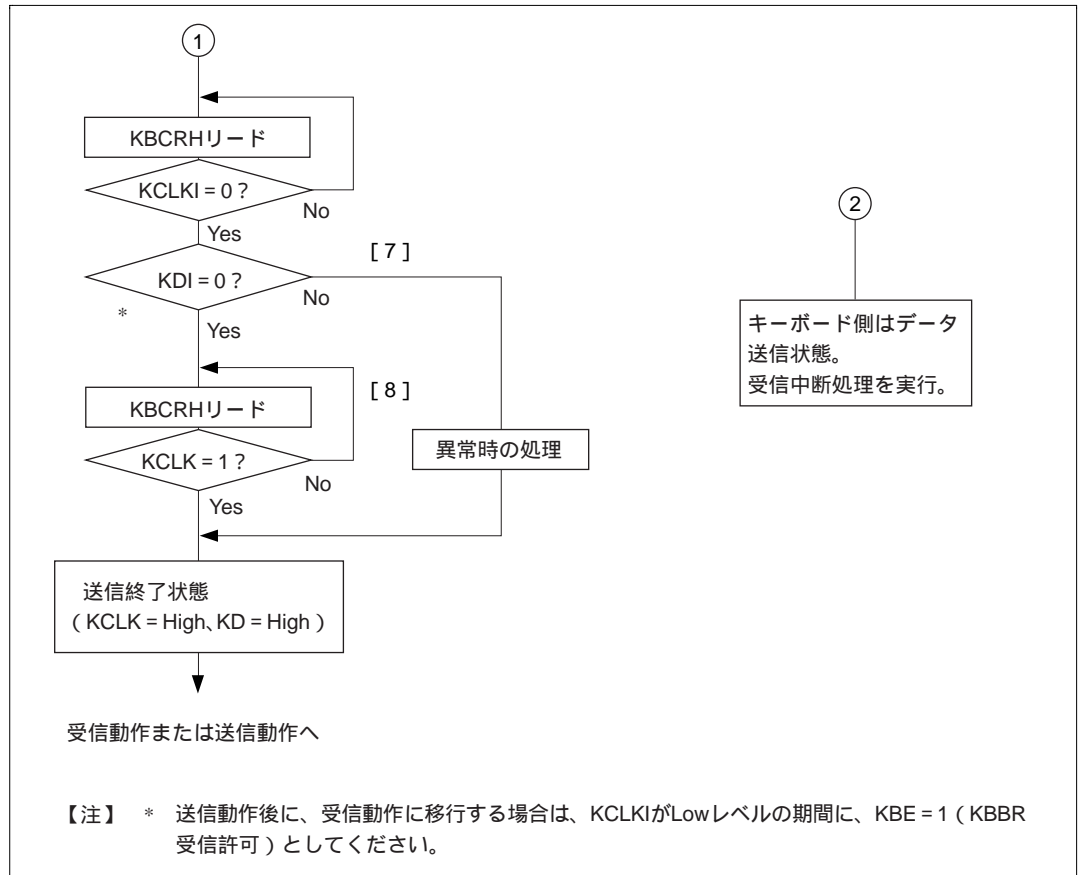


図 17.5 (2) 送信処理フローチャートの例

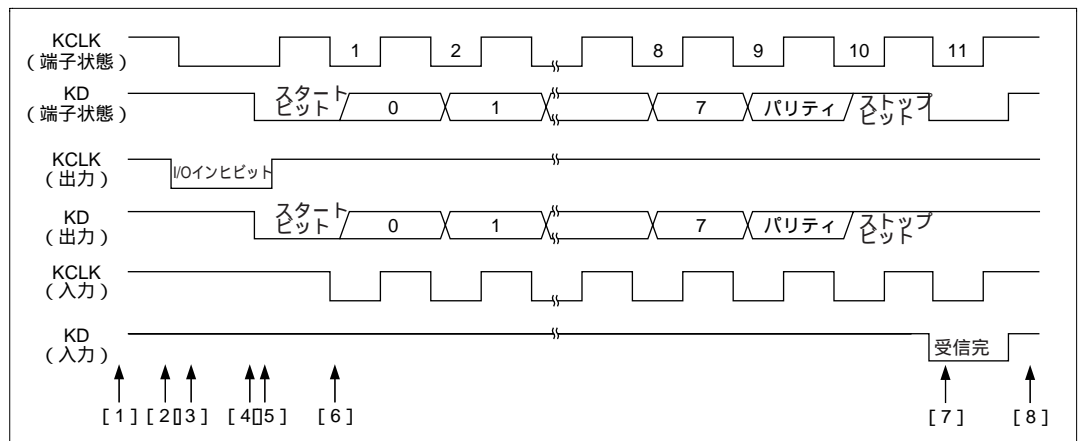


図 17.6 送信タイミング

17.3.3 受信中断動作

本デバイス（システム側）は、プロトコル異常発生時などに、本デバイスに接続されているデバイス（キーボード側）からの送信を強制的に中断させることができます。この場合、システムはクロックを Low レベルに保持します。受信動作中は、キーボード側も同期用のクロックを出力していますが、キーボードからの出力クロックが High レベルのタイミングで、クロックを監視しています。このタイミングでクロックが Low レベルの場合、キーボードはシステムからの中断要求であると判断し、キーボード側からのデータ送信を中断します。このように、システムが一定期間クロックを Low レベルに保持することによって、受信動作を中断させることができます。受信中断処理フローチャートの例を図 17.7、受信中断タイミングを図 17.8 に示します。

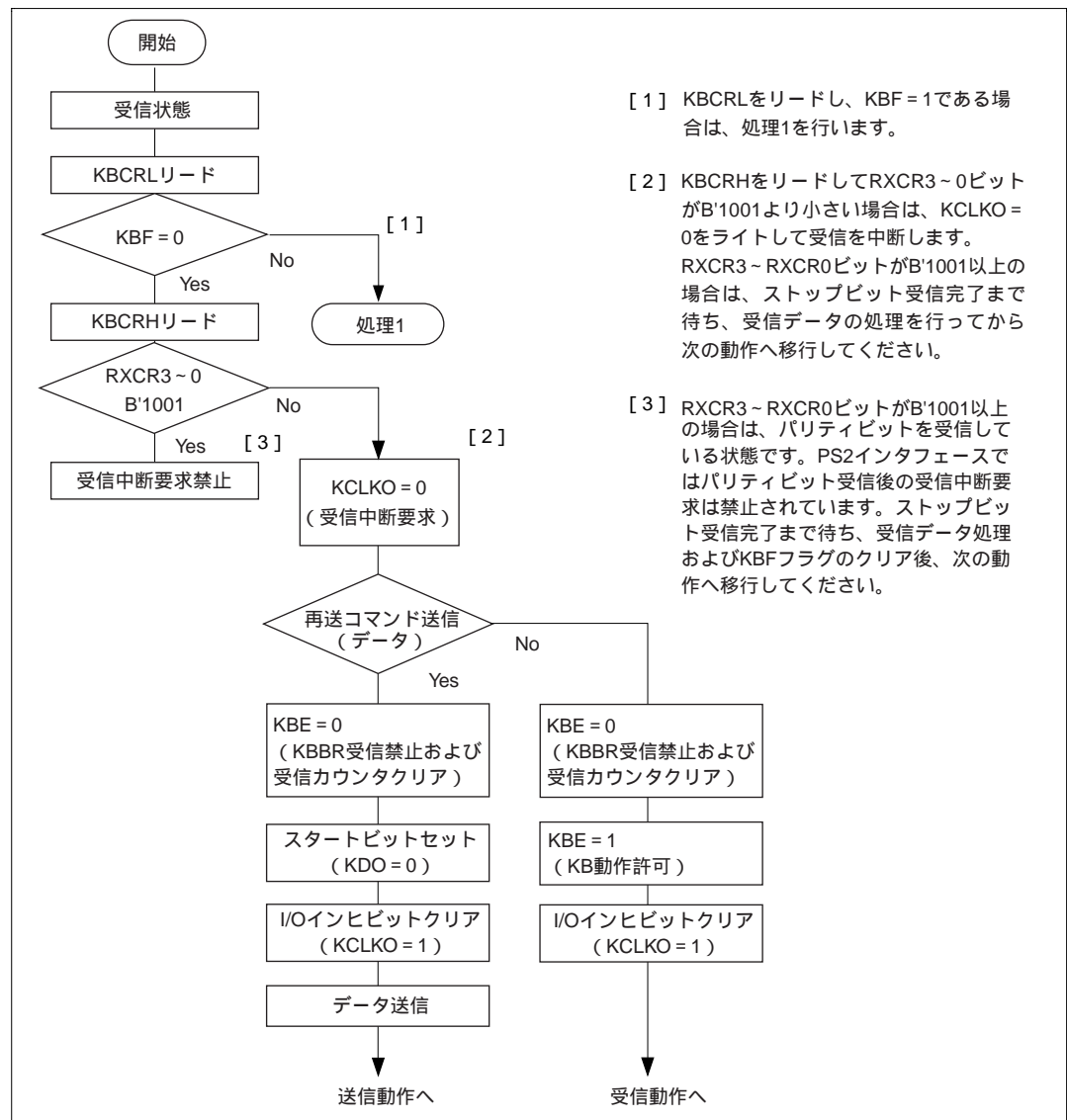


図 17.7 (1) 受信中断処理フローチャートの例

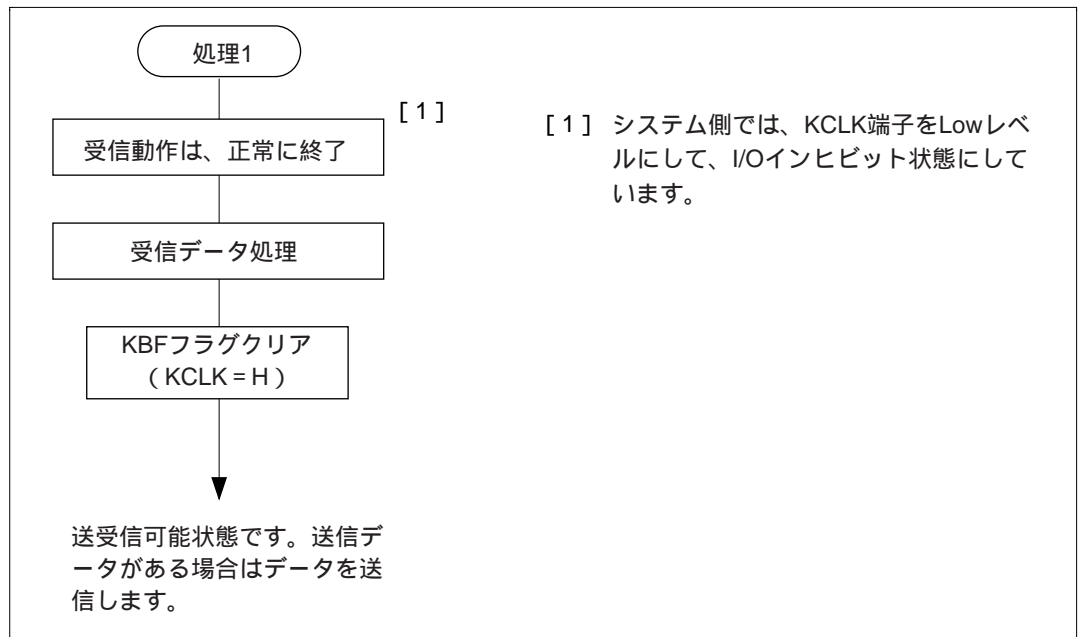


図 17.7 (2) 受信中断処理フローチャートの例

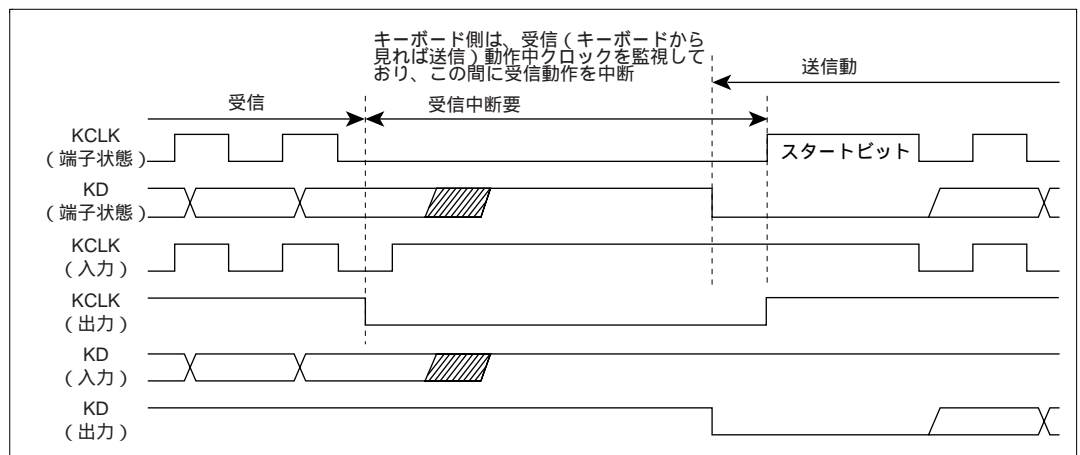


図 17.8 受信中断および送信開始（送 / 受信切り替え）タイミング

17.3.4 KCLKI、KDI リードタイミング

KCLKI、KDI リードタイミングを図 17.9 に示します。

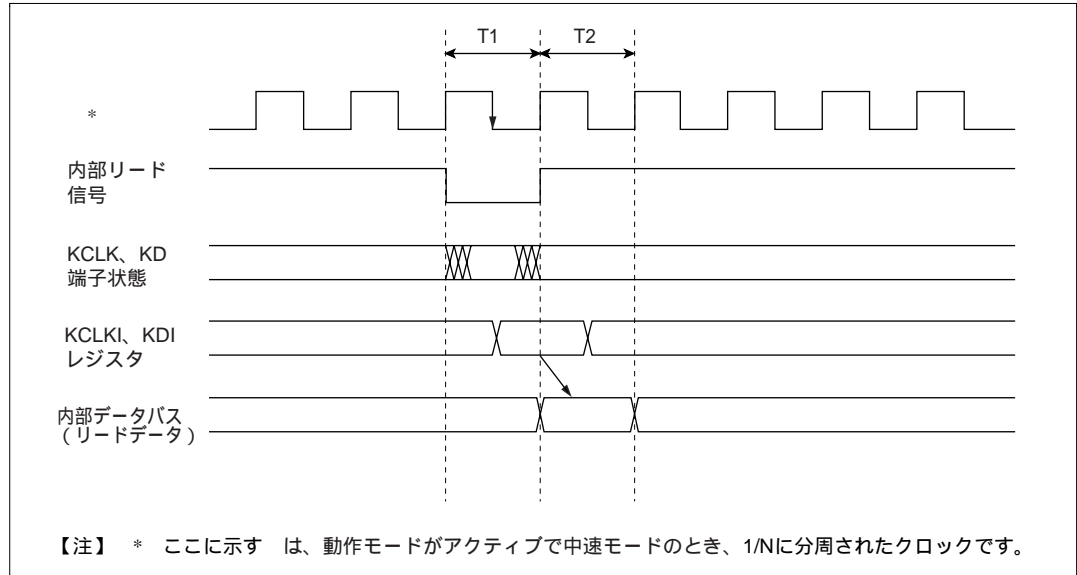


図 17.9 KCLKI、KDI のリードタイミング

17.3.5 KCLKO、KDO ライトタイミング

KCLKO、KDO ライトタイミングと KCLK、KD 端子状態を図 17.10 に示します。

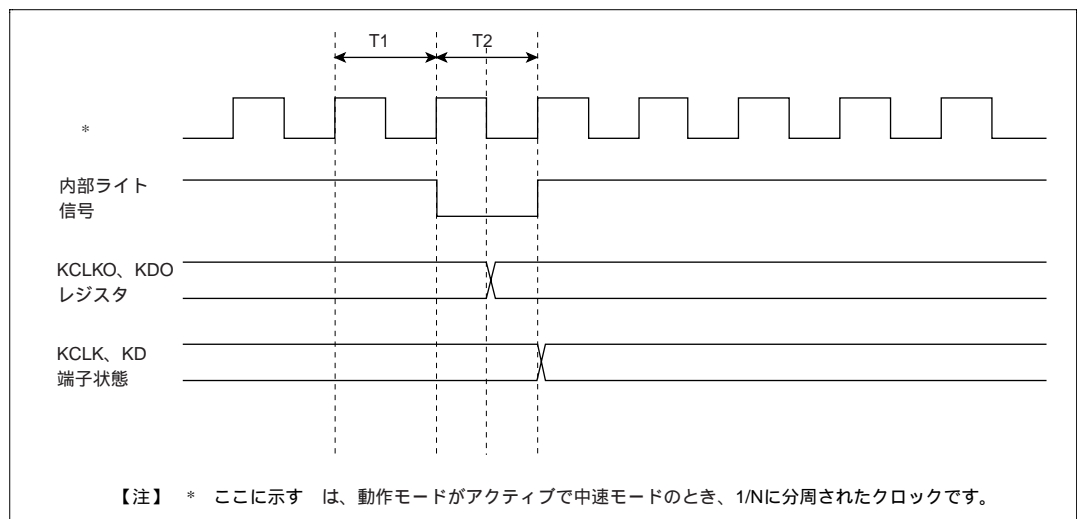


図 17.10 KCLKO、KDO のライトタイミング

17.3.6 KBF セットタイミングと KCLK 制御

KBFセットタイミングとKCLK端子状態を図17.11に示します。

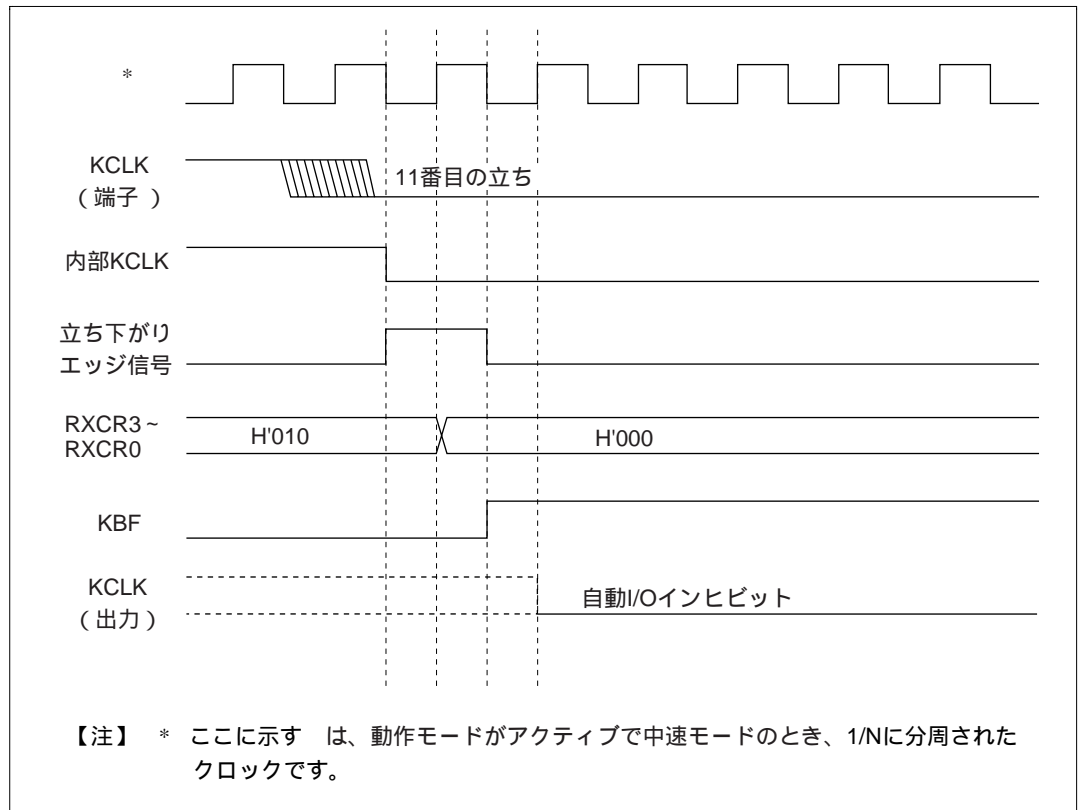


図 17.11 KBFセットとKCLK自動I/Oインヒビット生成のタイミング

17.3.7 受信タイミング

受信タイミングを図 17.12 に示します。

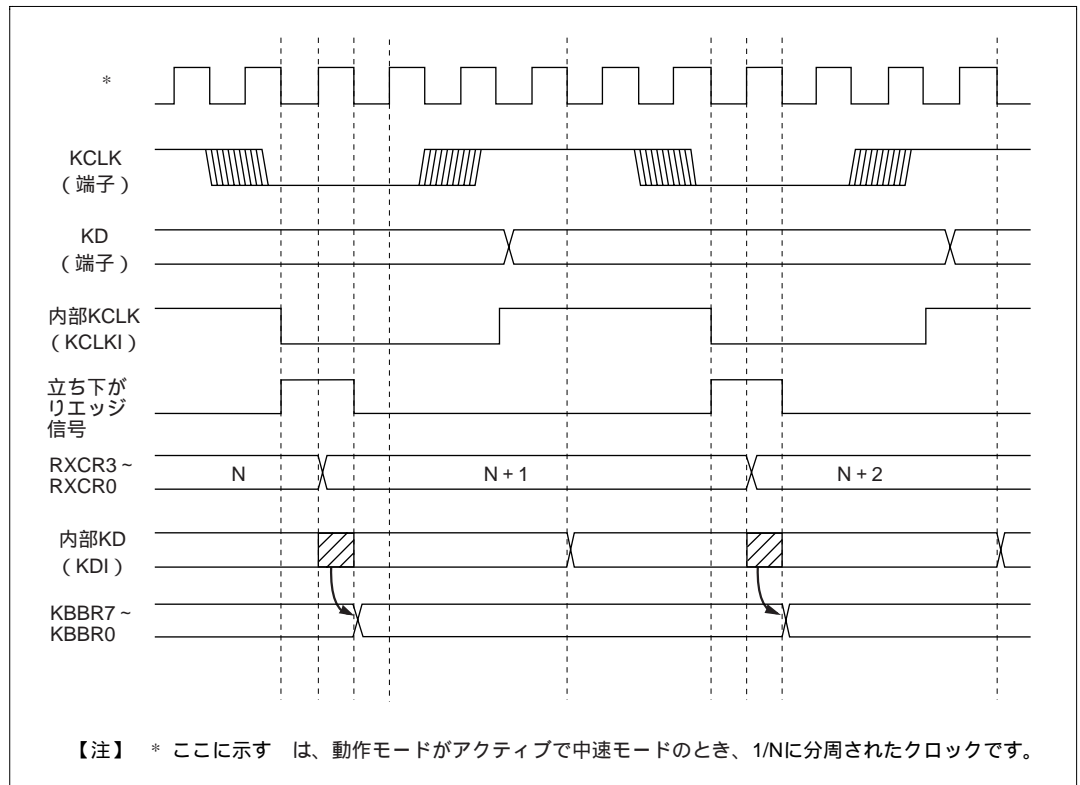


図 17.12 受信カウンタと KBBR へのデータロードのタイミング

17.3.8 KCLK 立ち下がり割込みの動作

本デバイスはKBCRHのKBFSELビットを0にクリアすることにより、KBCRLのKBFビットをKCLK入力の立ち下がりによる割込みフラグとして使用できます。

図17.13に設定方法、および動作例を示します。

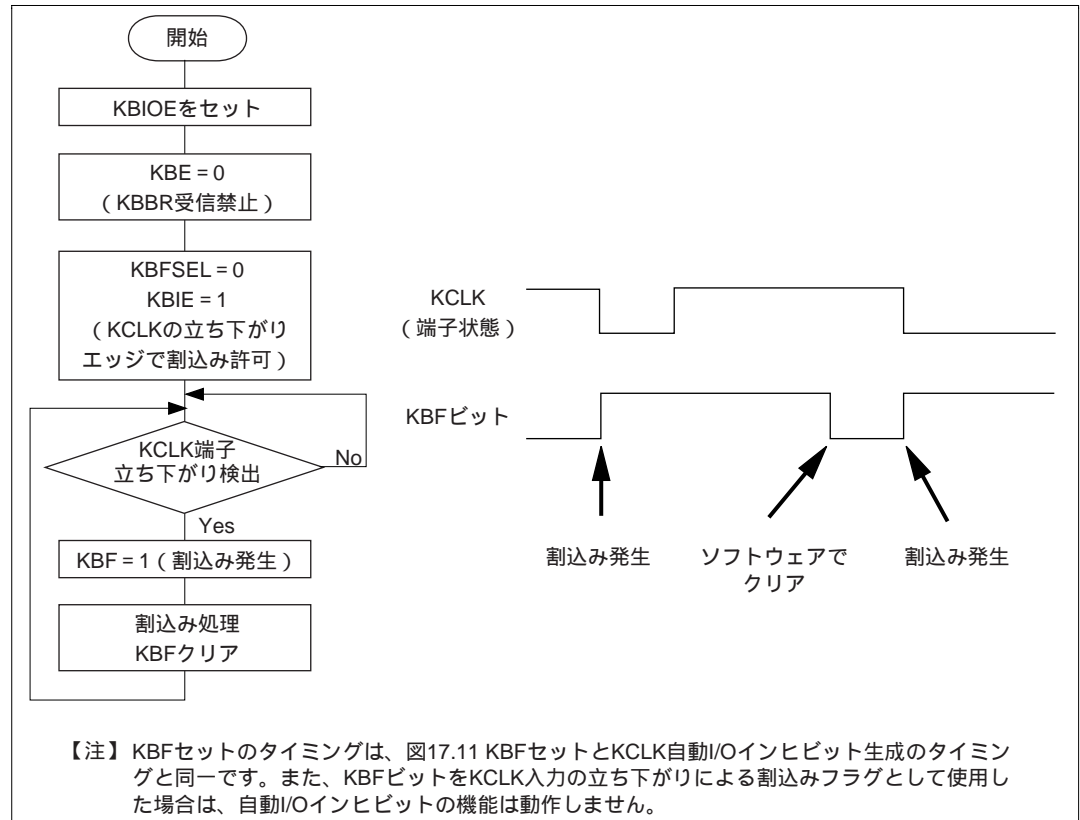


図17.13 KCLK入力の立ち下がりによる割込み動作例

17.3.9 使用上の注意

KBIOE が0の時、内部KCLK、内部KDは1に固定されています。

したがって、KBIOE ビットを1にセットする時に、KCLK 端子がLowの場合、エッジ検出回路が動作し、KCLK 立ち下がりエッジを検出します。

このとき、KBFSELビットが0、KBE ビットが0の場合、KBFビットがセットされます。

図 17.14 に KBIOE セットと KCLK 立ち下がりエッジ検出のタイミングを示します。

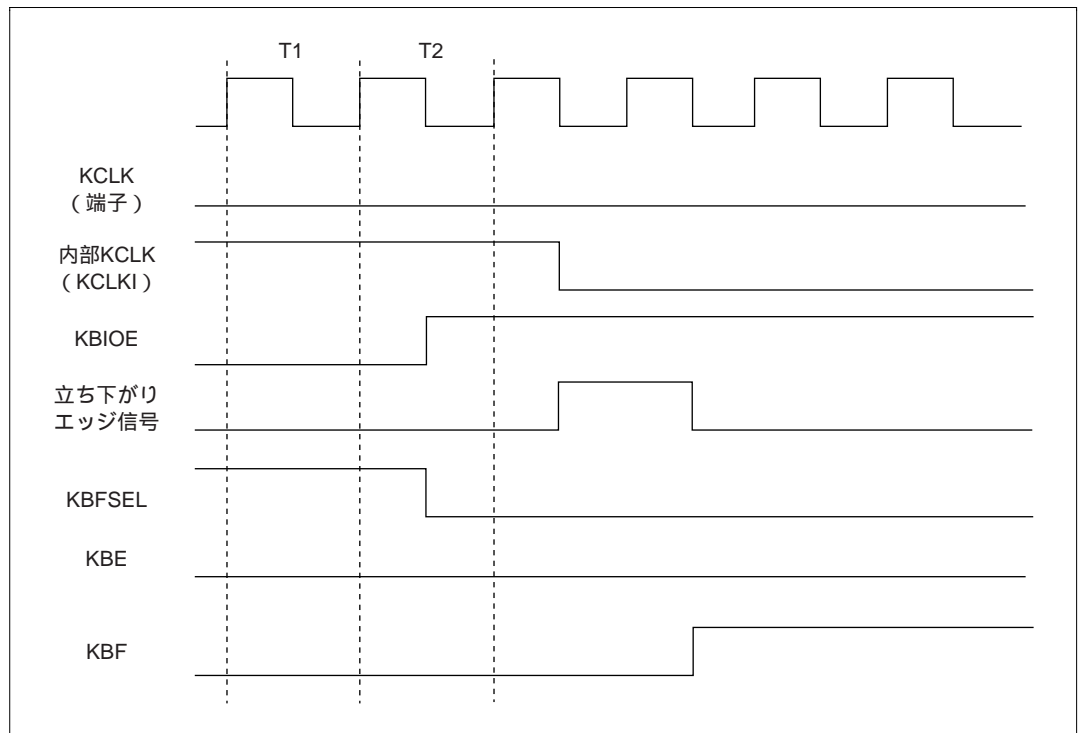


図 17.14 KBIOE セットと KCLK 立ち下がりエッジ検出のタイミング

18. ホストインタフェース

H8S/2148 シリーズ、H8S/2147N に内蔵しています。
H8S/2144 シリーズには内蔵していません。

第 18 章 目次

18.1	概要	591	
	18.1.1	特長	591
	18.1.2	ブロック図	592
	18.1.3	端子構成	593
	18.1.4	レジスタ構成	594
18.2	各レジスタの説明	595	
	18.2.1	システムコントロールレジスタ (SYSCR)	595
	18.2.2	システムコントロールレジスタ 2 (SYSCR2)	596
	18.2.3	ホストインタフェースコントロールレジスタ (HICR)	598
	18.2.4	入力データレジスタ (IDR)	599
	18.2.5	出力データレジスタ 1 (ODR)	599
	18.2.6	ステータスレジスタ (STR)	600
	18.2.7	モジュールストップコントロールレジスタ (MSTPCR)	602
18.3	動作説明	603	
	18.3.1	ホストインタフェースの起動	603
	18.3.2	コントロール状態	605
	18.3.3	GATE A20	606
	18.3.4	ホストインタフェース端子シャットダウン機能	608
18.4	割込み要因	610	
	18.4.1	IBF1、IBF2、IBF3、IBF4	610
	18.4.2	HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4	610
18.5	使用上の注意	612	

18.1 概要

本 LSI は、パーソナルコンピュータの内部バスとして広く用いられている ISA バスに接続可能なホストインタフェース (HIF : Host InterFace) を内蔵しています。

HIF は、本 LSI の内部 CPU とホストとの 4 チャンネルの平行インタフェース機能です。

HIF は、SYSCR2 の HII2E ビットが 1 にセットされたときのみ使用できます。このときのモードをスレーブモードと呼びます。スレーブモードは、本 LSI をスレーブとしてホストとのマスタスレーブ通信システム用に設計されています。

18.1.1 特長

HIF の特長を以下に示します。

HIF は 8 バイトのデータレジスタ、4 バイトのステータスレジスタ、および 2 バイトのコントロールレジスタと高速 GATE A20 ロジックとホスト割込み要求回路から構成されています。ホストからの 7 つのコントロール信号 ($\overline{CS1}$ 、 $\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $HA0$ 、 \overline{IOR} 、 \overline{IOW})、ホストへの 6 つの出力信号 ($GA20$ 、 $HIRQ1$ 、 $HIRQ11$ 、 $HIRQ12$ 、 $HIRQ3$ 、 $HIRQ4$)、およびコマンド / データ入出力バスとしての 8 ビットデータバス ($HDB7 \sim HDB0$) を介してホストとの通信を行います。 $\overline{CS1}$ 、 $\overline{CS2}$ ($\overline{ECS2}$)、 $\overline{CS3}$ と $\overline{CS4}$ 信号は 4 つのインタフェースチャンネルのうち 1 つを選択する信号です。

18.1.2 ブロック図

HIFのブロック図を図 18.1 に示します。

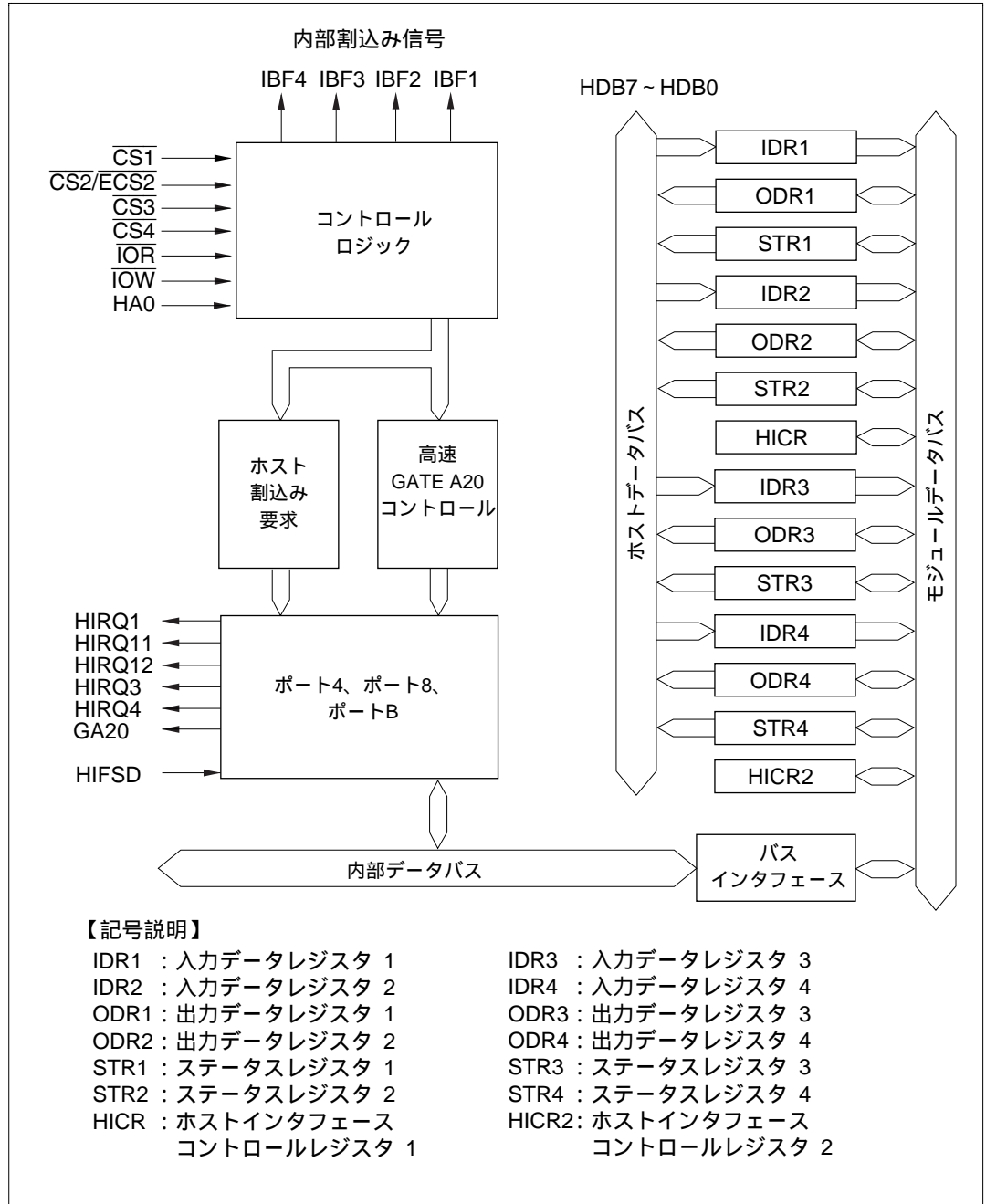


図 18.1 HIFのブロック図

18.1.3 端子構成

HIFの入出力端子を表 18.1 に示します。

表 18.1 端子構成

名称	略称	ポート	入出力	機能
I/O リード	$\overline{I\!O\!R}$	P93	入力	ホストインタフェースリード信号
I/O ライト	$\overline{I\!O\!W}$	P94	入力	ホストインタフェースライト信号
チップセレクト 1	$\overline{CS1}$	P95	入力	IDR1、ODR1、STR1 に対するホストインタフェースチップセレクト信号
チップセレクト 2*	$\overline{CS2}$	P81	入力	IDR2、ODR2、STR2 に対するホストインタフェースチップセレクト信号
	$\overline{ECS2}$	P90		
チップセレクト 3	$\overline{CS3}$	PB2	入力	IDR3、ODR3、STR3 に対するホストインタフェースチップセレクト信号
チップセレクト 4	$\overline{CS4}$	PB3	入力	IDR4、ODR4、STR4 に対するホストインタフェースチップセレクト信号
コマンド/データ	HA0	P80	入力	ホストインタフェースアドレス選択信号 ホストリード時は、ステータスレジスタ (STR1 ~ STR4) がデータレジスタ (ODR1 ~ ODR4) かを選択します。ホストライト時は、データレジスタ (IDR1 ~ IDR3、IDTR4) へのライトがコマンドライトかデータライトかを表わします。
データバス	HDB7 ~ HDB0	P37 ~ P30	入出力	ホストインタフェースデータバス
ホスト割込み 11	HIRQ11	P43	出力	ホスト割込み要求出力 11 をホストへ出力
ホスト割込み 1	HIRQ1	P44	出力	ホスト割込み要求出力 1 をホストへ出力
ホスト割込み 12	HIRQ12	P45	出力	ホスト割込み要求出力 12 をホストへ出力
ホスト割込み 3	HIRQ3	PB0	出力	ホスト割込み要求出力 3 をホストへ出力
ホスト割込み 4	HIRQ4	PB1	出力	ホスト割込み要求出力 4 をホストへ出力
GATE A20	GA20	P81	出力	GATE A20 コントロール信号出力
HIF シャットダウン	HIFSD	P82	入力	ホストインタフェースのシャットダウン制御信号

【注】 * STCRのCS2E ビットとHICRのFGA20E ビットの設定により、 $\overline{CS2}$ または $\overline{ECS2}$ を選択することができます。HIFのチャンネル2および $\overline{CS2}$ 端子は、CS2E=1 のときに使用可能です。CS2E=1 のとき、FGA20E=0 で $\overline{CS2}$ が有効になり、FGA20E=1 で $\overline{ECS2}$ が有効になります。本文中では $\overline{CS2}$ と略称します。

18.1.4 レジスタ構成

HIF のレジスタ構成を表 18.2 に示します。HIF のレジスタのうち HICR、IDR1、IDR2、ODR1、ODR2、STR1、STR2 の各レジスタは、SYSCR の HIE ビットが 1 の場合にのみアクセス可能です。

表 18.2 レジスタ構成

名称	略称	R/W		初期値	スレーブ アドレス ^{*3}	マスタアドレス ^{*4}				
		スレーブ	ホスト			CS1	CS2	CS3	CS4	HA0
システムコントロール レジスタ	SYSCR	R/W ^{*1}	-	H'09	H'FFC4	-	-	-	-	-
システムコントロール レジスタ 2	SYSCR2	R/W	-	H'00	H'FF83	-	-	-	-	-
ホストインタフェース コントロールレジスタ 1	HICR	R/W	-	H'F8	H'FFF0	-	-	-	-	-
ホストインタフェース コントロールレジスタ 2	HICR2	R/W	-	H'F8	H'FE80	-	-	-	-	-
入力データレジスタ 1	IDR1	R	W	-	H'FFF4	0	1	1	1	0/1 ^{*5}
出力データレジスタ 1	ODR1	R/W	R	-	H'FFF5	0	1	1	1	0
ステータスレジスタ 1	STR1	R/(W) ^{*2}	R	H'00	H'FFF6	0	1	1	1	1
入力データレジスタ 2	IDR2	R	W	-	H'FFFC	1	0	1	1	0/1 ^{*5}
出力データレジスタ 2	ODR2	R/W	R	-	H'FFFD	1	0	1	1	0
ステータスレジスタ 2	STR2	R/(W) ^{*2}	R	H'00	H'FFFE	1	0	1	1	1
入力データレジスタ 3	IDR3	R	W	-	H'FE84	1	1	0	1	0/1 ^{*5}
出力データレジスタ 3	ODR3	R/W	R	-	H'FE85	1	1	0	1	0
ステータスレジスタ 3	STR3	R/(W) ^{*2}	R	H'00	H'FE86	1	1	0	1	1
入力データレジスタ 4	IDR4	R	W	-	H'FE8C	1	1	1	0	0/1 ^{*5}
出力データレジスタ 4	ODR4	R/W	R	-	H'FE8D	1	1	1	0	0
ステータスレジスタ 4	STR4	R/(W) ^{*2}	R	H'00	H'FE8E	1	1	1	0	1
モジュールストップ コントロールレジスタ	MSTPCRH	R/W	-	H'3F	H'FF86	-	-	-	-	-
	MSTPCRL	R/W	-	H'FF	H'FF87	-	-	-	-	-

【注】 *1 ビット 5、3 はリード専用です。

*2 ユーザ定義ビット (ビット 7~4、2) は、スレーブからリード/ライト可能です。

*3 スレーブからアクセスするときのアドレスです。アドレスの下位 16 ビットを示しています。

*4 マスタからアクセスするときの端子入力です。

*5 HA0 入力は、コマンドライトとデータライトの識別に用いられます。

18.2 各レジスタの説明

18.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R	R/W	R	R/W	R/W	R/W

SYSCR は、8 ビットのリード/ライト可能なレジスタで、本 LSI の動作を制御します。HIF のレジスタのうち、HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2 は、HIE ビットが 1 のときだけアクセス可能です。HICR2、IDR3、ODR3、STR3、IDR4、ODR4、STR4 は、HIE ビットによらずアクセス可能です。ホストインタフェースの $\overline{CS2}$ 、 $\overline{ECS2}$ 端子は SYSCR の CS2E ビットと HICR の FGA20E ビットによって制御されます。SYSCR のその他のビットについての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」「5.2.1 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR は、リセット、ハードウェアスタンバイモード時に H'09 に初期化されます。

ビット 7 : CS2 イネーブルビット (CS2E)

HICR の FGA20E ビットとともに、スレープモード時に $\overline{CS2}$ 機能をはたす端子を選択します。

SYSCR ビット 7	HICR ビット 0	説明
CS2E	FGA20E	
0	0	$\overline{CS2}$ 端子機能停止 ($\overline{CS2}$ は内部的に High レベル固定) (初期値)
	1	
1	0	P81/ $\overline{CS2}$ 端子に $\overline{CS2}$ 端子機能を選択
	1	P90/ $\overline{ECS2}$ 端子に $\overline{CS2}$ 端子機能を選択

ビット 1 : ホストインタフェースイネーブルビット (HIE)

ホストインタフェースレジスタの CPU アクセスを許可または禁止します。許可時には本 LSI は、ホストインタフェースのレジスタ (HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2) がアクセス可能になります。

ビット1	説明
HIE	
0	HIFレジスタ (HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2) のCPUアクセスを禁止 (初期値)
1	HIFレジスタ (HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2) のCPUアクセスを許可

18.2.2 システムコントロールレジスタ 2 (SYSCR2)

ビット :	7	6	5	4	3	2	1	0
	KWUL1	KWUL0	P6PUE		SDE	CS4E	CS3E	HI12E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W		R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード/ライト可能なレジスタで、本 LSI の動作を制御します。ホストインタフェース機能は、SYSCR2 の HI12E ビットによって許可または禁止されます。また、CS3E ビットおよび CS4E ビットによって使用できるチャンネル数を 4 チャンネルまで拡張することができます。

SYSCR2 は、リセット、ハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6 : キーウェイクアップレベル 1、0 (KWUL1、KWUL0)

ポート 6 の入力レベルをソフトウェアにより設定、切り替えできます。詳細は「第 8 章 I/O ポート」を参照してください。

ビット 5 : ポート 6 入力プルアップ MOS エクストラ (P6PUE)

KMPCR の設定により接続される、ポート 6 プルアップ MOS の電流仕様を制御、選択します。詳細は「第 8 章 I/O ポート」を参照してください。

ビット 4 : リザーブビット

リザーブビットです。1 をライトしないでください。

ビット 3 : シャットダウンイネーブル (SDE)

ホストインタフェース端子のシャットダウン機能を許可または禁止します。許可時は HIFSD 端子の状態により、ホストインタフェース端子機能を停止させ出力をハイインピーダンスにすることができます。

ビット3	説明
SDE	
0	ホストインタフェース端子のシャットダウン機能を禁止 (初期値)
1	ホストインタフェース端子のシャットダウン機能を許可

ビット2 : CS4 イネーブル (CS4E)

スレーブモードでホストインタフェースチャンネル4の機能を許可または禁止します。許可時はチャンネル4の端子がイネーブルとなり、スレーブとホスト間のデータ転送処理を行うことができます。

ビット2	説明
CS4E	
0	ホストインタフェースチャンネル4の機能を禁止 (初期値)
1	ホストインタフェースチャンネル4の機能を許可

ビット1 : CS3 イネーブル (CS3E)

スレーブモードでホストインタフェースチャンネル3の機能を許可または禁止します。許可時はチャンネル3の端子がイネーブルとなり、スレーブとホスト間のデータ転送処理を行うことができます。

ビット1	説明
CS3E	
0	ホストインタフェースチャンネル3の機能を禁止 (初期値)
1	ホストインタフェースチャンネル3の機能を許可

ビット0 : ホストインタフェースイネーブルビット (HI12E)

シングルチップモードでホストインタフェース機能を許可または禁止します。許可時はスレーブモードとなり、スレーブとホスト間のデータ転送処理を行います。

ビット0	説明
HI12E	
0	ホストインタフェースの機能を禁止 (初期値)
1	ホストインタフェースの機能を許可

18.2.3 ホストインタフェースコントロールレジスタ (HICR)

HICR

ビット :	7	6	5	4	3	2	1	0
						IBFIE2	IBFIE1	FGA20E
初期値 :	1	1	1	1	1	0	0	0
スレーブR/W :						R/W	R/W	R/W
ホストR/W :								

HICR2

ビット :	7	6	5	4	3	2	1	0
						IBFIE4	IBFIE3	
初期値 :	1	1	1	1	1	0	0	0
スレーブR/W :						R/W	R/W	
ホストR/W :								

HICR は、8 ビットのリード/ライト可能なレジスタで、ホストインタフェースチャンネル 1、2 の割込みと高速 GATE A20 機能を制御します。または HICR2 は、8 ビットのリード/ライト可能なレジスタで、ホストインタフェースチャンネル 3、4 の割込みを制御します。HICR および HICR2 は、リセット、またはハードウェアスタンバイモード時に H'F8 に初期化されます。

ビット7~3：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

HICR のビット 2、1：入力データレジスタフル割込みイネーブル 2、1 (IBFIE2、IBFIE1)
 HICR2 のビット 2、1：入力データレジスタフル割込みイネーブル 4、3 (IBFIE4、IBFIE3)
 内部 CPU に対して IBF1、IBF2、IBF3、IBF4 割込みを許可または禁止します。

HICR2 ビット 2	HICR2 ビット 1	HICR ビット 2	HICR ビット 1	説 明
IBFIE4	IBFIE3	IBFIE2	IBFIE1	
—	—	—	0	入力データレジスタ (IDR1) 受信完了割込み要求を禁止 (初期値)
—	—	—	1	入力データレジスタ (IDR1) 受信完了割込み要求を許可
—	—	0	—	入力データレジスタ (IDR2) 受信完了割込み要求を禁止 (初期値)
—	—	1	—	入力データレジスタ (IDR2) 受信完了割込み要求を許可
—	0	—	—	入力データレジスタ (IDR3) 受信完了割込み要求を禁止 (初期値)
—	1	—	—	入力データレジスタ (IDR3) 受信完了割込み要求を許可
0	—	—	—	入力データレジスタ (IDR4) 受信完了割込み要求を禁止 (初期値)
1	—	—	—	入力データレジスタ (IDR4) 受信完了割込み要求を許可

HICRのビット0：高速 GATE A20 イネーブルビット（FGA20E）

高速 GATE A20 機能を許可または禁止します。高速 GATE A20 が禁止された場合、通常の GATE A20 は P81 出力をファームウェアで操作することで実現できます。

HICR の ビット0	FGA20E	説明
0		高速 GATE A20 機能を禁止 (初期値)
1		高速 GATE A20 機能を許可

HICR2のビット0：リザーブビット

リザーブビットです。1にセットしないでください。

18.2.4 入力データレジスタ（IDR）

ビット：	7	6	5	4	3	2	1	0
	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値：								
スレーブR/W：	R	R	R	R	R	R	R	R
ホストR/W	W	W	W	W	W	W	W	W

IDR は、スレーブに対しては 8 ビットのリード専用の、ホストに対しては 8 ビットのライト専用のレジスタです。 \overline{CS}_n (n=1~4) が Low レベルの時に、 \overline{IOW} の立ち上がりエッジで、ホストデータバスの内容が IDR_n にライトされます。HA0 の状態は STR_n の \overline{CD} ビットに反映され、コマンドライトとデータライトの識別に用いられます。

IDR は、リセットまたはスタンバイモード時、初期値は不定です。

18.2.5 出力データレジスタ 1（ODR）

ビット：	7	6	5	4	3	2	1	0
	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値：								
スレーブR/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	R	R	R	R	R	R	R	R

ODR は、スレーブに対しては 8 ビットのリード/ライト可能な、ホストに対しては 8 ビットのリード専用のレジスタです。HA0 が Low レベル、 \overline{CS}_n (n=1~4) が Low レベル、 \overline{IOR} が Low レベルの時、ホストデータバスへ ODR_n の内容が出力されます。

ODR は、リセットまたはスタンバイモード時、初期値は不定です。

18.2.6 ステータスレジスタ (STR)

ビット:	7	6	5	4	3	2	1	0
	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
初期値:	0	0	0	0	0	0	0	0
スレーブR/W:	R/W	R/W	R/W	R/W	R	R/W	R	R/(W)*
ホストR/W:	R	R	R	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

STR_n (n=1~4) は、8ビットのレジスタでホストインタフェース処理中の状態を表示します。ビット3、1、0はホストとスレーブのいずれもリード専用です。

STRは、リセット、またはハードウェアスタンバイモード時にH'00に初期化されます。

ビット7~4、2: ユーザ定義ビット (DBU)

ユーザが必要に応じて使用できるビットです。

ビット3: コマンド/データ (C/D)

ホストがIDRに対してライトを行ったときの、HA0の状態がライトされ、IDRの内容がデータかコマンドかを識別します。

ビット3	説明
C/D	
0	入力データレジスタ (IDR) の内容はデータ (初期値)
1	入力データレジスタ (IDR) の内容はコマンド

ビット1: 入力データレジスタフル (IBF)

ホストがIDRにライトすると1にセットされます。スレーブに対しての内部割込み要因の1つとなります。スレーブがIDRをリードするとIBFビットは0にクリアされます。

なお、高速GATE A20を使用しているときはIBFフラグのセット/クリア条件が変わります。詳細は表18.8 高速GATE A20出力信号を参照してください。

ビット1	説明
IBF	
0	[クリア条件] スレーブがIDRをリード (初期値)
1	[セット条件] ホストがIDRにライト

ビット0：出力データレジスタフル（OBF）

スレーブがODRへライトすると1にセットされます。ホストがODRをリードすると、OBFビットは0にクリアされます。

ビット0	説明
OBF	
0	[クリア条件] (初期値) ホストがODRをリード、またはスレーブがOBFビットに0ライト
1	[セット条件] スレーブがODRにライト

表 18.3 に STR のフラグをセット / クリアするタイミングを示します。

表 18.3 STR のフラグのセット / クリアタイミング

フラグ	セット条件	クリア条件
C/D	HA0 が High レベルのときのホストライト (\overline{IOW}) 信号の立ち上がりエッジ	HA0 が Low レベルのときのホストライト (\overline{IOW}) 信号の立ち上がりエッジ
IBF*	IDR へライトするためのホストライト (\overline{IOW}) 信号の立ち上がりエッジ	IDR からリードするためのスレーブの内部リ ード (\overline{RD}) 信号の立ち下がりエッジ
OBF	ODR へライトするためのスレーブの内部 ライト (\overline{WR}) 信号の立ち下がりエッジ	ODR からリードするためのホストリード (\overline{IOR}) 信号の立ち上がりエッジ

【注】 * 高速 GATE A20 を使用しているときは、IBF フラグのセット / クリア条件が変わりま
す。詳細は、表 18.8 高速 GATE A20 出力信号を参照してください。

18.2.7 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCRH								MSTPCRL							
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP2ビットを1にセットすると、HIFは動作を停止してモジュールストップモードへ遷移します。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRL ビット2 : モジュールストップ (MSTP2)

HIFのモジュールストップモードを指定します。

MSTPCRL ビット2	説 明
MSTP2	
0	HIFのモジュールストップモード解除
1	HIFのモジュールストップモード設定 (初期値)

18.3 動作説明

18.3.1 ホストインタフェースの起動

シングルチップモードでSYSCR2のHI12Eビット(ビット0)を1にセットすることによりHIF(スレーブモード)が起動します。HIF(スレーブモード)を起動することにより、関連するI/Oポート(データ用ポート3、コントロール用ポート8およびポート9、ホスト割込み要求用ポート4)はすべてホストインタフェース専用となります。さらにCS3EビットおよびCS4Eビットを1にセットすることにより、HIFのチャンネル数を4チャンネルまで拡張することが可能となり、チャンネル3、4の関連するI/Oポート(コントロールおよびホスト割込み要求用ポートBの一部)がホストインタフェース専用となります。

表 18.4 に HIF のホストインタフェースチャンネルの選択と端子の動作を示します。

表 18.4 ホストインタフェースチャンネルの選択と端子の動作

HI12E	CS2E	CS3E	CS4E	動 作
0	—	—	—	ホストインタフェース機能停止
1	0	0	0	ホストインタフェースチャンネル1のみ動作 チャンネル2~4は動作停止 ($\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 入力として動作しない。P43、P81、P90、PB0~PB3 各端子機能は入出力ポートとして動作する。)
			1	ホストインタフェースチャンネル1、4の機能が動作 チャンネル2~3は動作停止 ($\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS3}$ 入力として動作しない。P43、P81、P90、PB0、PB2 各端子機能は入出力ポートとして動作する。)
		1	0	ホストインタフェースチャンネル1、3の機能が動作 チャンネル2、4は動作停止 ($\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS4}$ 入力として動作しない。P43、P81、P90、PB1、PB3 各端子機能は入出力ポートとして動作する。)
			1	ホストインタフェースチャンネル1、3、4の機能が動作 チャンネル2は動作停止 ($\overline{CS2}$ または $\overline{ECS2}$ 入力として動作しない。P43、P81、P90 各端子機能は入出力ポートとして動作する。)
	1	0	0	ホストインタフェースチャンネル1、2の機能が動作 チャンネル3、4は動作停止 ($\overline{CS3}$ 、 $\overline{CS4}$ 入力として動作しない。PB0~PB3 各端子機能は入出力ポートとして動作する。)
			1	ホストインタフェースチャンネル1、2、4の機能が動作 チャンネル3は動作停止 ($\overline{CS3}$ 入力として動作しない。PB0、PB2 各端子機能は入出力ポートとして動作する。)
		1	0	ホストインタフェースチャンネル1~3の機能が動作 チャンネル4は動作停止 ($\overline{CS4}$ 入力として動作しない。PB1、PB3 各端子機能は入出力ポートとして動作する。)
			1	ホストインタフェースチャンネル1~4の機能が動作

ホストリード/ライトタイミングについては、「25.3.4 内蔵周辺モジュールタイミング」を参照してください。

18.3.2 コントロール状態

表 18.5 に HIF のホストからのホストインタフェース操作とスレーブの動作を示します。

表 18.5 ホストからのホストインタフェース操作とスレーブの動作

$\overline{\text{CSn}}$ 以外	$\overline{\text{CSn}}$	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$	HA0	動作
1	0	0	0	0	設定禁止
				1	設定禁止
			1	0	出力データレジスタ n (ODRn) からデータをリード
				1	ステータスレジスタ n (STRn) からステータスをリード
	1	0	0	0	入力データレジスタ n (IDRn) へデータをライト
				1	入力データレジスタ n (IDRn) へコマンドをライト
			1	0	アイドル状態
				1	アイドル状態

(n=1~4)

18.3.3 GATE A20

GATE A20 は 8086*系 CPUを使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレス A20 をマスクすることができます。スレーブモードでは、本出力は通常 GATE A20 としてファームウェアで制御されますが、HICR(H'FFF0)の FGA20 ビット (ビット 0) を 1 にセットすることによりハードウェアで処理速度を上げた、高速 GATE A20 機能を使用することが可能です。

【注】* 米国インテル社のマイクロプロセッサの名称です。

(1) 通常の GATE A20 の動作

H'D1 コマンドとデータの組合せで GATE A20 の出力を制御することができます。スレーブがデータを受信するときは、通常は IBF1 割込みによる割込みルーチン使用して IDR1 をリードします。このとき、ファームウェアにより H'D1 コマンドに続くデータのビット 1 の値をコピーして GATE A20 端子に出力します。

(2) 高速 GATE A20 の動作

FGA20E ビットを 1 にセットすると、P81/GA20 は高速 GA20 信号の専用端子となります。P81 を出力端子として割り当てるために P81 の DDR ビットを 1 にセットしてください。端子は最初に初期値である 1 を出力します。その後ホストはコマンド / データを送ることにより本端子の出力を操作することができます。本機能は $\overline{CS1}$ によりアクセスされる IDR1 レジスタによってのみ使用できます。この場合、スレーブはホストから入力されてくるコマンドをデコードします。ホストコマンド H'D1 が検出されると、このホストコマンドに続くデータのビット 1 が GA20 出力端子から出力されます。本動作は、ファームウェアや割込みに依存しないため、通常の割込みを使用した処理よりも高速です。表 18.6 に GA20 (P81) のセット / クリアの条件を、図 18.2 に GA20 出力のフローを示します。また、表 18.7 に GA20 出力信号の値を示します。

表 18.6 GA20 (P81) のセット / クリアタイミング

端子名	セット条件	クリア条件
GA20 (P81)	H'D1 ホストコマンドに続くデータのビット 1 が 1 のとき、ホストライト信号 (\overline{IOW}) の立ち上がりエッジが入力されたとき	H'D1 ホストコマンドに続くデータのビット 1 が 0 のとき、ホストライト信号 (\overline{IOW}) の立ち上がりエッジが入力されたとき または、HICR の FGA20E ビットを 0 クリアしたとき

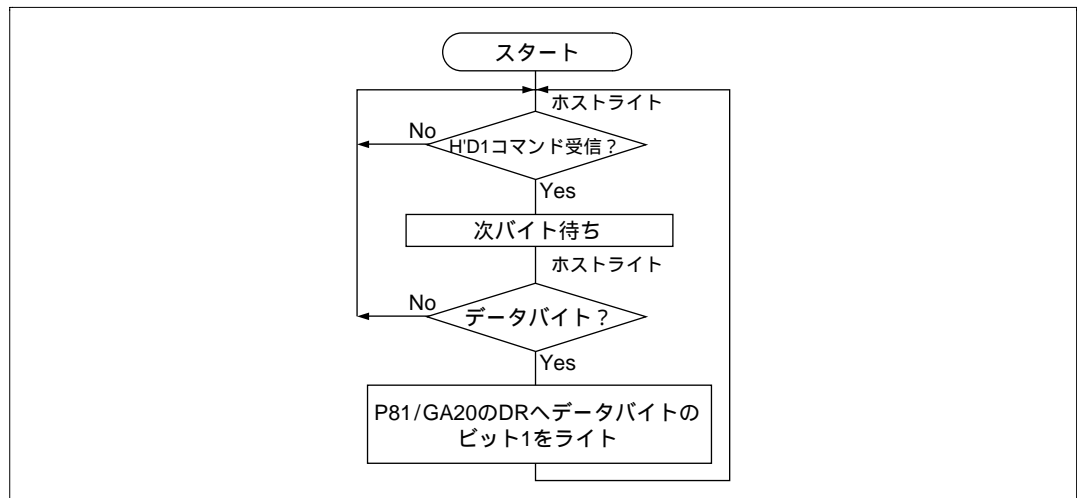


図 18.2 GA20 出力

表 18.7 高速 GATE A20 出力信号

HA0	データ/コマンド	内部 CPU 割込みフラグ (IBF)	GA20 (P81)	備考
1	D1 コマンド	0	Q	ターンオン
0	1 データ*1	0	1	シーケンス
1	FF コマンド	0	Q (1)	
1	D1 コマンド	0	Q	ターンオフ
0	0 データ*2	0	0	シーケンス
1	FF コマンド	0	Q (0)	
1	D1 コマンド	0	Q	ターンオン
0	1 データ*1	0	1	シーケンス
1/0	FF・D1 コマンド以外	1	Q (1)	(短縮形)
1	D1 コマンド	0	Q	ターンオフ
0	0 データ*2	0	0	シーケンス
1/0	FF・D1 コマンド以外	1	Q (0)	(短縮形)
1	D1 コマンド	0	Q	シーケンス
1	D1 以外のコマンド	1	Q	の取消し
1	D1 コマンド	0	Q	シーケンス
1	D1 コマンド	0	Q	の再トリガ
1	D1 コマンド	0	Q	シーケンス
0	任意のデータ	0	1/0	の連続実行
1	D1 コマンド	0	Q (1/0)	

【注】 *1 ビット 1 が 1 の任意のデータ

*2 ビット 1 が 0 の任意のデータ

18.3.4 ホストインタフェース端子シャットダウン機能

HIFSD 端子の状態により、ホストインタフェース出力をハイインピーダンスにすることができます。SYSCR2 レジスタの SDE ビットを 1 にセットすることにより、スレーブモードで HIFSD 端子がイネーブルになります。HIF は HIFSD 端子を常にモニタし、HIFSD 端子が Low レベルになるとホストインタフェース出力端子 (HIRQ1、HIRQ11、HIRQ12、HIRQ3、HIRQ4、GA20) をハイインピーダンスにします。同時にホストインタフェース入力端子 ($\overline{CS1}$ 、 $\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 \overline{IOW} 、 \overline{IOR} 、HA0) は端子の状態にかかわらずディスエーブル状態 (内部で High 入力状態に固定) となり、同様にこれらの端子の兼用機能 (入力部) も内部で信号固定されます。これにより、ホストインタフェース入出力端子 (HDB7 ~ HDB0) もハイインピーダンス状態になります。

HIFSD 端子が Low の期間中この状態を保持し、HIFSD 端子を High レベルにもどすと、各端子は通常のホストインタフェース用端子としての動作を復帰します。

表 18.8 にスレーブモード時の HIF 端子シャットダウン範囲を示します。

表 18.8 スレーブモード時の HIF 端子シャットダウン範囲

略称	ポート	スレーブモード時のシャットダウン範囲	入出力	選択条件
\overline{IOR}	P93		入力	スレーブモード
\overline{IOW}	P94		入力	スレーブモード
$\overline{CS1}$	P95		入力	スレーブモード
$\overline{CS2}$	P81		入力	スレーブモードかつ CS2E=1 かつ FGA20E=0
$\overline{ECS2}$	P90		入力	スレーブモードかつ CS2E=1 かつ FGA20E=1
$\overline{CS3}$	PB2		入力	スレーブモードかつ CS3E=1
$\overline{CS4}$	PB3		入力	スレーブモードかつ CS4E=1
HA0	P80		入力	スレーブモード
HDB7 ~ HDB0	P37 ~ P30		入出力	スレーブモード
HIRQ11	P43		出力	スレーブモードかつ CS2E=1 かつ P43DDR=1
HIRQ1	P44		出力	スレーブモードかつ P44DDR=1
HIRQ12	P45		出力	スレーブモードかつ P45DDR=1
HIRQ3	PB0		出力	スレーブモードかつ CS3E=1 かつ PB0DDR=1
HIRQ4	PB1		出力	スレーブモードかつ CS4E=1 かつ PB1DDR=1
GA20	P81		出力	スレーブモードかつ FGA20E=1
HIFSD	P82	—	入力	スレーブモードかつ SDE=1

- 【注】 スレーブモード：シングルチップモードかつ HI12E=1
- ：シャットダウン機能によりシャットダウンされる端子
 - なお、P90 シャットダウン時は $\overline{\text{IRQ2}}/\overline{\text{ADTRG}}$ 、P43 シャットダウン時は TMC11/HSYNCl、P45 シャットダウン時は TMRI/CSYNCl の各入力信号も固定されます。
 - ：レジスタの設定による HIF 機能選択時のみシャットダウンされる端子
 - ：シャットダウンされない端子

18.4 割込み要因

18.4.1 IBF1、IBF2、IBF3、IBF4

ホストインタフェースはスレーブに対してIBF1、IBF2、IBF3、IBF4の4つの割込み要求があります。これらはそれぞれ入力データレジスタIDR1、IDR2、IDR3、IDR4について入力バッファフル割込みです。割込み要求は対応するイネーブルビットをセットすることにより許可されます。

表 18.9 入力バッファフル割込み

割込み	説明
IBF1	IBFIE1 が 1 にセットされ、IDR1 が受信完了になったときに要求
IBF2	IBFIE2 が 1 にセットされ、IDR2 が受信完了になったときに要求
IBF3	IBFIE3 が 1 にセットされ、IDR3 が受信完了になったときに要求
IBF4	IBFIE4 が 1 にセットされ、IDR4 が受信完了になったときに要求

18.4.2 HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4

ポート4データレジスタ(P4DR)のP45DR~P43DRビットおよびポートBデータレジスタ(PBODR)のPB1ODR~PB0ODRビットは、スレーブモード(シングルチップモード、SYSCR2レジスタHI12E=1)のホスト割込み要求ラッチとして使用できます。

P4DRの対応するビットはホストリード($\overline{IO\overline{R}}$)によって0にクリアされます。 $\overline{CS1}$ がLowレベル、HA0がLowレベルのとき、ホストリード($\overline{IO\overline{R}}$)でODR1をリードするとHIRQ1とHIRQ12が0にクリアされます。 $\overline{CS2}$ がLowレベル、HA0がLowレベルのときホストリード($\overline{IO\overline{R}}$)でODR2をリードするとHIRQ11が0にクリアされます。また、PBODRの対応するビットはホストリード($\overline{IO\overline{R}}$)によって0にクリアされます。 $\overline{CS3}$ がLowレベル、HA0がLowレベルのとき、ホストリード($\overline{IO\overline{R}}$)でODR3をリードするとHIRQ3が0にクリアされます。 $\overline{CS4}$ がLowレベル、HA0がLowレベルのときホストリード($\overline{IO\overline{R}}$)でODR4をリードするとHIRQ4が0にクリアされます。通常、内蔵ファームウェアはホスト割込み要求を発生させるために、対応するビットに1をライトします。ホストは割込み処理を起動し、割込み処理で出力データレジスタ(ODR1~ODR4)をリードします。このときのホストリードによってホスト割込みラッチが0にクリアされます。

表 18.10 にこれらのビットのセットとクリアの方法を示します。また、図 18.3 に処理フローを示します。

表 18.10 HIRQのセット/クリア

ホスト 割り込み信号	セット条件	クリア条件
HIRQ11 (P43)	内部 CPU が、P43DR ビットの 0 リード後、1 をライト	P43DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 2 をホストリード
HIRQ1 (P44)	内部 CPU が、P44DR ビットの 0 リード後、1 をライト	P44DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 1 をホストリード
HIRQ12 (P45)	内部 CPU が、P45DR ビットの 0 リード後、1 をライト	P45DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 1 をホストリード
HIRQ3 (PB0)	内部 CPU が、PB0ODR ビットの 0 リード後、1 をライト	PB0ODR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 3 をホストリード
HIRQ4 (PB1)	内部 CPU が、PB1ODR ビットの 0 リード後、1 をライト	PB1ODR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 4 をホストリード

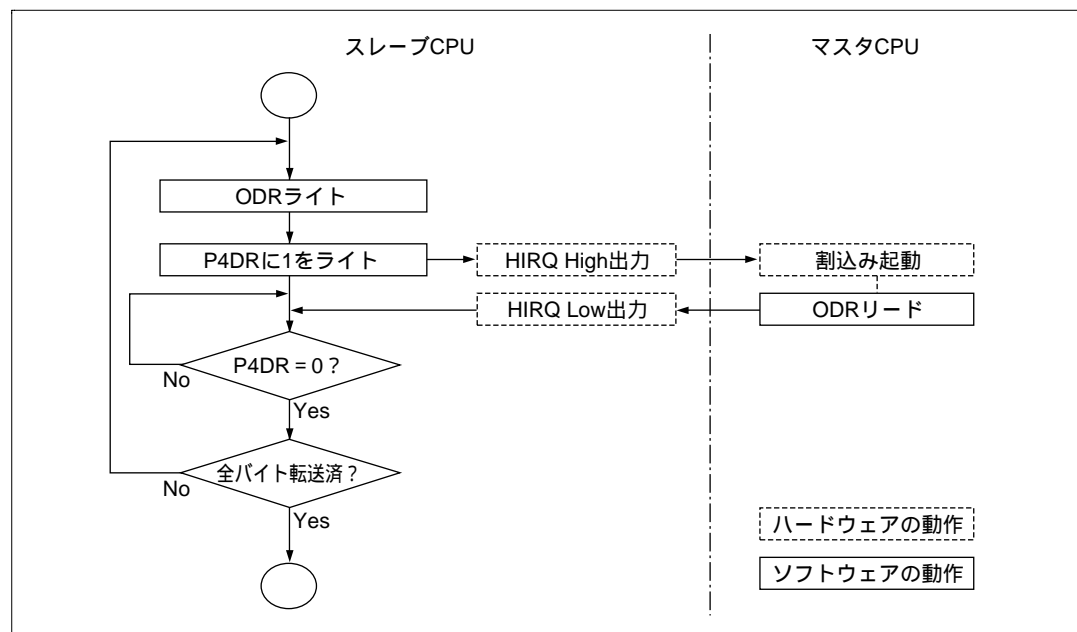


図 18.3 HIRQ 出力の利用フロー（チャンネル 1、2 の例）

(1) HIRQ のセット/クリアの競合

CPU による P4DR または PBODR のリード/ライトと、ホストからの P4DR (HIRQ11、HIRQ1、HIRQ12) または PBODR (HIRQ3、HIRQ4) のクリアが競合した場合、ホストによるクリアが CPU による P4DR または PBODR のリード/ライト期間中は、保留されます。P4DR あるいは PBODR のクリアは、リード/ライト終了後実行されます。

18.5 使用上の注意

ホストインタフェースを使用する際は、以下のことに注意してください。

(1) ホストとスレーブの送受信手順について

HIF はホストとスレーブからの非同期データのバッファリングを提供しています。必要な機能を実現し、データの競合を防ぐためにはインタフェースのプロトコルが必要です。例えば、ホストとスレーブが同時に IDR や ODR をアクセスしようとする、データは破壊されてしまいます。これには、割込みを用いた、簡単な手順を構成することが有効です。

(2) HDB 上のデータ競合対策について

HIF 機能を使用 (SYSCR2 の HI12E=1) し、チャンネル3またはチャンネル4を非選択設定 (SYSCR2 の CS3E=0 または CS4E=0) のとき、以下のいずれかの条件で使用してください。

1. 非選択チャンネルの \overline{CS} 端子を必ず High レベルで固定してください。
2. ポート B のリードを行なわないでください。

(3) $\overline{CS1} \sim \overline{CS4}$ 各端子における貫通電流対策について

$\overline{CS1} \sim \overline{CS4}$ の各端子のうち2本以上を同時に Low レベルにして IDR や ODR をアクセスしようとする、チップ内部での信号の競合が発生し、貫通電流が流れることがあります。このような使い方はしないでください。

19. D/A 変換器

第 19 章 目次

19.1	概要	615
	19.1.1 特長	615
	19.1.2 ブロック図	615
	19.1.3 端子構成	616
	19.1.4 レジスタ構成	616
19.2	各レジスタの説明	617
	19.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)	617
	19.2.2 D/A コントロールレジスタ (DACR)	617
	19.2.3 モジュールストップコントロールレジスタ (MSTPCR)	619
19.3	動作説明	620

19.1 概要

本LSIは、2チャンネルのD/A変換器を内蔵しています。

19.1.1 特長

D/A変換器の特長を以下に示します。

8ビットの分解能

2チャンネル出力

変換時間最大10 μ s (負荷容量20pF時)

出力電圧0V ~ AV_{ref}

ソフトウェアスタンバイモード時のD/A出力保持機能

19.1.2 ブロック図

D/A変換器のブロック図を図19.1に示します。

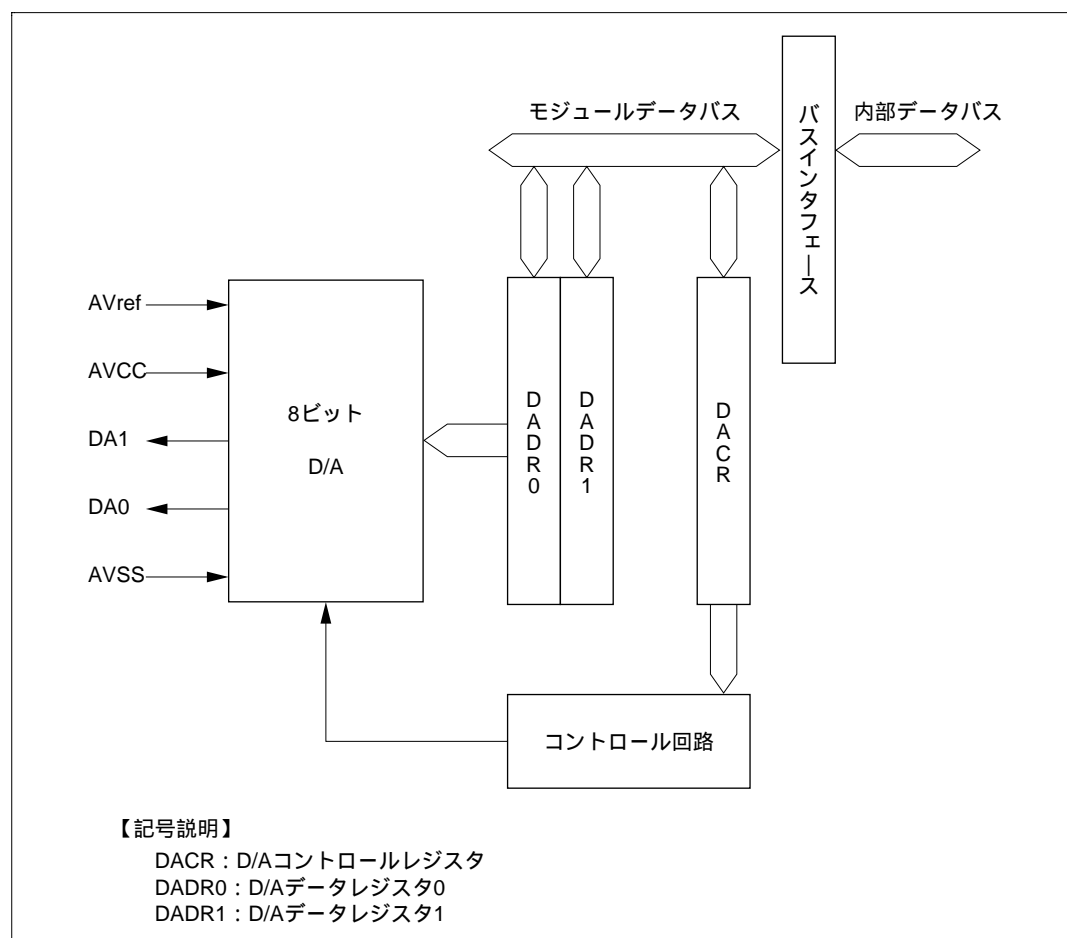


図 19.1 D/A変換器のブロック図

19.1.3 端子構成

D/A 変換器で使用する入出力端子を表 19.1 に示します。

表 19.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	AVref	入力	アナログ部の基準電圧

19.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFF8
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFF9
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFFA
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 * アドレスの下位 16 ビットを示しています。

19.2 各レジスタの説明

19.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ 0、1 (DADR0、DADR1) は、リード/ライト可能な 8 ビットのレジスタで変換を行うデータを格納します。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

19.2.2 D/A コントロールレジスタ (DACR)

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、リセットまたはハードウェアスタンバイモード時に、H'1F に初期化されます。

ビット 7 : D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説明
DAOE1	
0	アナログ出力 DA1 を禁止 (初期値)
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可

ビット6 : D/A アウトプットイネーブル0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット6	説明
DAOE0	
0	アナログ出力 DA0 を禁止 (初期値)
1	チャンネル0のD/A変換を許可。アナログ出力 DA0 を許可

ビット5 : D/A イネーブル (DAE)

DAOE0、DAOE1 ビットとともに、D/A 変換を制御します。DAE ビットが0にクリアされているときチャンネル0、1のD/A変換は独立に制御され、DAE ビットが1にセットされているときチャンネル0、1のD/A変換は一括して制御されます。

変換結果の出力は、DAOE0、DAOE1 ビットにより、常に独立に制御されます。

ビット7	ビット6	ビット5	説明
DAOE1	DAOE0	DAE	
0	0	*	チャンネル0、1のD/A変換を禁止
	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
		1	チャンネル0、1のD/A変換を許可
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
		1	チャンネル0、1のD/A変換を許可
	1	*	チャンネル0、1のD/A変換を許可

* : Don't care

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE0、DAOE1、DAE ビットをいずれも0にクリアしてD/A出力を禁止にしてください。

ビット4~0 : リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

19.2.3 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP10 ビットを 1 にセットすると、バスサイクルの終了時点で D/A 変換器は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 10 : モジュールストップ (MSTP10)

D/A 変換器のモジュールストップモードを指定します。

MSTPCRH ビット 2	説明
MSTP10	
0	D/A 変換器のモジュールストップモード解除
1	D/A 変換器のモジュールストップモード設定 (初期値)

19.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は、常に D/A 変換が行われています。DADR0、DADR1 を書き換えるとただちに、新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。また、このときの動作タイミングを図 19.2 に示します。

- [1] DADR0 に変換データをライトします。
 - [2] DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は以下の式で表わされます。
- $$\frac{\text{DADR の内容}}{256} \times AV_{\text{ref}}$$
- 次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。
 - [3] DADR0 を書き換えるとただちに変換が開始されます。変換時間経過後に変換結果が出力されます。
 - [4] DAOE0 ビットを 0 にクリアすると、DA0 端子は入力端子になります。

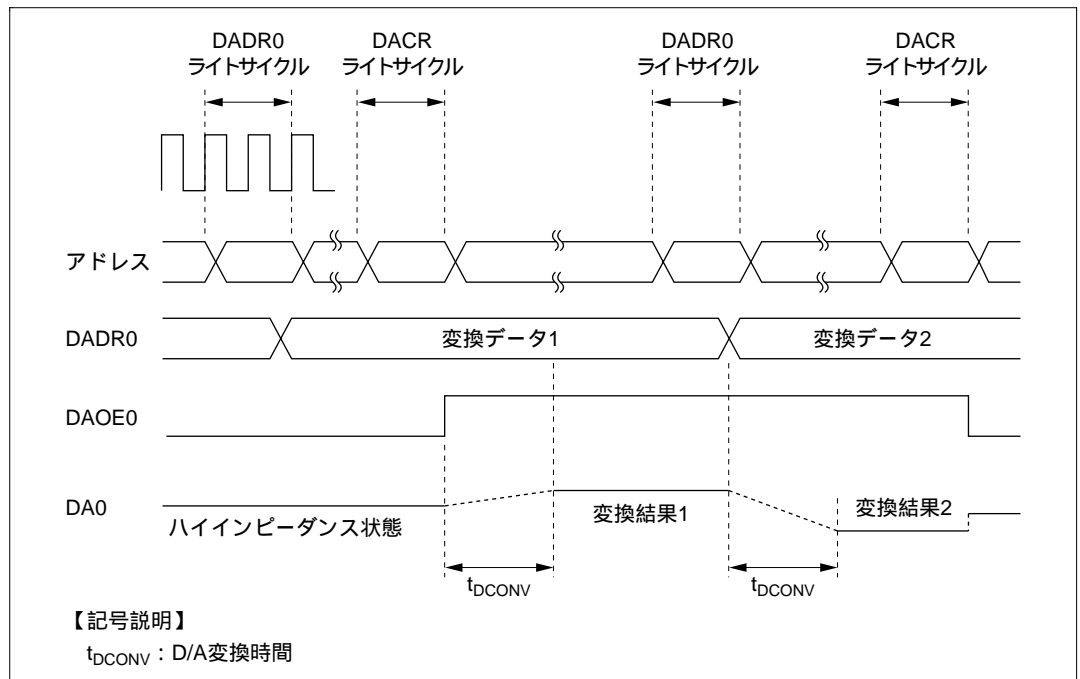


図 19.2 D/A 変換器の動作例

20. A/D 変換器

第 20 章 目次

20.1	概要	623
20.1.1	特長	623
20.1.2	ブロック図	624
20.1.3	端子構成	625
20.1.4	レジスタ構成	626
20.2	各レジスタの説明	627
20.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDRD)	627
20.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	628
20.2.3	A/D コントロールレジスタ (ADCR)	630
20.2.4	キーボードコンパレータコントロールレジスタ (KBCOMP)	631
20.2.5	モジュールストップコントロールレジスタ (MSTPCR)	633
20.3	バスマスタとのインタフェース	634
20.4	動作説明	635
20.4.1	シングルモード (SCAN = 0)	635
20.4.2	スキャンモード (SCAN = 1)	637
20.4.3	入力サンプリングと A/D 変換時間	639
20.4.4	外部トリガ入力タイミング	640
20.5	割込み	641
20.6	使用上の注意	641

20.1 概要

本 LSI は、逐次比較方式で動作する 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力を選択することができます。

8 チャンネルのアナログ端子入力に加え、最大 16 チャンネルのデジタル端子入力を A/D 変換の対象に選択が可能です。デジタル入力を選択した場合、変換精度が低下しますので、デジタル入力は多値入力判定のコンパレータなどの用途が最適です。

20.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビット分解能

入力チャンネル：8 チャンネル（アナログ入力端子）、16 チャンネル（デジタル入力端子）

アナログ変換電圧範囲の設定可能

- ・リファレンス電源電圧端子（AVref）をアナログ基準電圧として、アナログ変換電圧範囲を設定します。

高速変換

- ・変換時間：1 チャンネル当たり 6.7 μ s（20MHz 動作時）

シングルモード/スキャンモードの動作モードから選択可能

- ・シングルモード：1 チャンネルの A/D 変換
- ・スキャンモード：1~4 チャンネルの連続 A/D 変換

4 本のデータレジスタ

- ・変換結果を各チャンネルに対応した 16 ビットデータレジスタに保持

サンプル&ホールド機能

3 種類の変換開始

- ・ソフトウェア、タイマの変換開始トリガ（8 ビットタイマ）または $\overline{\text{ADTRG}}$ 端子の選択が可能

A/D 変換終了割込み要求発生

- ・A/D 変換終了時に、A/D 変換終了割込み（ADI）要求を発生可能

20.1.2 ブロック図

A/D 変換器のブロック図を図 20.1 に示します。

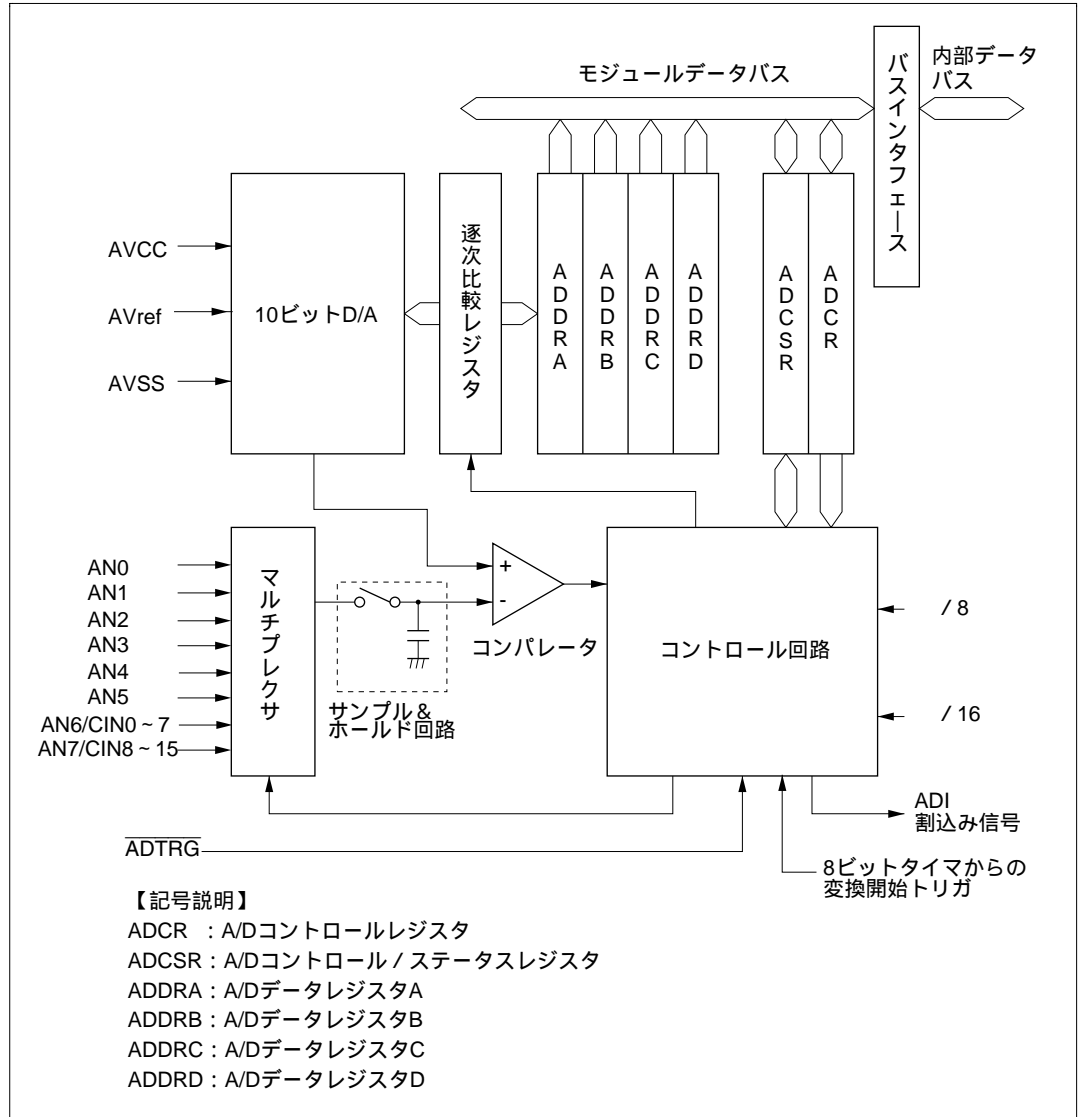


図 20.1 A/D 変換器のブロック図

20.1.3 端子構成

A/D 変換器で使用する入力端子を表 20.1 に示します。

AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 20.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電源端子	AVref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力チャネル 0
アナログ入力端子 1	AN1	入力	アナログ入力チャネル 1
アナログ入力端子 2	AN2	入力	アナログ入力チャネル 2
アナログ入力端子 3	AN3	入力	アナログ入力チャネル 3
アナログ入力端子 4	AN4	入力	アナログ入力チャネル 4
アナログ入力端子 5	AN5	入力	アナログ入力チャネル 5
アナログ入力端子 6	AN6	入力	アナログ入力チャネル 6
アナログ入力端子 7	AN7	入力	アナログ入力チャネル 7
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力
拡張 A/D 入力端子 0 ~ 15	CIN0 ~ CIN15	入力	拡張 A/D 変換入力 (デジタル入力端子) チャネル 0 ~ チャネル 15

20.1.4 レジスタ構成

A/D変換器のレジスタ構成を表20.2に示します。

表 20.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
A/D データレジスタ AH	ADDRAH	R	H'00	H'FFE0
A/D データレジスタ AL	ADDRAL	R	H'00	H'FFE1
A/D データレジスタ BH	ADDRBH	R	H'00	H'FFE2
A/D データレジスタ BL	ADDRBL	R	H'00	H'FFE3
A/D データレジスタ CH	ADDRCH	R	H'00	H'FFE4
A/D データレジスタ CL	ADDRCL	R	H'00	H'FFE5
A/D データレジスタ DH	ADDRDH	R	H'00	H'FFE6
A/D データレジスタ DL	ADDRDL	R	H'00	H'FFE7
A/D コントロール/ステータスレジスタ	ADCSR	R/(W)* ²	H'00	H'FFE8
A/D コントロールレジスタ	ADCR	R/W	H'3F	H'FFE9
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87
キーボードコンパレータコントロールレジスタ	KBCOMP	R/W	H'00	H'FEE4

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

20.2 各レジスタの説明

20.2.1 A/Dデータレジスタ A～D (ADDRA～ADDRD)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。

A/D変換されたデータは 10 ビットデータで、選択されたチャンネルに対応する ADDR に転送され、保持されます。A/D変換されたデータの上位 8 ビットが ADDR の上位バイト（ビット 15～8）に、また下位 2 ビットが下位バイト（ビット 7、6）に転送され、保持されます。ビット 5～0 はリードすると常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 20.3 に示します。ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「20.3 バスマスタとのインタフェース」を参照してください。

ADDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'0000 に初期化されます。

表 20.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6 または CIN0～CIN7	ADDRC
AN3	AN7 または CIN8～CIN15	ADDRD

20.2.2 A/Dコントロール/ステータスレジスタ (ADCSR)

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ADCSRは、8ビットのリード/ライト可能なレジスタで、A/D変換動作を制御します。

ADCSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'00に初期化されます。

ビット7：A/Dエンドフラグ (ADF)

A/D変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF=1の状態、ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割込みによりDTCが起動され、ADDRをリードしたとき
1	[セット条件] (1) シングルモード：A/D変換が終了したとき (2) スキャンモード：指定したすべてのチャンネルのA/D変換が終了したとき

ビット6：A/Dインタラプトイネーブル (ADIE)

A/D変換の終了による割込み (ADI) 要求の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D変換の終了による割込み (ADI) 要求を禁止 (初期値)
1	A/D変換の終了による割込み (ADI) 要求を許可

ビット5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は1を保持します。

ADSTビットは、ソフトウェア、タイマの変換開始トリガ、またはA/D外部トリガ入力端子 ($\overline{\text{ADTRG}}$) によって1にセットすることができます。

ビット5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に0にクリア (2) スキャンモード : A/D 変換を開始。ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって、0にクリアされるまで選択されたチャンネルを順次連続変換

ビット4 : スキャンモード (SCAN)

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモード/スキャンモードの動作については、「20.4 動作説明」を参照してください。SCANビットの設定は、変換停止中に行ってください。

ビット4	説明
SCAN	
0	シングルモード (初期値)
1	スキャンモード

ビット3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST=0の状態で行ってください。

ビット3	説明
CKS	
0	変換時間 = 266 ステート (Max) (初期値)
1	変換時間 = 134 ステート (Max)

ビット2~0：チャンネルセレクト2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

アナログ入力のうち1チャンネルはデジタル入力に切り替えることができます。

入力チャンネルの設定は、変換停止中に行ってください。

グループ選択	チャンネル選択		説明	
CH2	CH1	CH0	シングルモード	スキャンモード
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0、AN1
	1	0	AN2	AN0、AN1、AN2
		1	AN3	AN0、AN1、AN2、AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6 または CIN0~CIN7	AN4、AN5、 AN6 または CIN0~CIN7
		1	AN7 または CIN8~CIN15	AN4、AN5、 AN6 または CIN0~CIN7、 AN7 または CIN8~CIN15

20.2.3 A/D コントロールレジスタ (ADCR)

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	—	—	—	—
初期値	0	0	1	1	1	1	1	1
R/W	R/W	R/W	—	—	—	—	—	—

ADCR は、8ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ADCR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'3F に初期化されます。

ビット7、6：タイマトリガセレクト1、0 (TRGS1、TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。

TRGS1、TRGS0 ビットの設定は、変換停止中に行ってください。

ビット7	ビット6	説 明
TRGS1	TRGS0	
0	0	外部トリガによる A/D 変換の開始を禁止 (初期値)
	1	外部トリガによる A/D 変換の開始を禁止
1	0	外部トリガ (8 ビットタイマ) による A/D 変換の開始を許可
	1	外部トリガ端子による A/D 変換の開始を許可

ビット5～0 リザーブビット

リザーブビットです。ライトするときは必ず1をライトしてください。

【注】* HD64F2148、HD64F2147N、HD64F2144、HD64F2142R、HD6432142 以外の製品では、このうちのいくつかのビットがリード/ライト可能ですが、ソフトウェア互換のため、必ず1をライトしてください。

20.2.4 キーボードコンパレータコントロールレジスタ (KBCOMP)

ビット	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KBCOMP は、8 ビットのリード/ライト可能なレジスタで、SCI2 の IrDA 機能の制御、A/D 変換する CIN 入力チャンネルの選択をします。

KBCOMP は、リセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7～4：IrDA コントロール

「15.2.11 キーボードコンパレータコントロールレジスタ (KBCOMP)」の説明を参照してください。

ビット3：キーボード A/D イネーブル

A/D 変換器のチャンネル 6、チャンネル 7 の入力をアナログ入力端子 (AN6、AN7) とデジタル入力端子 (CIN0～CIN7、CIN8～CIN15) のいずれかを選択します。

ビット2～0：キーボード A/D チャンネルセレクト 2～0

デジタル入力端子から、A/D 変換するチャンネルを選択します。

入力チャンネルの設定は、変換停止中に行ってください。

ビット3	ビット2	ビット1	ビット0	A/D変換器 チャンネル6入力	A/D変換器 チャンネル7入力
KBADE	KBCH2	KBCH1	KBCH0		
0	-	-	-	AN6	AN7
1	0	0	0	CIN0	CIN8
			1	CIN1	CIN9
		1	0	CIN2	CIN10
			1	CIN3	CIN11
	1	0	0	CIN4	CIN12
			1	CIN5	CIN13
		1	0	CIN6	CIN14
			1	CIN7	CIN15

20.2.5 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL							
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP9ビットを1にセットすると、バスサイクルの終了時点でA/D変換器の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「25.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット1：モジュールストップ (MSTP9)

A/D変換器のモジュールストップモードを指定します。

MSTPCRH ビット1	説明
MSTP9	
0	A/D変換器のモジュールストップモード解除
1	A/D変換器のモジュールストップモード設定 (初期値)

20.3 バスマスタとのインタフェース

ADDRA ~ ADDR4 は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 20.2 に、ADDR のアクセス時のデータの流れを示します。

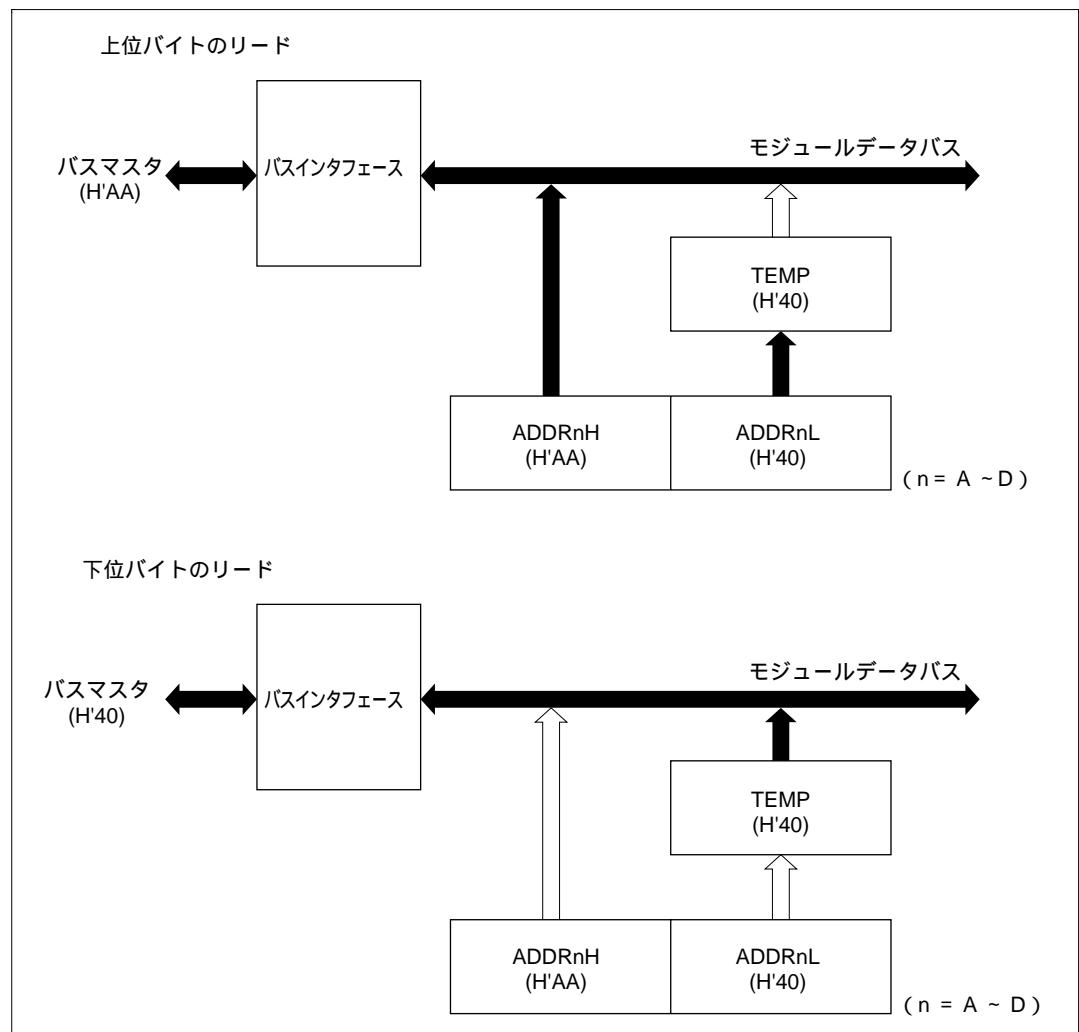


図 20.2 ADDR のアクセス動作 (H'AA40 リード時)

20.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能をもっています。シングルモードとスキャンモードの各モードの動作について説明します。

20.4.1 シングルモード (SCAN = 0)

シングルモードは、1 チャンネルのみ A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割込み要求が発生します。

ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 20.3 に示します。

- [1] 動作モードをシングルモードに (SCAN = 0)、入力チャンネルを AN1 に (CH1 = 0、CH0 = 1) A/D 割込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
- [2] A/D 変換が終了すると、A/D 変換結果が ADDR B に転送されます。同時に、ADF = 1、ADST = 0 となり A/D 変換器は変換待機となります。
- [3] ADF = 1、ADIE = 1 となっているため、ADI 割込み要求が発生します。
- [4] A/D 割込み処理ルーチンが開始されます。
- [5] ADCSR をリードした後、ADF に 0 をライトします。
- [6] A/D 変換結果 (ADDR B) をリードして、処理します。
- [7] A/D 割込み処理ルーチンの実行を終了します。

この後、ADST ビットを 1 にセットすると A/D 変換が開始され、[2] ~ [7] を行います。

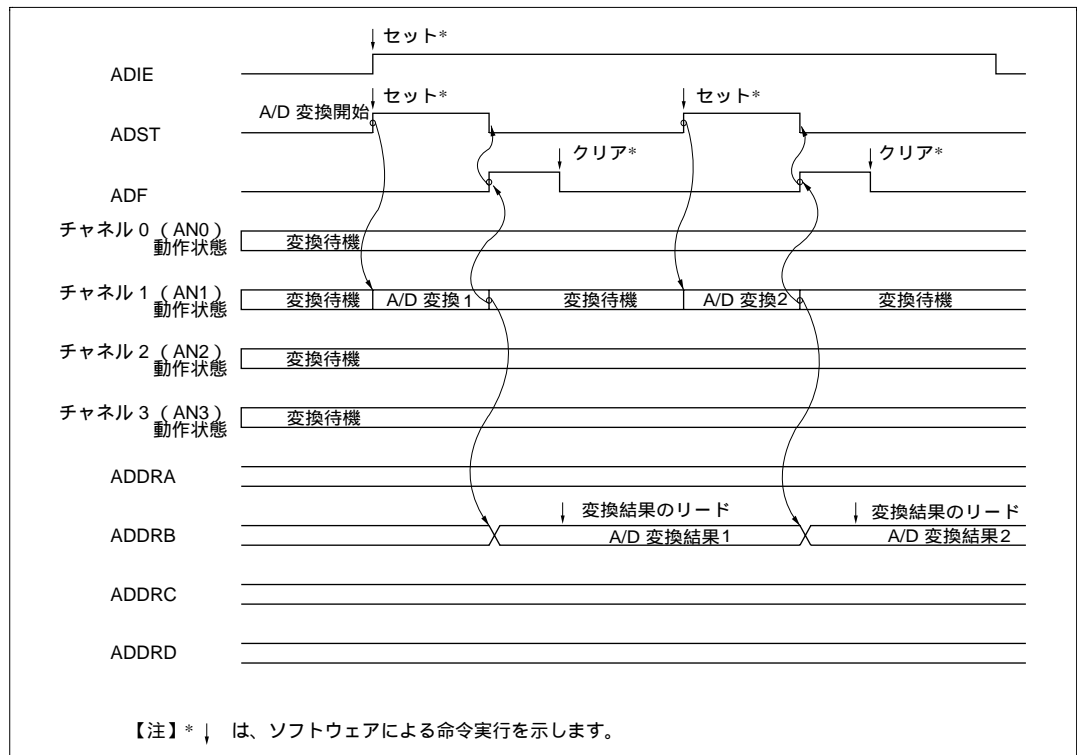


図 20.3 A/D 変換器の動作例 (シングルモード チャンネル1 選択時)

20.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするような応用に適しています。ソフトウェア、タイマまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル(CH2 = 0 のとき AN0、CH2 = 1 のとき AN4) から A/D 変換は開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN1 または AN5) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び第 1 チャンネルから A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

スキャンモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 20.4 に示します。

- [1] 動作モードをスキャンモードに (SCAN = 1)、スキュングループを 0 に (CH2 = 0)、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- [2] 第 1 チャンネル (AN0) の A/D 変換が開始され A/D 変換が終了すると、変換結果を ADDR_A に転送します。
次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
- [3] 同様に第 3 チャンネル (AN2) まで変換を行います。
- [4] 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN0) を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると A/D 変換終了後、ADI 割込みを発生します。
- [5] ADST ビットが 1 にセットされている間は、[2] ~ [4] を繰り返します。
ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

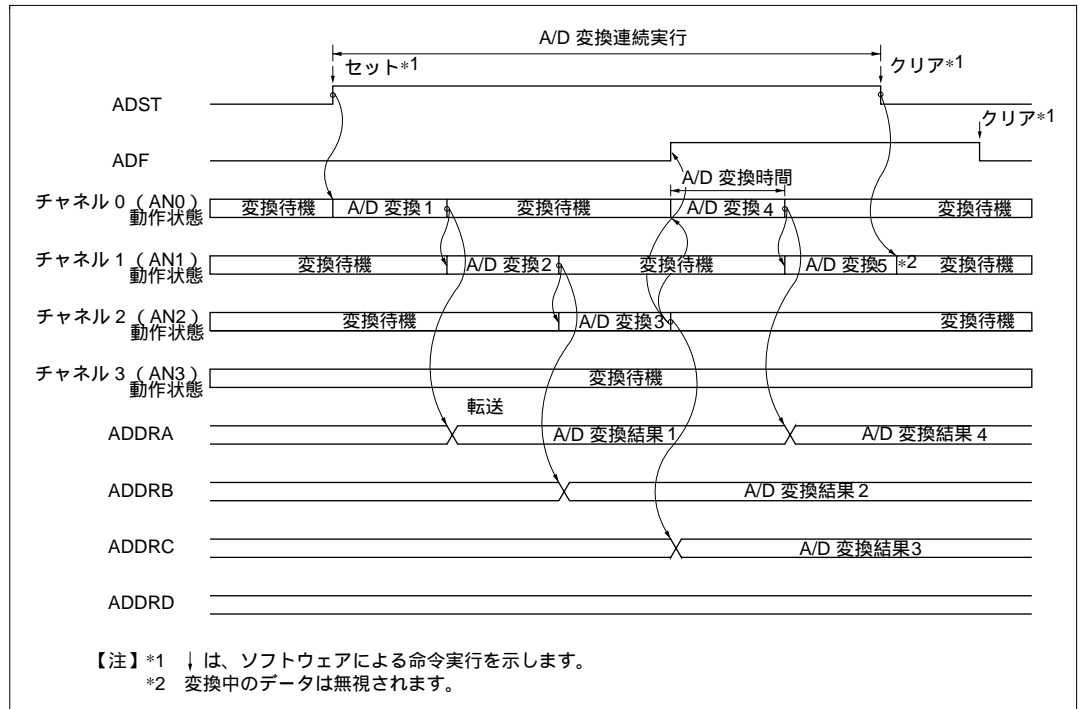


図 20.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャンネル選択時)

20.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADSTビットが1にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図20.5に示します。また、A/D変換時間を表20.4に示します。

A/D変換時間は、図20.5に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表20.4に示す範囲で変化します。

スキャンモードの変換時間は、表20.4に示す値が1回目の変換時間となりますが、2回目以降はCKS=0の場合は256ステート(固定)、CKS=1の場合は128ステート(固定)となります。

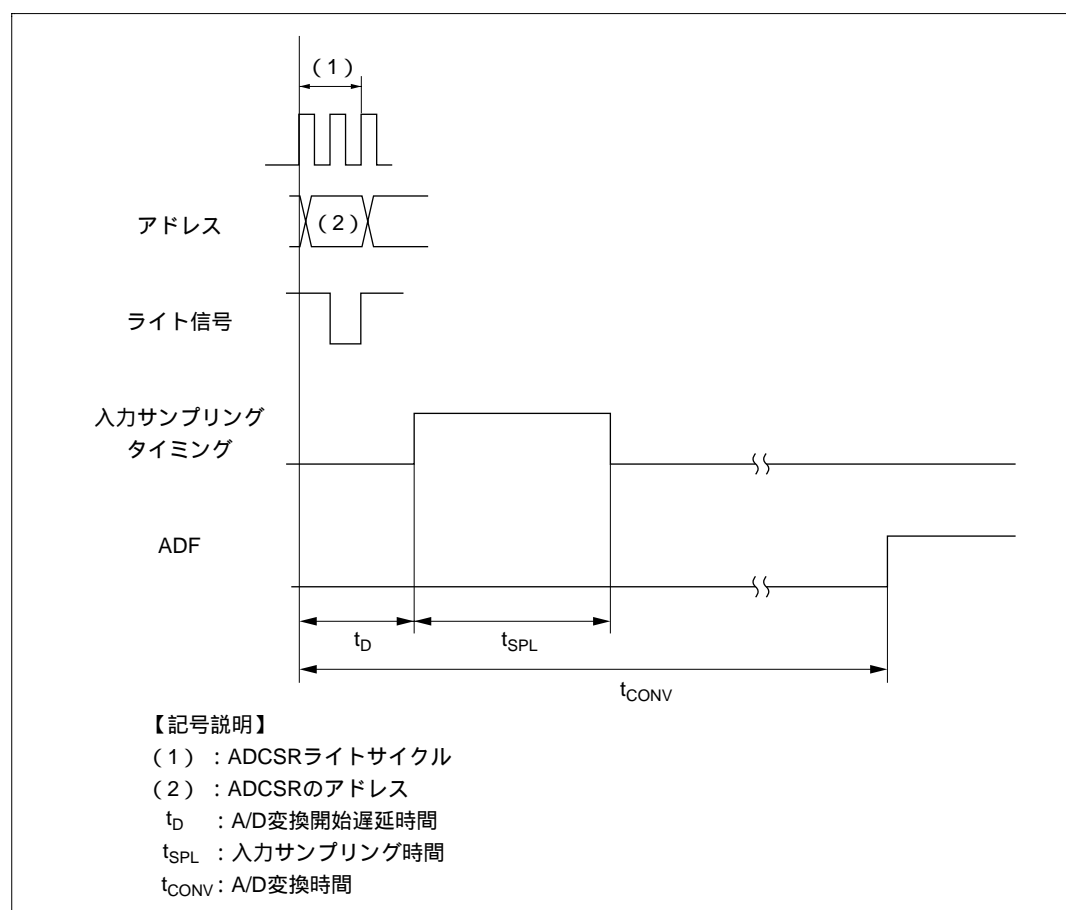


図 20.5 A/D 変換タイミング

表 20.4 A/D変換時間（シングルモード）

項目	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D変換開始遅延時間	t_D	10	-	17	6	-	9
入力サンプリング時間	t_{SPL}	-	63	-	-	31	-
A/D変換時間	t_{CONV}	259	-	266	131	-	134

【注】 単位：ステート

20.4.4 外部トリガ入力タイミング

A/D変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCRのTRGS1、TRGS0ビットが1にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がりエッジで、ADCSRのADSTビットが1にセットされ、A/D変換が開始されます。

その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによってADSTビットを1にセットした場合と同じです。

このタイミングを図20.6に示します。

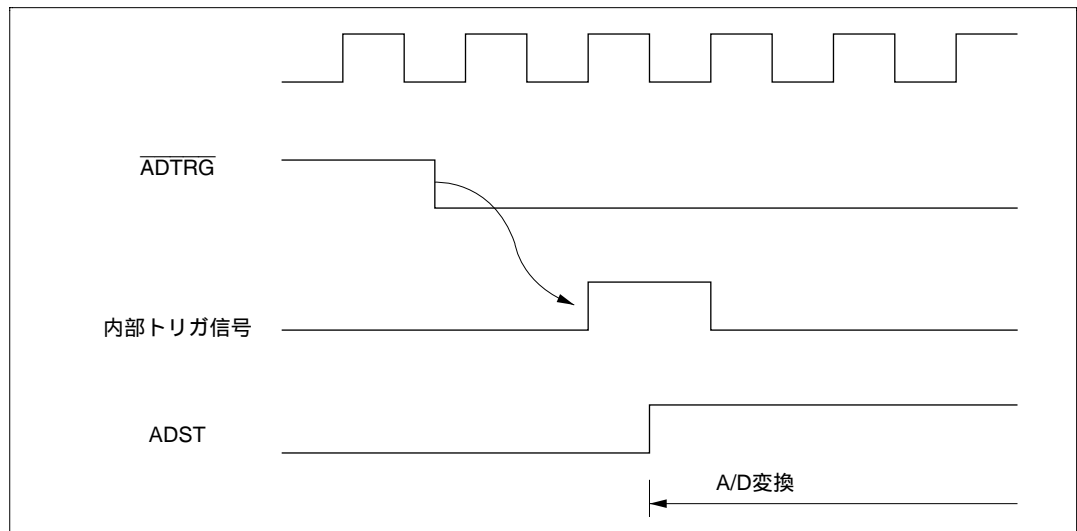


図 20.6 外部トリガ入力タイミング

20.5 割込み

A/D変換器は、A/D変換の終了により、A/D変換終了割込み(ADI)を発生します。
ADI割込み要求は、ADCSRのADIEビットで許可または禁止することができます。

20.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

(1) アナログ電源端子他の設定範囲

(a) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN_nに印加する電圧は AV_{SS} 、AN_n、 AV_{ref} の範囲として
ください。(n=0~7)

(b) デジタル入力電圧の範囲

デジタル入力端子CIN_nに印加する電圧は AV_{SS} 、CIN_n、 AV_{ref} かつ V_{SS} 、CIN_n、 V_{CC} の
範囲としてください。(n=0~15)

(c) AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は $AV_{SS} = V_{SS}$ とし、さらに、A/D変換器を使用しない
ときも、 AV_{CC} 、 AV_{SS} 端子を決してオープンにしないでください。

(d) AV_{ref} 端子の設定範囲

AV_{ref} 端子によるリファレンス電圧の設定範囲は AV_{ref} 、 AV_{CC} にしてください。

以上(a)、(b)、(c)、(d)が守られない場合、LSIの信頼性に悪影響を及ぼす
ことがあります。

(2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトして
ください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近
接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動
作や、A/D変換値に悪影響を及ぼします。

なお、アナログ入力信号(AN0~AN7)、アナログ基準電源(AV_{ref})、アナログ電源
(AV_{CC})は、アナロググランド(AV_{SS})で、デジタル回路を必ず分離してください。さ
らに、アナロググランド(AV_{SS})は、ボード上の安定したデジタルグランド(V_{SS})に
一点接続してください。

(3) ノイズ対策上の注意

アナログ入力端子 (AN0 ~ AN7)、アナログ基準電源 (AVref) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 20.7 に示すように AVCC - AVSS 間に接続してください。

また、AVCC、AVref に接続するバイパスコンデンサ、AN0 ~ AN7 に接続するフィルタのコンデンサは、必ず AVSS に接続してください。

なお、図 20.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN0 ~ AN7) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、充分ご検討くださいますようお願いいたします。

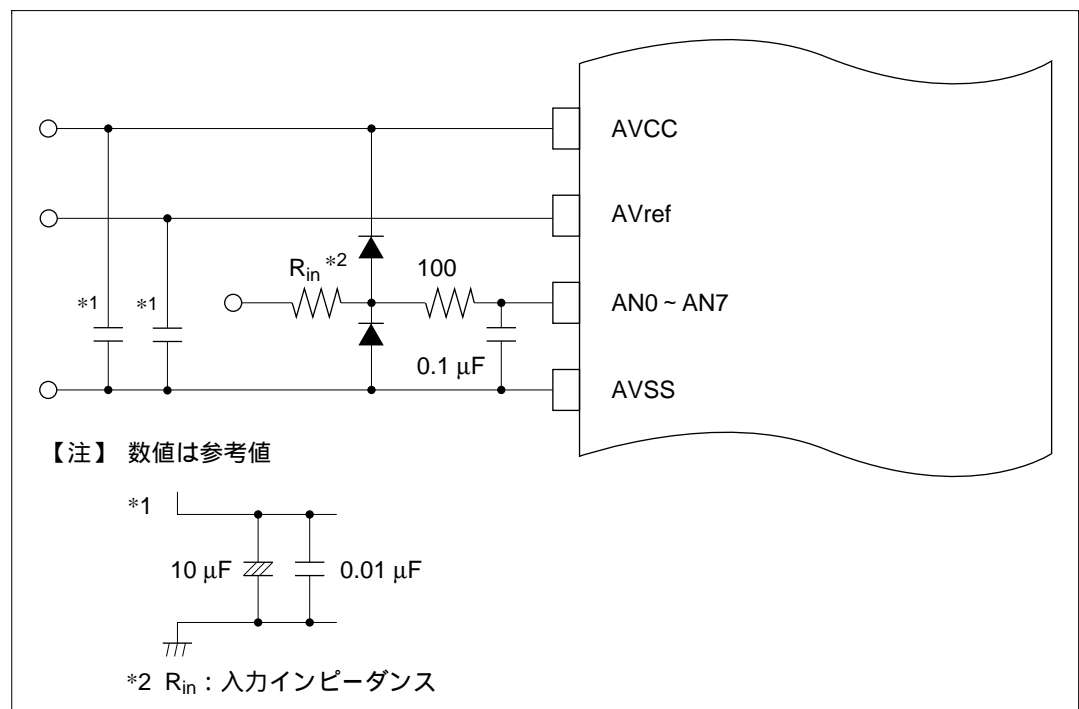


図 20.7 アナログ入力保護回路の例

表 20.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	10*	k

【注】 * $V_{CC} = 4.0 \sim 5.5V$ 、12MHz の場合

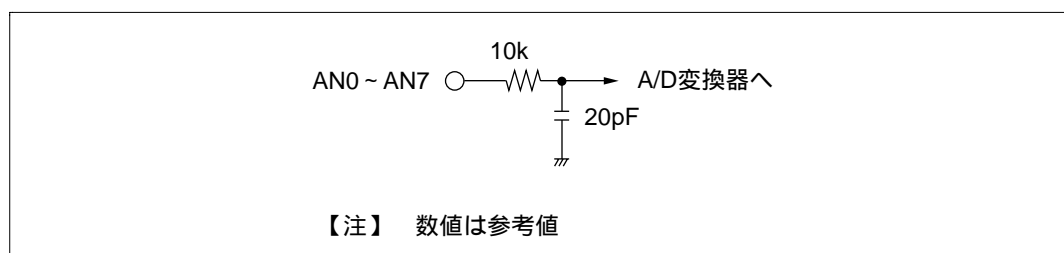


図 20.8 アナログ入力端子等価回路

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- ・ 分解能
A/D 変換器のデジタル出力コード数
- ・ オフセット誤差
デジタル出力が最小電圧値 B'000000000 (H'000) から B'000000001 (H'001) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 20.10)
- ・ フルスケール誤差
デジタル出力が B'111111110 (H'3FE) から B'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 20.11)
- ・ 量子化誤差
A/D 変換器が本質的に有する偏差であり、1/2 LSB で与えられる (図 20.9)
- ・ 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- ・ 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

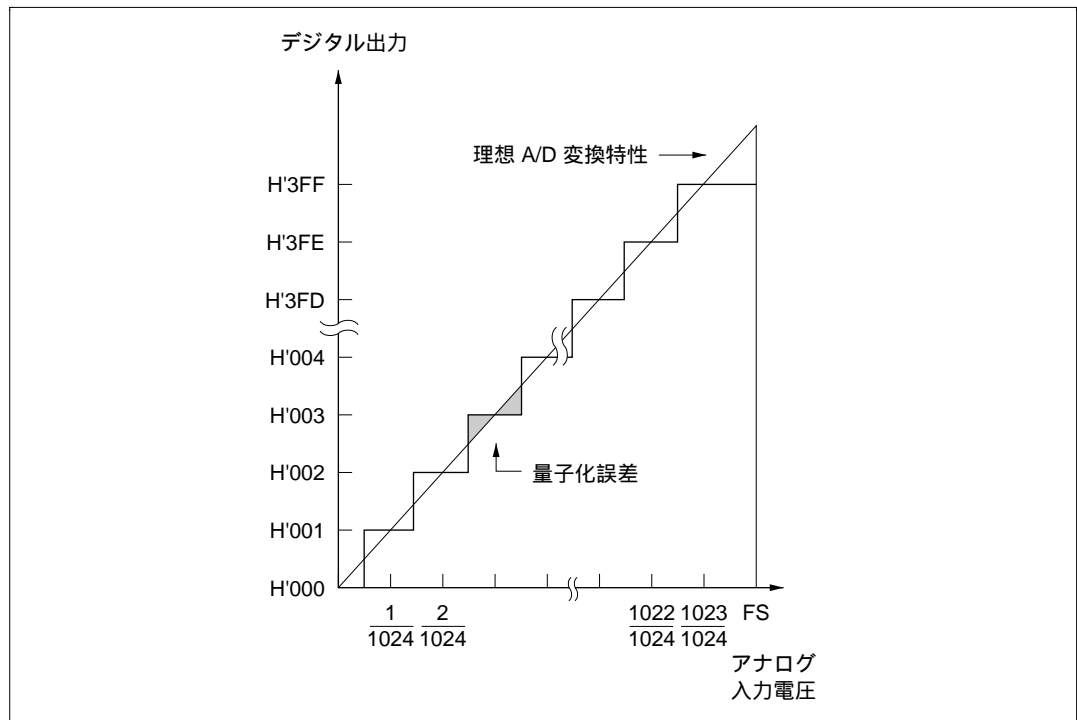


図 20.9 A/D 変換精度の定義 (1)

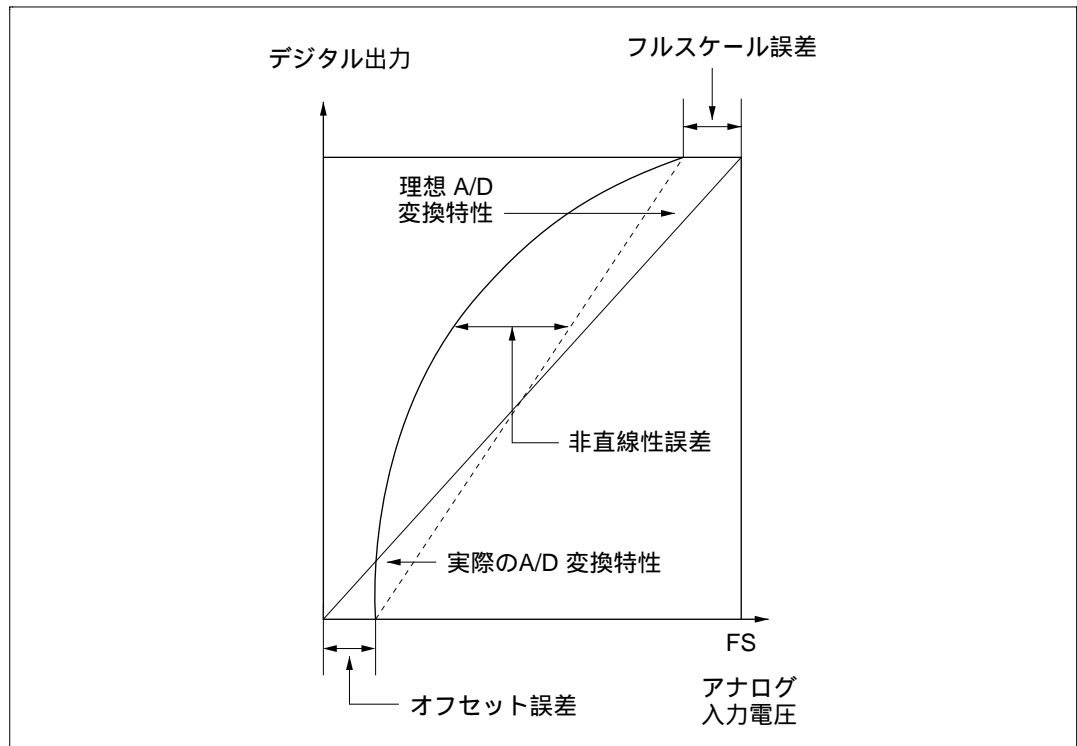


図 20.10 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが 10k ($AV_{CC} = 4.0 \sim 5.5\text{V}$ 、 12MHz または $CKS = 0$ のとき) 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出カインピーダンスが 10k ($AV_{CC} = 4.0 \sim 5.5\text{V}$ 、 12MHz または $CKS = 0$ のとき) を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の 10k だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号(例えば $5\text{mV}/\mu\text{s}$ 以上)には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意が必要です。

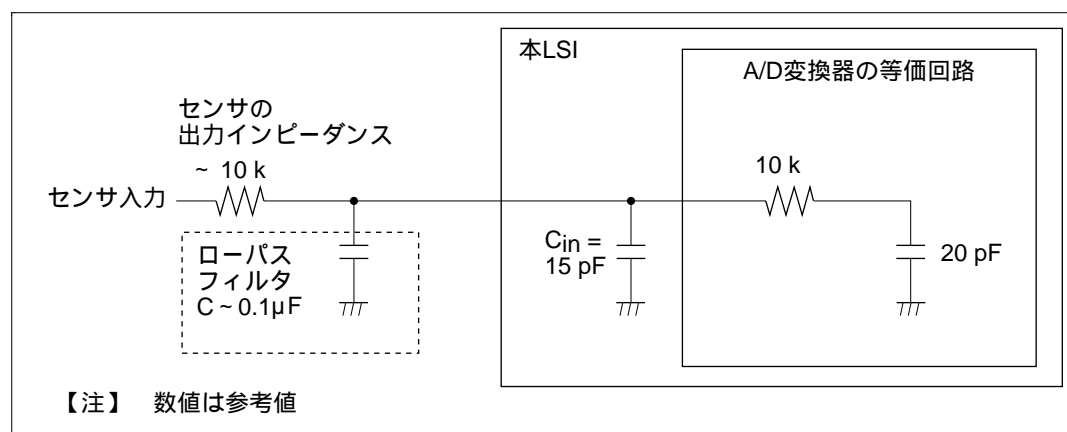


図 20.11 アナログ入力回路の例

21. RAM

第21章 目次

21.1	概要	649	
	21.1.1	ブロック図	649
	21.1.2	レジスタ構成	649
21.2	システムコントロールレジスタ (SYSCR)	650	
21.3	動作説明.....	651	
	21.3.1	拡張モード (モード 1、2、3 (EXPE = 1))	651
	21.3.2	シングルチップモード (モード 2、3 (EXPE = 0))	651

21.1 概要

H8S/2148、H8S/2144、H8S/2143 は 4k バイト、H8S/2147、H8S/2147N、H8S/2142 は 2k バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速度転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

21.1.1 ブロック図

RAM のブロック図を図 21.1 に示します。

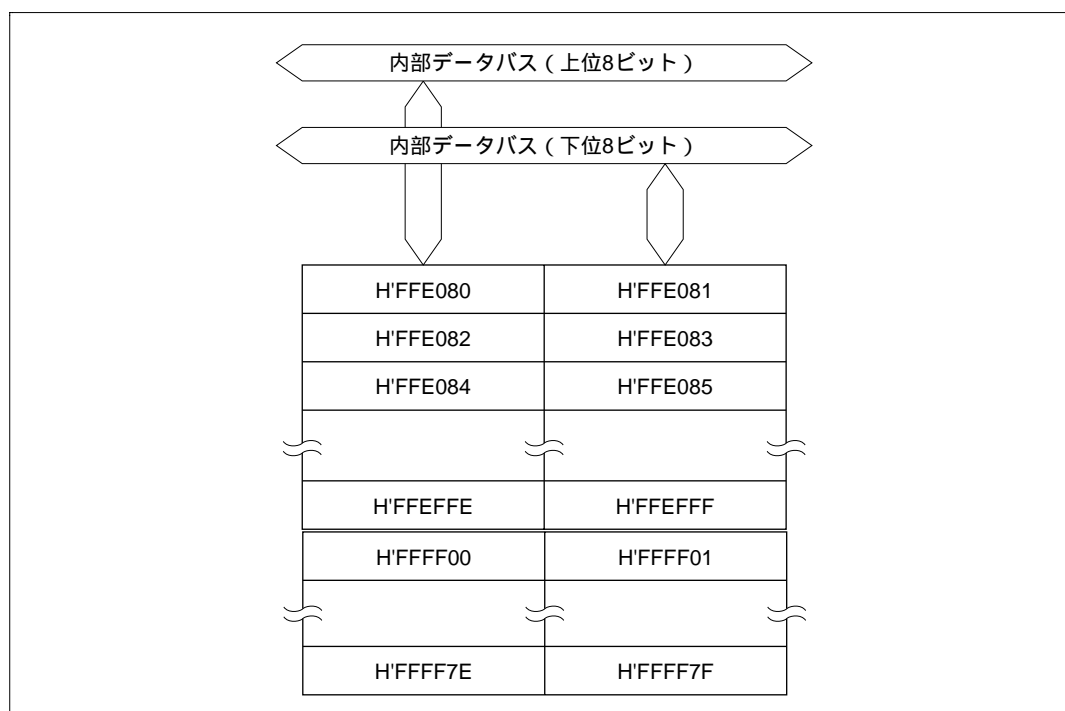


図 21.1 RAM のブロック図 (H8S/2148、H8S/2144、H8S/2143 の場合)

21.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 21.1 に示します。

表 21.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFFC4

【注】 * アドレスの下位 16 ビットを示しています。

21.2 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

内蔵RAMはSYSCRのRAMEビットにより、有効/無効が選択されます。なお、SYSCRのその他のビットについての詳細は「3.2.2 システムコントロールレジスタ」を参照してください。

ビット0：RAMイネーブル (RAME)

内蔵RAMの有効または無効を選択します。RAMEビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット0	説明
RAME	
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

21.3 動作説明

21.3.1 拡張モード（モード 1、2、3（EXPE = 1））

RAME ビットが 1 にセットされているとき、H8S/2148,H8S/2144,H8S/2143 ではアドレス H'(FF)E080 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F、H8S/2147、H8S/2147N、H8S/2142 ではアドレス H'(FF)E880 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、アドレス H'(FF)E080 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F をアクセスすると外部アドレス空間がアクセスされます。

内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード/ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

21.3.2 シングルチップモード（モード 2、3（EXPE = 0））

RAME ビットが 1 にセットされているとき、H8S/2148,H8S/2144,H8S/2143 ではアドレス H'(FF)E080 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F、H8S/2147、H8S/2147N、H8S/2142 ではアドレス H'(FF)E880 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると不定値がリードされ、ライトは無効です。

内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード/ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

22. ROM

マスク ROM 版, H8S/2148 F-ZTAT, H8S/2147N F-ZTAT, H8S/2144 F-ZTAT, H8S/2142 F-ZTAT

第 22 章 目次

22.1	概要	655	
	22.1.1	ブロック図	655
	22.1.2	レジスタ構成	655
22.2	レジスタの説明	656	
	22.2.1	モードコントロールレジスタ (MDCR)	656
22.3	動作説明	657	
22.4	フラッシュメモリの概要	658	
	22.4.1	特長	658
	22.4.2	ブロック図	659
	22.4.3	フラッシュメモリの動作モード	660
	22.4.4	端子構成	664
	22.4.5	レジスタ構成	664
22.5	フラッシュメモリのレジスタの説明	665	
	22.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	665
	22.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	667
	22.5.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2)	669
	22.5.4	シリアルタイマコントロールレジスタ (STCR)	670

22.6	オンボードプログラミングモード	671
22.6.1	ブートモード	672
22.6.2	ユーザプログラムモード	678
22.7	フラッシュメモリの書き込み / 消去	679
22.7.1	プログラムモード	679
22.7.2	プログラムベリファイモード	680
22.7.3	イレースモード	682
22.7.4	イレースベリファイモード	682
22.8	フラッシュメモリのプロテクト	685
22.8.1	ハードウェアプロテクト	685
22.8.2	ソフトウェアプロテクト	685
22.8.3	エラープロテクト	686
22.9	フラッシュメモリの書き込み / 消去時の割込み処理	687
22.10	フラッシュメモリのライターモード	688
22.10.1	ライターモードの設定	688
22.10.2	ソケットアダプタとメモリマップ	688
22.10.3	ライターモードの動作	689
22.10.4	メモリ読み出しモード	691
22.10.5	自動書き込みモード	694
22.10.6	自動消去モード	696
22.10.7	ステータス読み出しモード	697
22.10.8	ステータスポーリング	698
22.10.9	ライターモードへの遷移時間	699
22.10.10	メモリ書き込み注意事項	699
22.11	フラッシュメモリの書き込み / 消去時の注意	700
22.12	F-ZTAT マイコンのマスク ROM 化時の注意事項	702

22.1 概要

H8S/2148、H8S/2144 は 128k バイト、H8S/2143 は 96k バイト、H8S/2147、H8S/2147N、H8S/2142 は 64k バイトの ROM (フラッシュメモリまたはマスク ROM) を内蔵しています。ROM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定は、モード端子 (MD1、MD0) および MDCR の EXPE ビットにより行います。

H8S/2148、H8S/2147N、H8S/2144、H8S/2142 のフラッシュメモリ版は、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

22.1.1 ブロック図

ROM のブロック図を図 22.1 に示します。

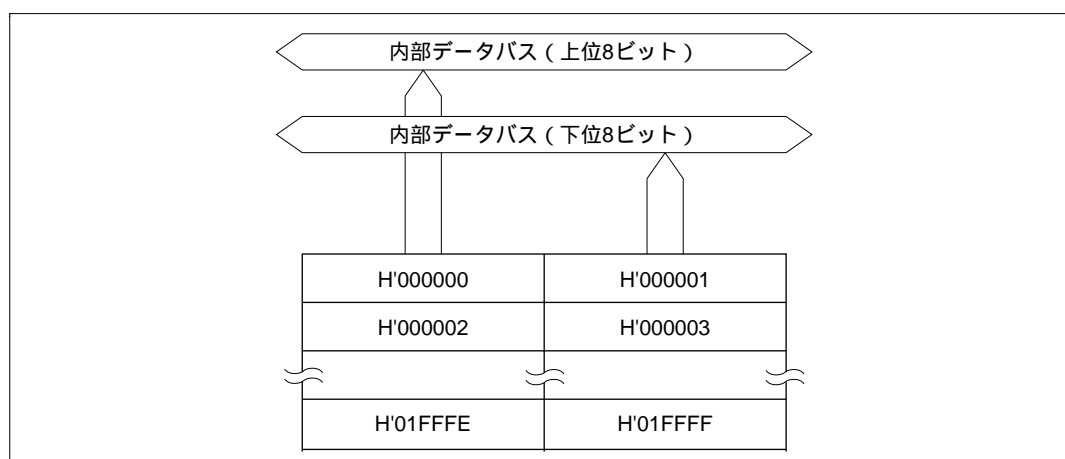


図 22.1 ROM のブロック図 (H8S/2148、H8S/2144 の場合)

22.1.2 レジスタ構成

本 LSI の動作モードは、モード端子と MDCR で制御されます。レジスタ構成を表 22.1 に示します。

表 22.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定 動作モードにより異なります	H'FFC5

【注】 * アドレスの下位 16 ビットを示しています。

22.2 レジスタの説明

22.2.1 モードコントロールレジスタ (MDCR)

ビット：	7	6	5	4	3	2	1	0
	EXPE	-	-	-	-	-	MDS1	MDS0
初期値：	-*	0	0	0	0	0	-*	-*
R/W：	R/W*	-	-	-	-	-	R	R

【注】 * MD1～MD0端子により決定されます。

MDCRは8ビットのリード専用レジスタで、本LSIの動作モードの設定および現在の動作モードをモニタするのに用います。

EXPEビットは、リセットまたはハードウェアスタンバイモード時に、モード端子の状態に関連付けられて初期化されます。

ビット7：拡張モードイネーブル (EXPE)

拡張モードを設定します。モード1の場合、1に固定されており、ライトは無効です。モード2、3の場合、初期値は0で、リード/ライト可能です。

ビット7	説明
EXPE	
0	シングルチップモードを選択
1	拡張モードを選択

ビット6～2：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット1～0：モードセレクト1～0 (MDS1～MDS0)

モード端子 (MD1～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1～MDS0ビットはMD1～MD0端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCRをリードすると、モード端子 (MD1～MD0) の入力レベルがこれらのビットにラッチされます。

22.3 動作説明

内蔵 ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子 (MD1、MD0) および MDCR の EXPE ビットにより行います。この設定を表 22.2 に示します。

ノーマルモードのとき、使用できる ROM は最大 56k バイトになります。

表 22.2 動作モードと ROM

動作モード			モード端子		MDCR	内蔵 ROM
MCU 動作モード	CPU 動作モード	内容	MD1	MD0	EXPE	
モード 1	ノーマル	内蔵 ROM 無効拡張モード	0	1	1	無効
モード 2	アドバンスト	シングルチップモード	1	0	0	有効*
	アドバンスト	内蔵 ROM 有効拡張モード			1	
モード 3	ノーマル	シングルチップモード		1	0	有効 (最大 56k バイト)
	ノーマル	内蔵 ROM 有効拡張モード			1	

【注】 * H8S/2148、H8S/2144 は 128k バイト、H8S/2143 は 96k バイト、H8S/2147、H8S/2147N、H8S/2142 は 64k バイトです。

22.4 フラッシュメモリの概要

22.4.1 特長

フラッシュメモリの特長を以下に示します。

フラッシュメモリの4種類の動作モード

- ・プログラムモード
- ・イレースモード
- ・プログラムベリファイモード
- ・イレースベリファイモード

書き込み/消去方式

書き込みは32バイト同時書き込みを行います。消去はブロック分割消去(1ブロック単位)で行います。複数ブロックを消去する場合は、必ず各ブロック単位で順次消去を行ってください。ブロック分割消去では、1kバイト、28kバイト、16kバイト、8kバイト、32kバイトのブロック単位で任意に設定することができます。

書き込み/消去時間

フラッシュメモリの書き込み時間は、32バイト同時書き込みにて10ms (typ.)、1バイトあたり換算にて300 μ s (typ.)、消去時間は、ブロックあたり100ms (typ.)です。

書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み/消去/ベリファイを行う2種類のモードがあります。

- ・ブートモード
- ・ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合せることができます。

プロテクトモード

ハードウェアプロテクトモード、ソフトウェアプロテクトモードとエラープロテクトの3種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にPROMライターを用いたライターモードがあります。

22.4.2 ブロック図

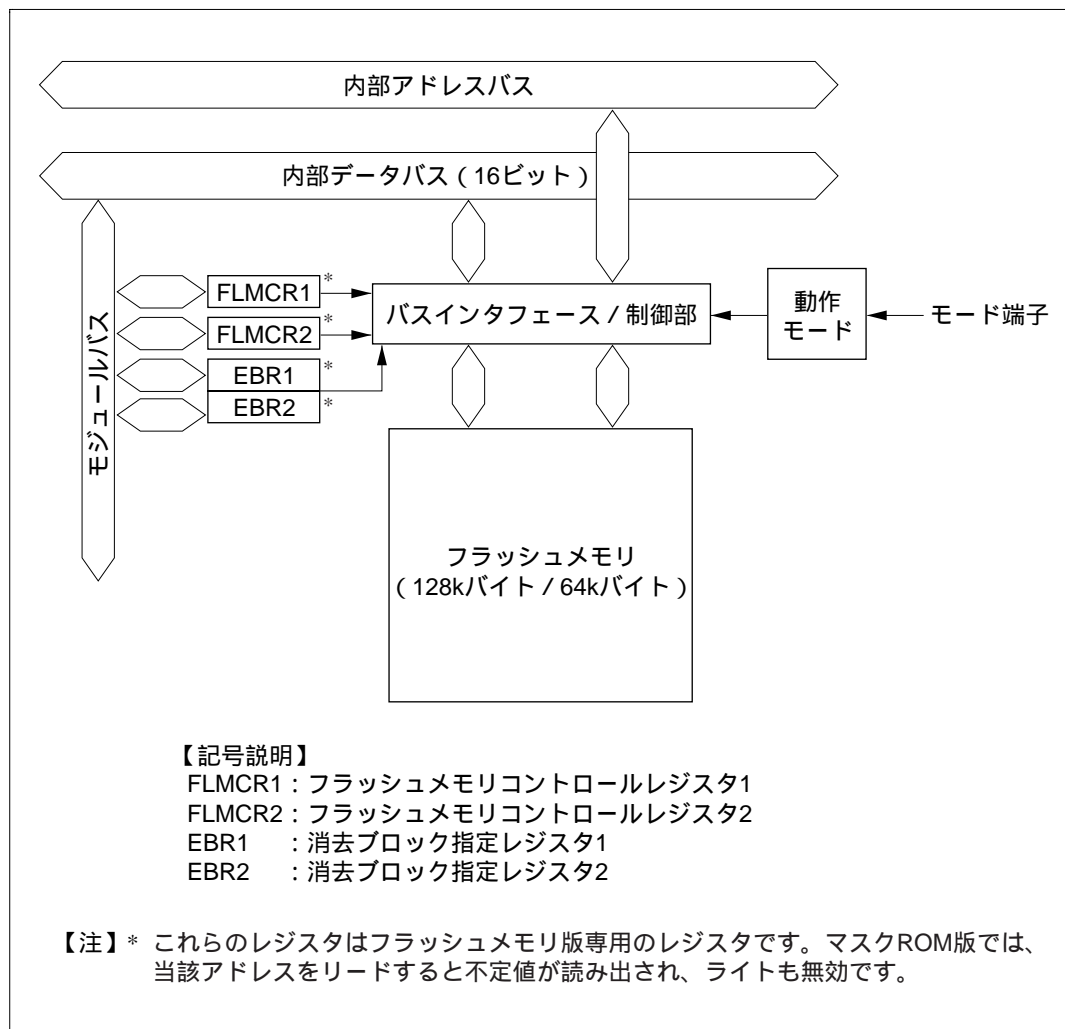


図 22.2 フラッシュメモリのブロック図

22.4.3 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で各モード端子を設定し、リセットスタートすると、マイコンは図 22.3 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、ライターモードがあります。

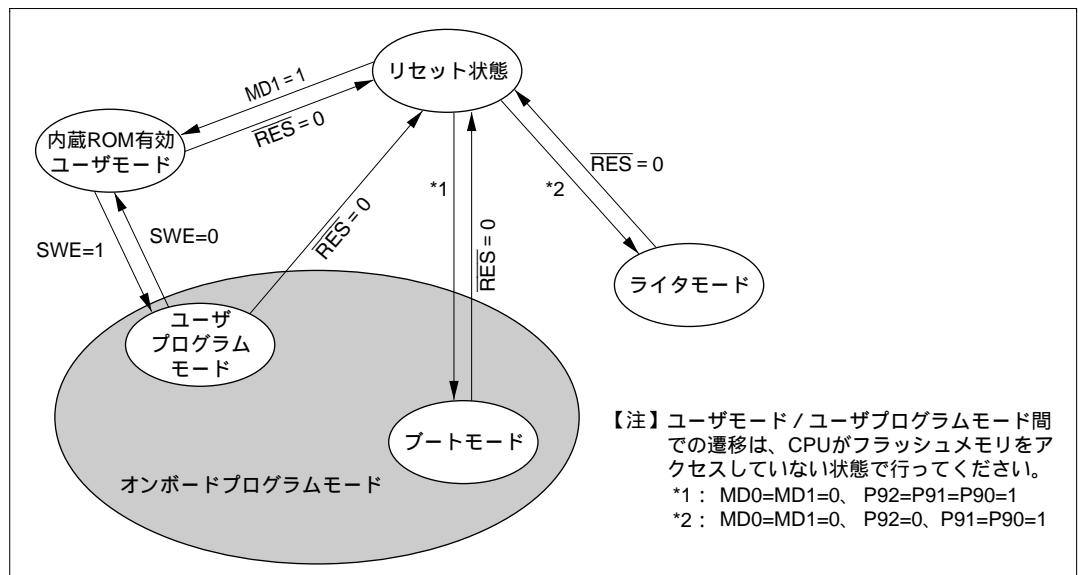


図 22.3 フラッシュメモリに関する状態遷移

(2) オンボードプログラムモード

(a) ブートモード

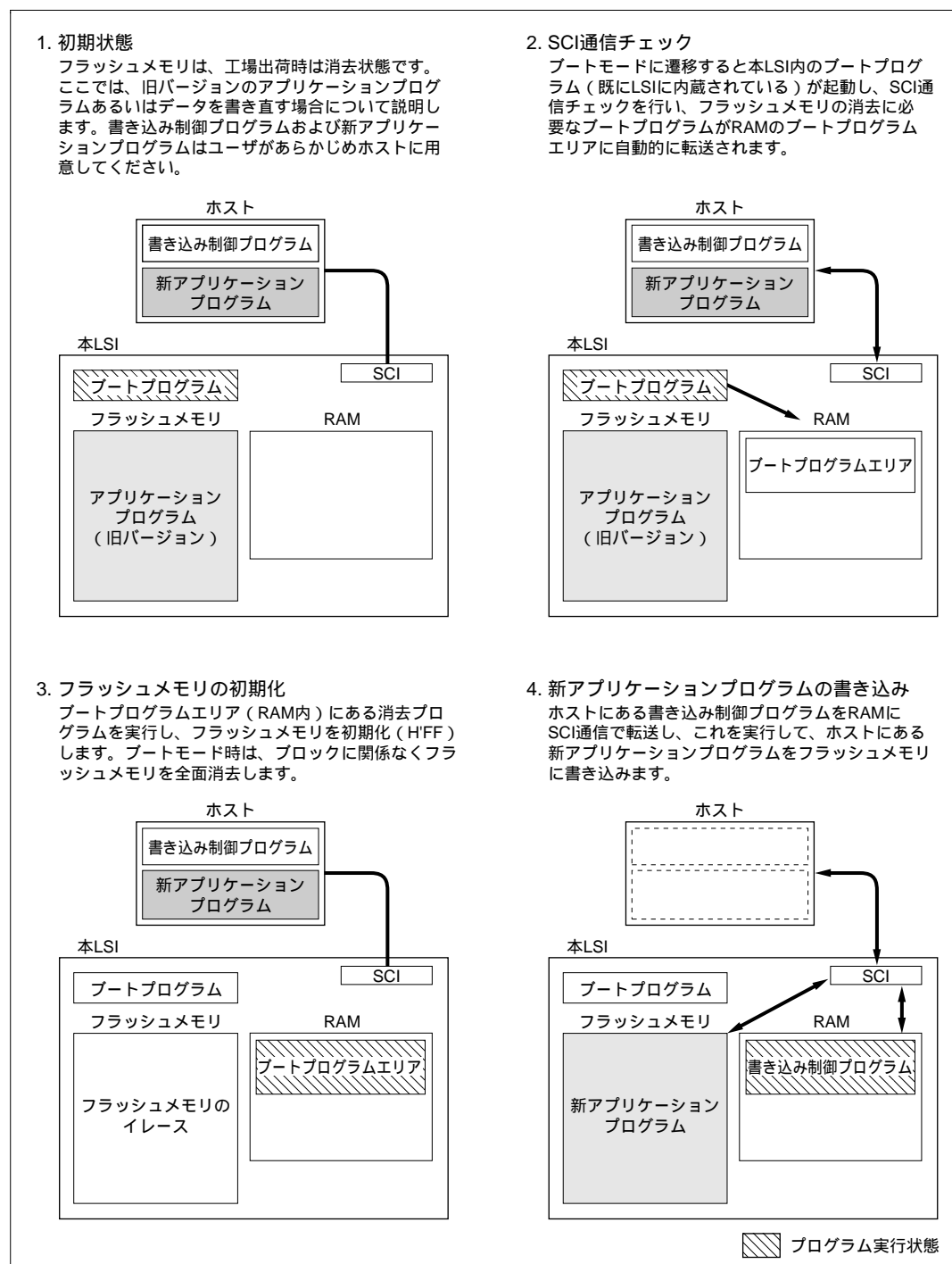


図 22.4 ブートモード

(b) ユーザプログラムモード

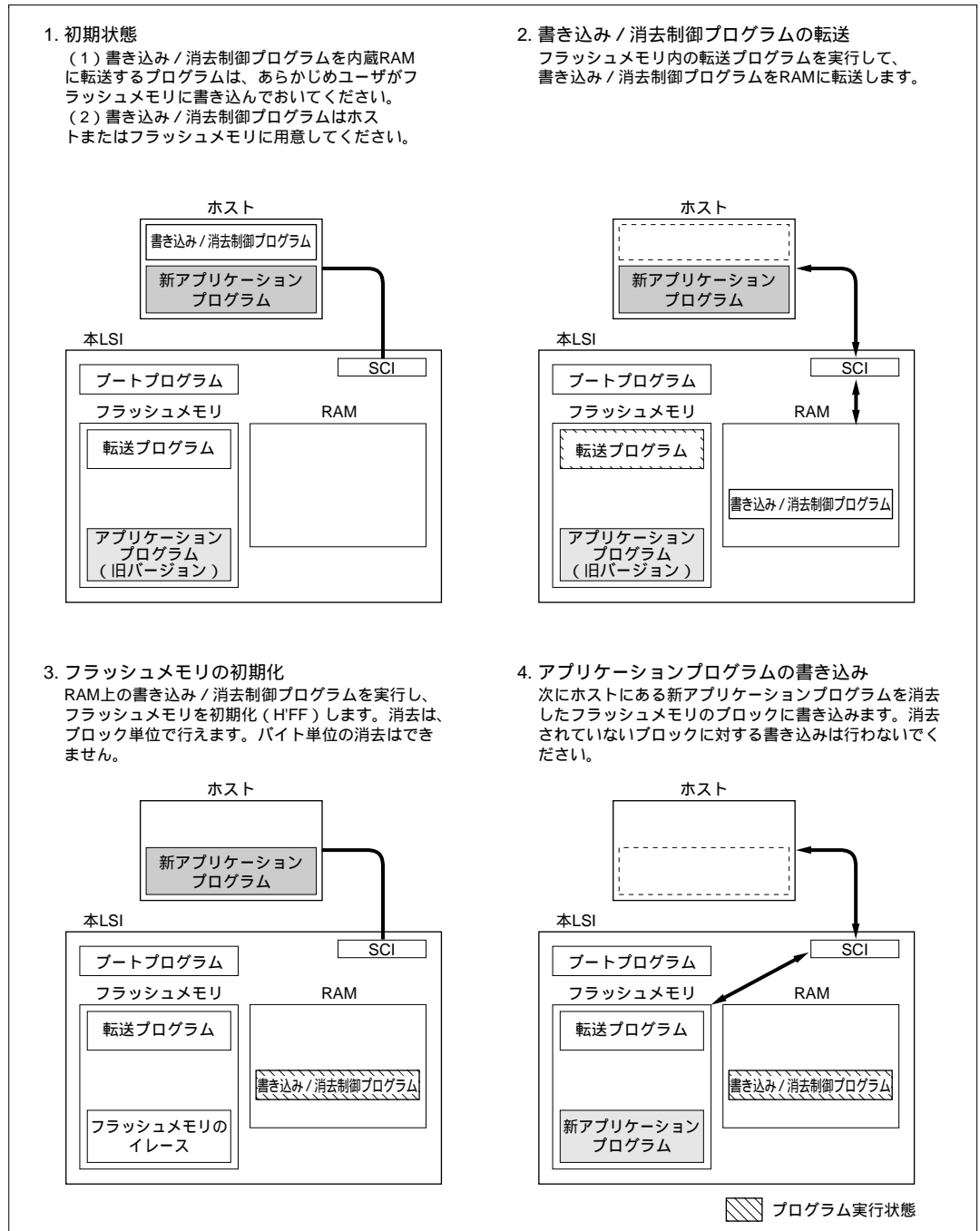


図 22.5 ユーザプログラムモード (例)

(3) ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2)

(1) イレース/イレースベリファイ

(2) プログラム/プログラムベリファイ

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

(4) ブロック分割法

32kバイト(2ブロック:128kバイト版のみ)、8kバイト(2ブロック)、16kバイト(1ブロック)、28kバイト(1ブロック)、1kバイト(4ブロック)に分割されています。

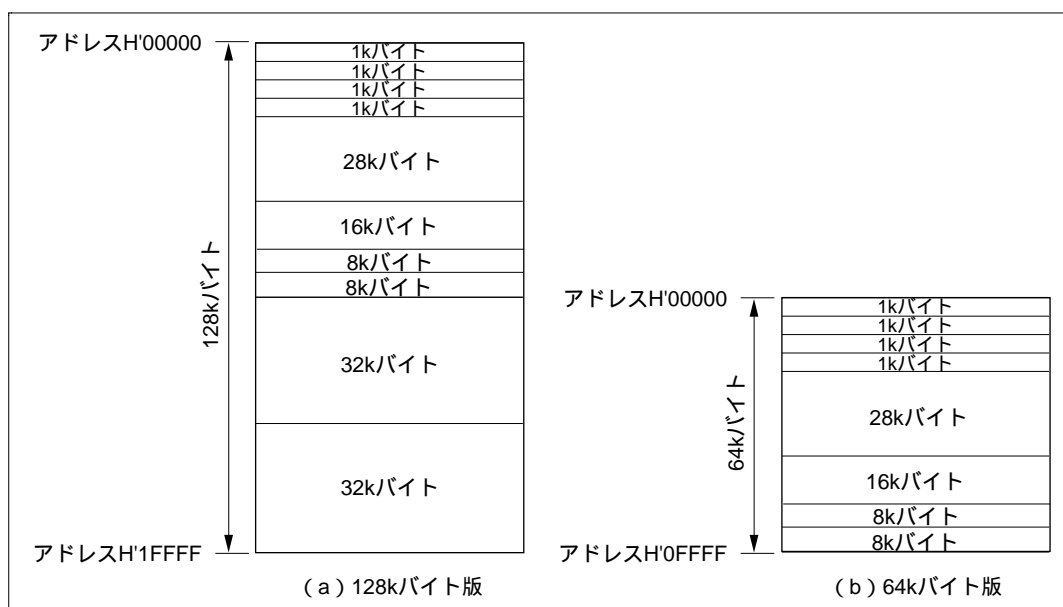


図 22.6 フラッシュメモリのブロック分割

22.4.4 端子構成

フラッシュメモリは表 22.3 に示す端子により制御されます。

表 22.3 端子構成

端子名	略称	入出力	機能
リセット	$\overline{\text{RES}}$	入力	リセット
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート 92	P92	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
ポート 91	P91	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
ポート 90	P90	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

22.4.5 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 22.4 に示します。本レジスタをアクセスするためには、STCR の FLSHE ビットを 1 にセットする必要があります。

表 22.4 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
フラッシュメモリコントロールレジスタ 1	FLMCR1*5	R/W*3	H'80	H'FF80*2
フラッシュメモリコントロールレジスタ 2	FLMCR2*5	R/W*3	H'00*4	H'FF81*2
消去ブロック指定レジスタ 1	EBR1*5	R/W*3	H'00*4	H'FF82*2
消去ブロック指定レジスタ 2	EBR2*5	R/W*3	H'00*4	H'FF83*2
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラッシュメモリのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイマコントロールレジスタ (STCR) の FLSHE ビットで行います。

*3 内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

*4 FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

*5 FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。また、これらのレジスタはフラッシュメモリ版専用のレジスタです。マスク ROM 版では、当該アドレスをリードすると不定値が読み出され、ライトも無効です。

22.5 フラッシュメモリのレジスタの説明

22.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	-	-	EV	PV	E	P
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R/W	-	-	R/W	R/W	R/W	R/W

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード、イレースベリファイモードに遷移します。プログラムモードへ遷移するには、SWE=1 にセットし、FLMCR2 の PSU ビットをセットした後、P ビットをセットします。イレースモードへ遷移するには、SWE=1 にセットし、FLMCR2 の ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードで H'80 に初期化されます。内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

また、FLMCR1 の EV、PV ビットへのライトは SWE=1 のとき、E ビットへのライトは SWE=1、ESU=1 のとき、P ビットへのライトは SWE=1、PSU=1 のときのみ有効です。

ビット 7：フラッシュライトイネーブル (FWE)

内蔵フラッシュメモリの書き込み/消去を制御するビットです。本製品では、リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6：ソフトウェアライトイネーブル (SWE)

フラッシュメモリの書き込みの有効または無効を選択するビットです (ESU、PSU、EV、PV、E、P、EB9~EB0 ビットの設定前にセットしてください。また、これらのビットと同時にクリアしないでください)。

ビット 6	説明	
SWE		
0	書き込み無効	(初期値)
1	書き込み有効	

ビット 5~4：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] SWE = 1 のときにセット可

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] SWE = 1 のときにセット可

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] SWE = 1、ESU = 1 のときにセット可

ビット0：プログラム（P）

プログラムモードへの遷移、解除を選択するビットです（SWE、PSU、ESU、EV、PV、Eビットを同時に設定しないでください）。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] SWE = 1、PSU = 1 のときにセット可

22.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット：	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	ESU	PSU
初期値：	0	0	0	0	0	0	0	0
R/W：	R	-	-	-	-	-	R/W	R/W

FLMCR2 は、フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）の有無のモニタと、フラッシュメモリのプログラム/イレースモードへのセットアップを行う 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモードで H'00 に初期化されます。また、ESU ビット、PSU ビットは、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードでも 0 にクリアされます。

内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

ビット7：フラッシュメモリエラー（FLER）

フラッシュメモリ動作中（書き込み、消去）にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が無効 [クリア条件] リセット、ハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が有効 [セット条件] 「22.8.3 エラープロテクト」参照

ビット6~2：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット1：イレースセットアップ (ESU)

イレースモードへの遷移の準備をするビットです。FLMCR1のEビットを1にセットする前に1にセットしてください。(SWE、PSU、EV、PV、E、Pビットを同時に設定しないでください)

ビット1	説明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] SWE = 1 のときにセット可

ビット0：プログラムセットアップ (PSU)

プログラムモードへの遷移の準備をするビットです。FLMCR1のPビットを1にセットする前に1にセットしてください。(SWE、ESU、EV、PV、E、Pビットを同時に設定しないでください)

ビット0	説明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] SWE = 1 のときにセット可

22.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)

ビット :	7	6	5	4	3	2	1	0
EBR1	-	-	-	-	-	-	EB9/ - *2	EB8/ - *2
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	R/W*1*2	R/W*1*2

ビット :	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 ノーマルモードの場合は0が読み出され、ライトは無効です。

*2 64kバイト版にEB8、EB9ビットはありません。本ビットは1にセットしないでください。

フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、EBR1 のビット 1~0 (128k バイト版のみ)、EBR2 のビット 7~0 について R/W 可能です。EBR1、EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードおよびFLMCR1 のSWE ビットが設定されていないときは、それぞれ H'00 に初期化されます。EBR1、EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1、EBR2 は 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。内蔵フラッシュメモリが無効のモードのときは、リードするとそれぞれ H'00 が読み出され、ライトも無効となります。

フラッシュメモリのブロック分割方法は、表 22.5 を参照してください。

表 22.5 消去ブロックの分割

ブロック (サイズ)		アドレス
128k バイト版	64k バイト版	
EB0 (1k バイト)	EB0 (1k バイト)	H'(00)0000 ~ H'(00)03FF
EB1 (1k バイト)	EB1 (1k バイト)	H'(00)0400 ~ H'(00)07FF
EB2 (1k バイト)	EB2 (1k バイト)	H'(00)0800 ~ H'(00)0BFF
EB3 (1k バイト)	EB3 (1k バイト)	H'(00)0C00 ~ H'(00)0FFF
EB4 (28k バイト)	EB4 (28k バイト)	H'(00)1000 ~ H'(00)7FFF
EB5 (16k バイト)	EB5 (16k バイト)	H'(00)8000 ~ H'(00)BFFF
EB6 (8k バイト)	EB6 (8k バイト)	H'(00)C000 ~ H'(00)DFFF
EB7 (8k バイト)	EB7 (8k バイト)	H'00E000 ~ H'00FFFF
EB8 (32k バイト)	-	H'010000 ~ H'017FFF
EB9 (32k バイト)	-	H'018000 ~ H'01FFFF

22.5.4 シリアルタイムコントロールレジスタ (STCR)

ビット:	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE		ICKS1	ICKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御(IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御(F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。内蔵フラッシュメモリ以外の詳細は、「3.2.4 シリアルタイムコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 にイニシャライズされます。

ビット7~4: I²C コントロール (IICS、IICX1、IICX0、IICE)

IIC 内蔵オプションの場合、I²C バスインタフェースの動作を制御するビットです。詳しくは「第 16 章 I²C バスインタフェース」を参照してください。

ビット3: フラッシュメモリコントロールレジスタイネーブル (FLSHE)

FLSHE ビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット3	説明
FLSHE	
0	フラッシュメモリの制御レジスタは非選択状態 (初期値)
1	フラッシュメモリの制御レジスタは選択状態

ビット2: リザーブビット

リザーブビットです。1 にセットしないでください。

ビット1、0: インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

8 ビットタイマの動作を制御するビットです。詳しくは「第 12 章 8 ビットタイマ」を参照してください。

22.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み / 消去 / ベリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法は、表 22.6 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図を図 22.3 に示します。

ブートモードは、アドバンスモードの設定のみ可能です。

ユーザプログラムモードは、MD0 端子の設定により、アドバンスモードまたはノーマルモードの設定が可能です。ノーマルモードでは 56k バイト分のフラッシュメモリの書き換えのみ可能です。

表 22.6 オンボードプログラミングモードの設定方法

モード		端子				
モード名	CPU 動作モード	MD1	MD0	P92	P91	P90
ブートモード	アドバンスモード	0	0	1*	1*	1*
ユーザプログラムモード	アドバンスモード	1	0	-	-	-
	ノーマルモード		1			

【注】 * ブートモード起動後は I/O ポートとして使用できます。

22.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネル 1 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI を使って本 LSI へ順次送信されます。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 22.7 にブートモード時のシステム構成図、図 22.8 にブートモード実行手順を示します。

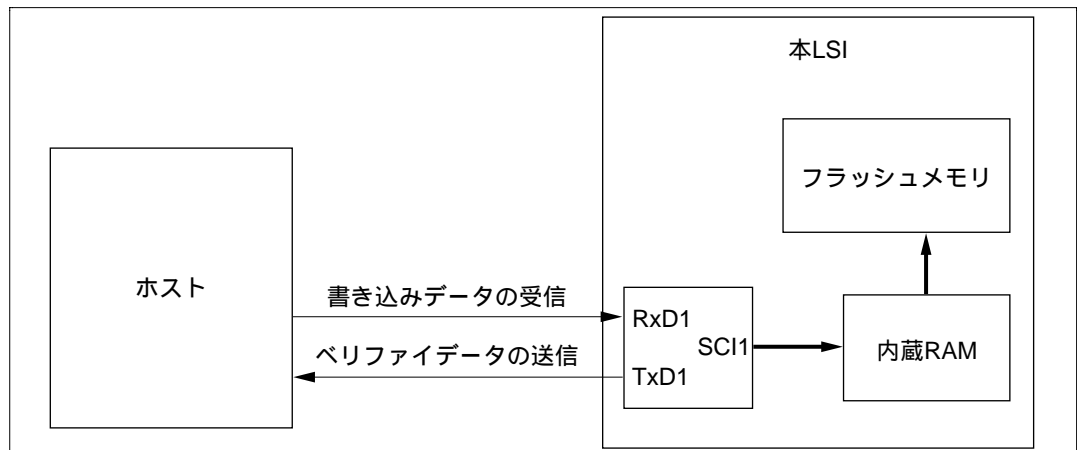


図 22.7 ブートモード時のシステム構成図

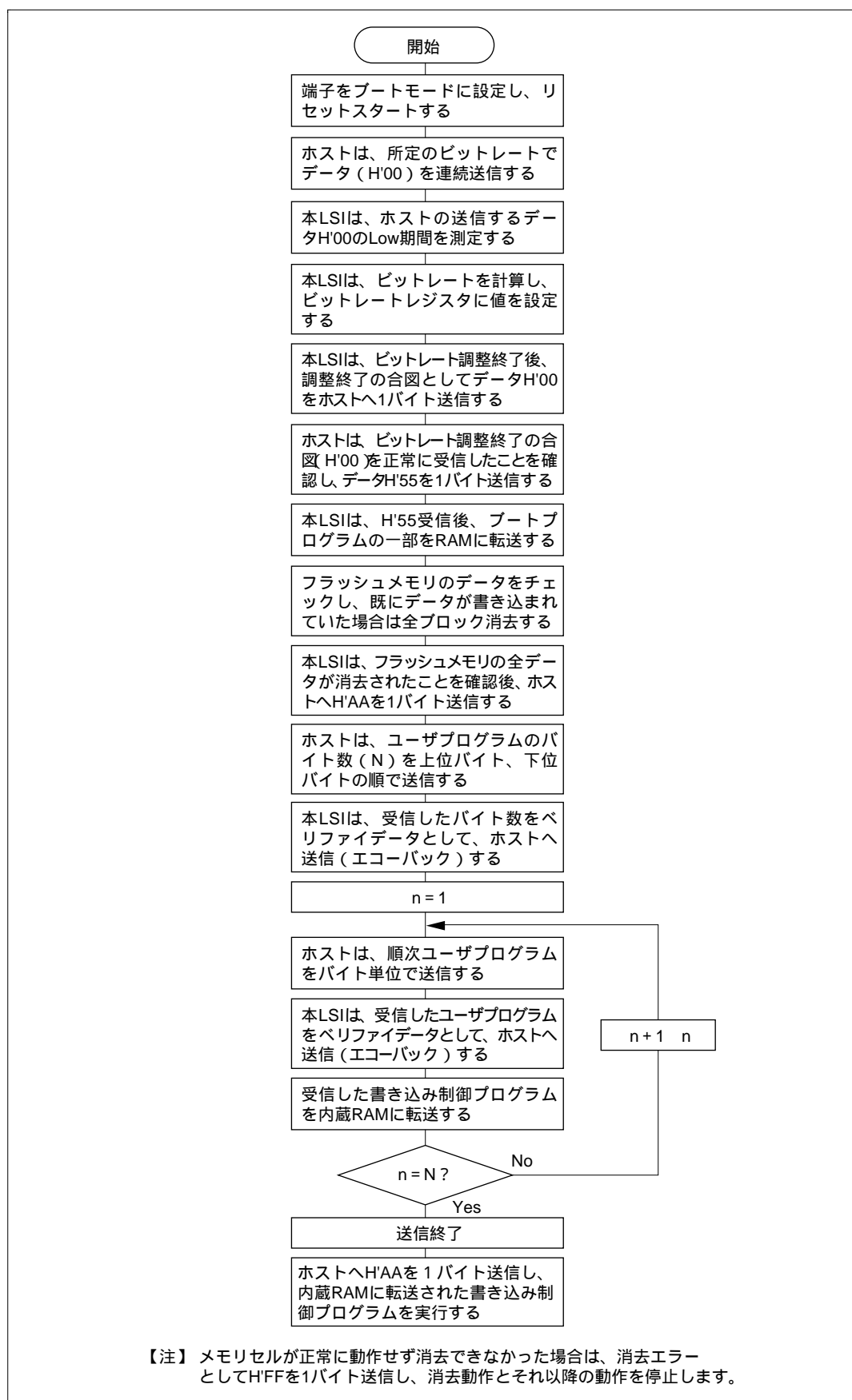


図 22.8 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作

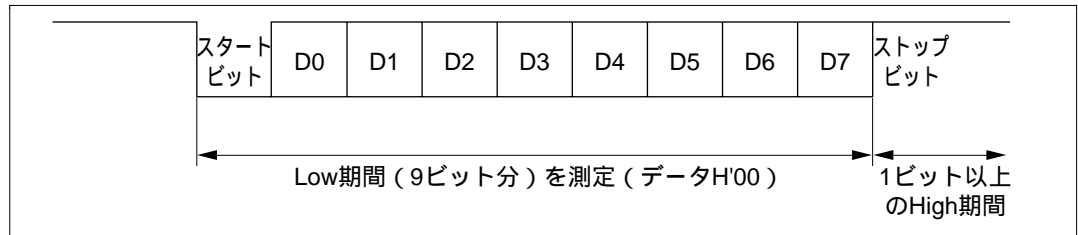


図 22.9 SCI ビットレート自動合わせ込み時の RxD1 入力信号

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。この時の SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 2400bps、4800bps、9600bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 22.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 22.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9600bps	8MHz ~ 20MHz
4800bps	4MHz ~ 20MHz
2400bps	2MHz ~ 18MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'(FF)FF00 ~ H'(FF)FF7F の 128 バイトは、図 22.10 に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアは H'(FF)E080 ~ H'(FF)EFFF の 3968 バイト (128k バイト版)、H'(FF)E880 ~ H'(FF)EFFF の 1920 バイト (64k バイト版) です。ブートプログラムのエリアは、RAM 内に転送した書き込み制御プログラムが実行状態に遷移すると使用できます。スタックエリアは必要に応じて設定してください。

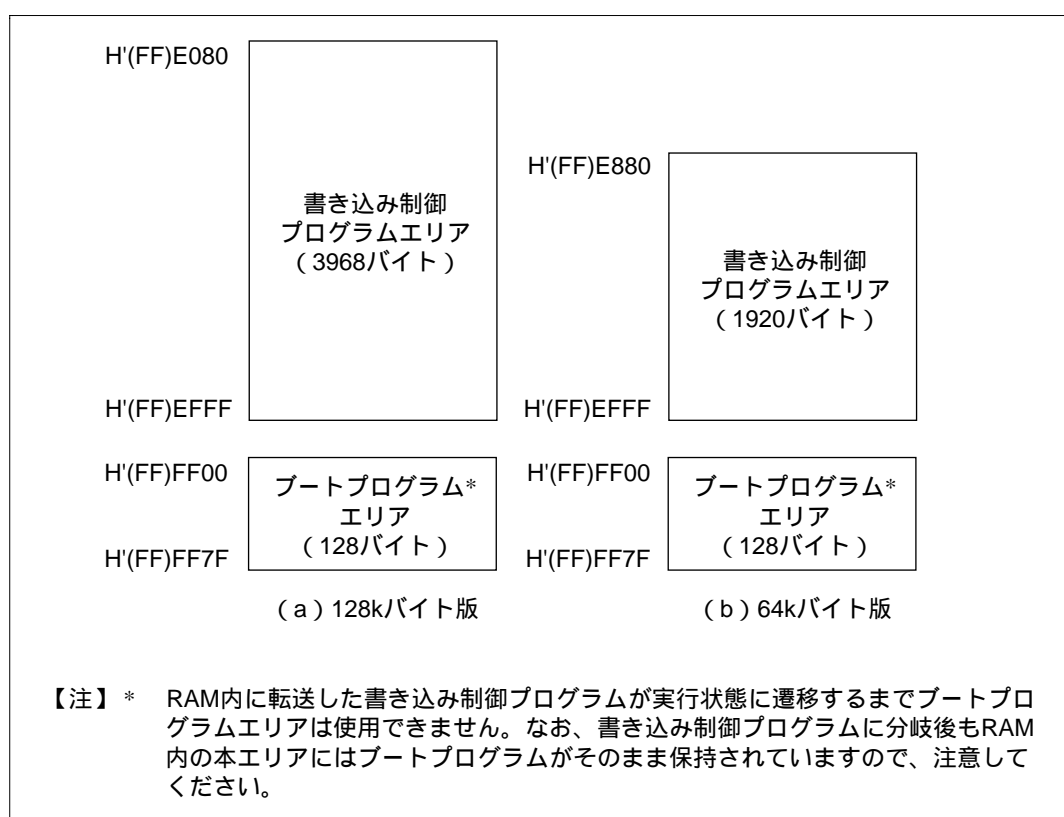


図 22.10 ブートモード時の RAM エリア

(3) ブートモード使用時の注意事項

- (a) 本 LSI は、ブートモードでリセット解除すると、SCI の RxD1 端子の Low 期間を測定します。RxD1 端子が High の状態でリセット解除してください。リセット解除後、RxD1 端子から入力される Low 期間を測定できるようになるまで、本 LSI は約 100 ステート必要です。

- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが 1 でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。

- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。

- (d) RxD1 端子および TxD1 端子は、ボード上でプルアップして使用してください。

- (e) 本 LSI は、RAM 上にロードした書き込み制御プログラム（RAM エリアの H'(FF)E080（128k バイト版）、H'(FF)E880（64k バイト版））に分岐するときに内蔵 SCI（チャンネル 1）の送受信動作を終了（SCR の RE = 0、TE = 0）しますが、BRR には、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子 TxD1 は、High レベル出力状態（P84DDR = 1、P84DR = 1）となっています。
さらにこのとき、CPU 内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。
特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては、初期値が変更されるものはありません。

- (f) ブートモードへの遷移は表 22.6 のモード設定にしたがって、端子を設定しリセットスタートすることにより可能です。
本 LSI はリセット解除時^{*1}にブートモードの設定であることを検出すると P92、P91、P90 は I/O ポートとして使用できます。
ブートモードを解除するには、リセット端子を Low レベルにしてから最低 20 ステート経過後、モード端子を設定し、リセット解除^{*1}してください。また、WDT のオーバフローリセットが発生した場合もブートモードを解除することが可能です。

ブートモードの途中でモード端子の入力レベルを変化させないでください。

- (g) リセット中にモード端子の入力レベルを変化（例えばLow レベル High レベル）させると、マイコンの動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号（ \overline{AS} 、 \overline{RD} 、 \overline{HWR} ）の状態が変化*²します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

- 【注】** *1 モード端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間（ $t_{MDS} = 4$ ステート）を満足する必要があります。
- *2 アドレス兼用ポートは、リセット中にモード端子がモード1の設定になったとき、アドレスとしてLow レベルを出力します。それ以外のモードではハイインピーダンス状態となります。また、バス制御出力信号は、リセット中にモード端子がモード1の設定になったとき、High レベルを出力します。それ以外のモードではハイインピーダンス状態となります。

22.6.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み/消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み/消去制御プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード 2、3 で起動します。この状態の動作では、フラッシュメモリ以外の周辺機能はモード 2、3 と同じ動作をします。

フラッシュメモリへの書き込み/消去を行うために SWE ビットを 1 にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み/消去を行う制御プログラムは、内蔵 RAM / 外部メモリ上で実行するようにしてください。

図 22.11 に書き込み/消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

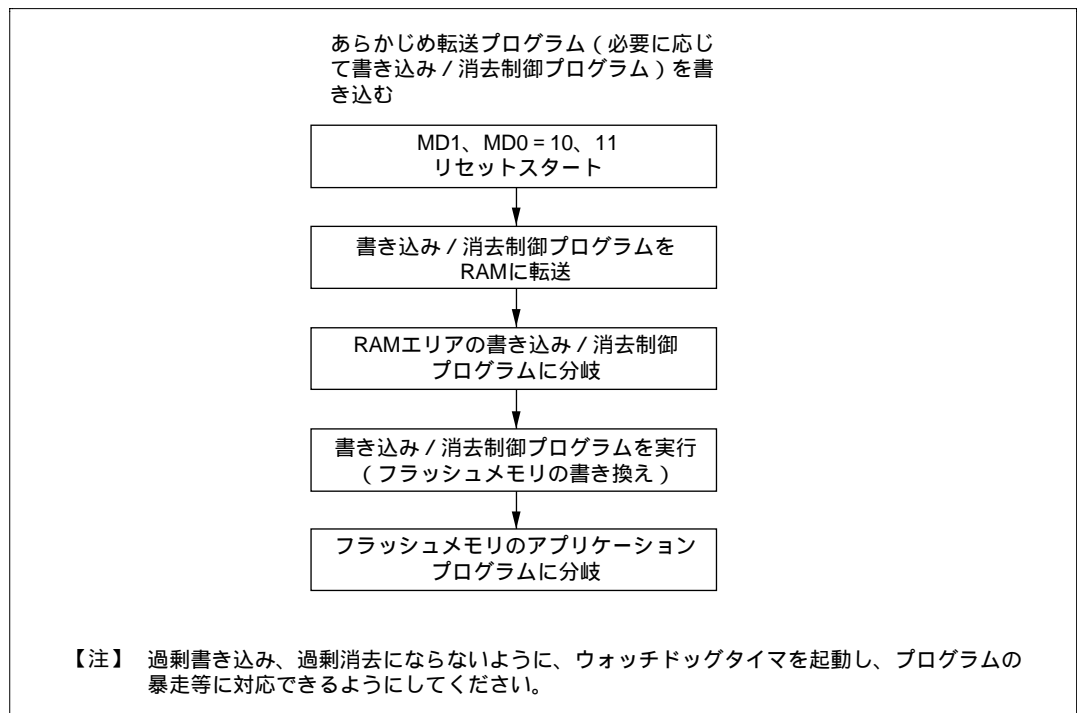


図 22.11 ユーザプログラムモードの実行手順例

22.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR2 の PSU、ESU ビット、FLMCR1 の P、E、PV、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM あるいは外部メモリ上に置いて、実行するようにしてください。

- 【注】 1. FLMCR1 の SWE、EV、PV、E、P ビット、FLMCR2 の ESU、PSU ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
2. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。

22.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 22.12 に示すプログラム / プログラムベリファイフローチャートにしたがって行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット / クリア後のウェイト時間 (x、y、z、 、 、 、)、最大書き込み回数 (N) は、「26 章 電気的特性 フラッシュメモリ特性」を参照してください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(x) μ s 以上の時間が経過してから、32 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレスに RAM 上の再書き込みデータエリアの 32 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません。データ転送はバイト単位で 32 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z+) μ s より大きくしてください。その後、FLMCR2 の PSU ビットをセットし、プログラムモードへの準備 (プログラムセットアップ) を行い、(y) μ s 以上の時間が経過してから、FLMCR1

のPビットをセットすることで、動作モードはプログラムモードへ遷移します。Pビットがセットされている時間がフラッシュメモリの書き込み時間となります。一回の書き込み時間を $(z) \mu s$ の範囲に納まるようにプログラムで設定してください。

22.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除(FLMCR1のPビットを0にクリア後、 $() \mu s$ 以上の時間が経過してからFLMCR2のPSUビットを0にクリア)します。次に、ウォッチドッグタイマを $() \mu s$ 以上の時間が経過してから解除し、FLMCR1のPVビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータH'FFをダミーライトしてください。ダミーライトは $() \mu s$ 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード(ベリファイデータは16ビットで読み出す)するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 $() \mu s$ 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算(図22.12参照)し、再書き込みデータを再書き込みデータエリアに転送します。32バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、 $() \mu s$ 以上の待機時間をおいて、FLMCR1のSWEビットを0にクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、N回を超えないようにしてください。

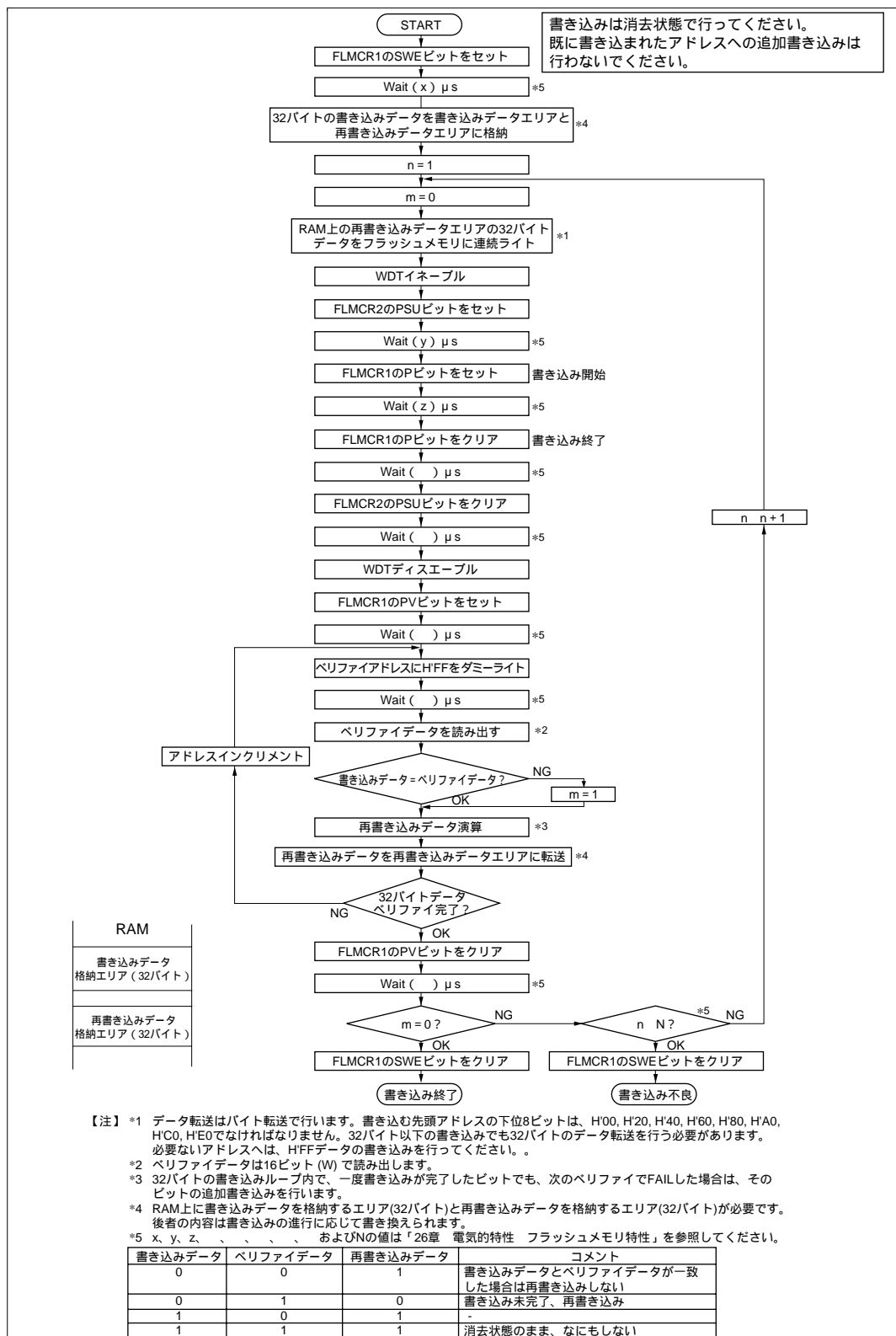


図 22.12 プログラム / プログラムペリファイフロー

22.7.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 22.13 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット/クリア後のウェイト時間 (x、y、z、 \dots)、最大消去回数 (N) は「26 章 電気的特性 フラッシュメモリ特性」を参照してください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、(x) μ s 以上の時間が経過してから、消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z+ \dots) ms より大きく設定してください。その後、FLMCR2 の ESU ビットをセットすることで、イレースモードへの準備(イレースセットアップ)を行い、(y) μ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが 1 にセットされている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリのデータをすべて 0 にする）を行う必要はありません。

22.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCR1 の E ビットを 0 にクリア後、() μ s 以上の時間が経過してから FLMCR2 の ESU ビットを 0 にクリア) します。次に、ウォッチドッグタイマを () μ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットを 1 にセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは () μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、() μ s おいてから行ってください。読み出したデータが消去（データがすべて 1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数は N 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、() μ s 以上の待機時間をおいてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを 0 にクリアしてください。未消去のブロックが存在する場合は、

消去するフラッシュメモリのブロックを EBR1、EBR2 で 1 ビット設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。

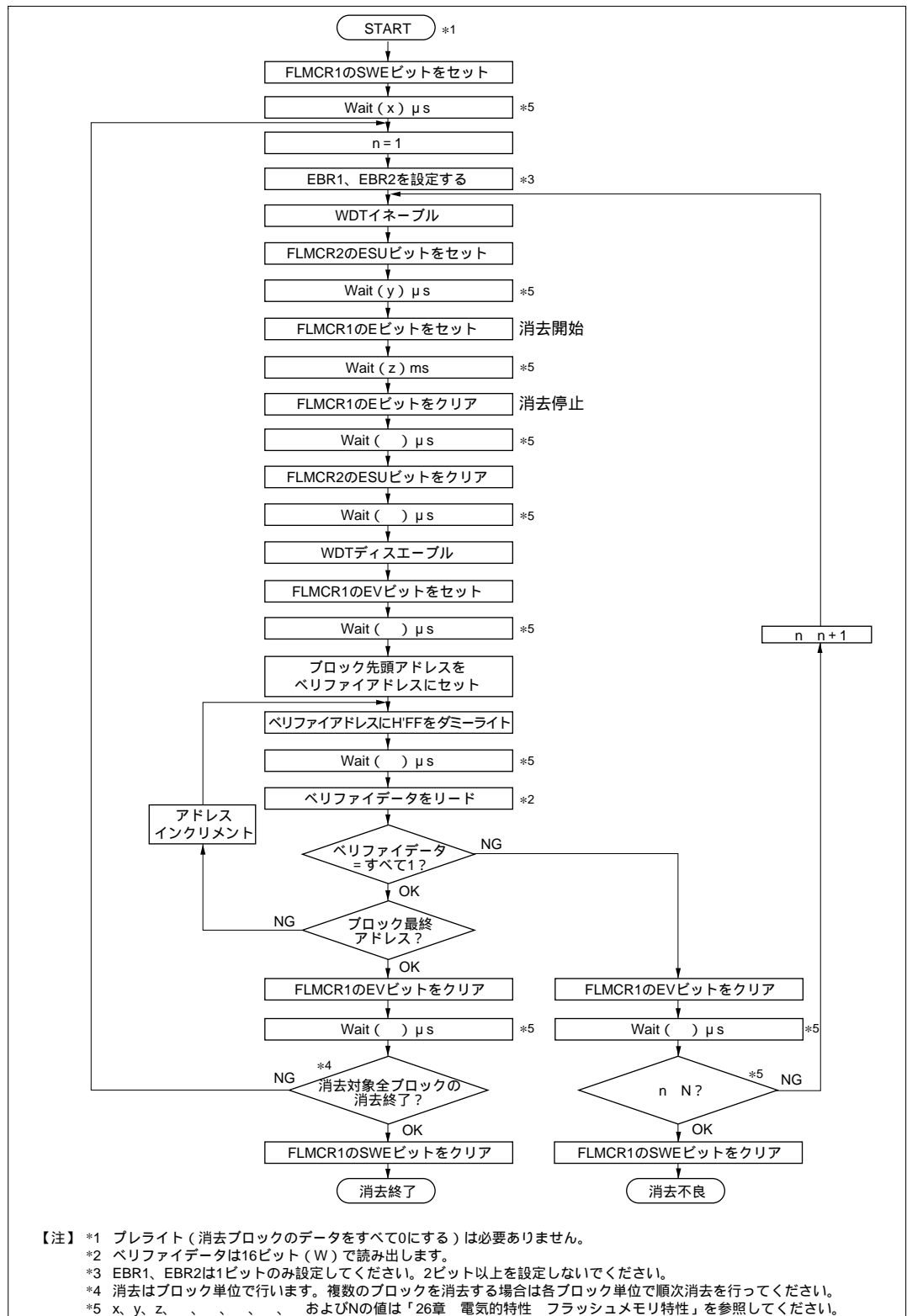


図 22.13 イレース/イレースペリファイフロー（単一ブロック消去）

22.8 フラッシュメモリのプロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクトとエラープロテクトの3種類あります。

22.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1、2 (FLMCR1、FLMCR2) および消去ブロック指定レジスタ1、2 (EBR1、EBR2) の設定はリセットされます (表 22.8 参照)。

表 22.8 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT のオーバフローリセットも含む)、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。 		

22.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、消去ブロック指定レジスタ1、2 (EBR1、EBR2) をセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 22.9 参照)。

表 22.9 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。(内蔵 RAM / 外部メモリ上で実行してください。) 		
ブロック指定プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ1、2 (EBR1、EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1 と EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	

22.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。この時、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中にフラッシュメモリをリードしたとき (ベクタリードおよび命令フェッチを含む)
- (2) 書き込み / 消去中の例外処理 (リセットは除く) 開始直後
- (3) 書き込み / 消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイ、スリープ、サブアクティブ、サブスリープ、ウォッチモードへの遷移)
- (4) 書き込み / 消去中に CPU がバス権を失ったとき

エラープロテクト解除は、リセットまたはハードウェアスタンバイモードのみで行われます。

図 22.14 にフラッシュメモリの状態遷移図を示します。

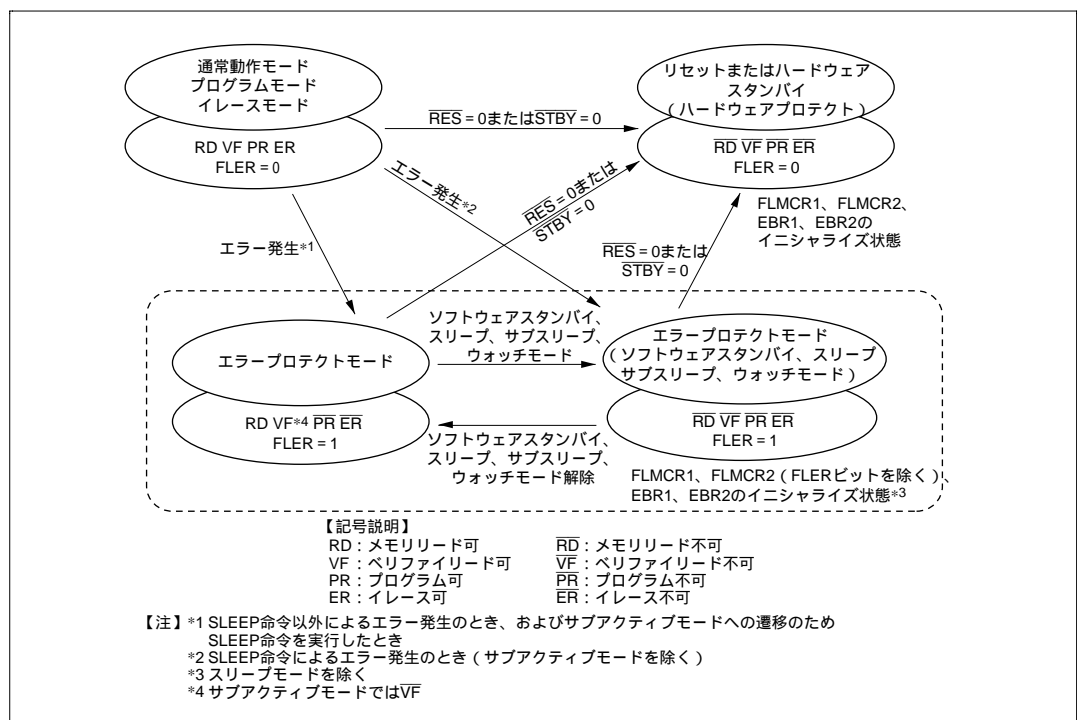


図 22.14 フラッシュメモリの状態遷移図

22.9 フラッシュメモリの書き込み / 消去時の割込み処理

フラッシュメモリへの書き込み、消去中(FLMCR1のPビットまたはEビットがセット)およびブートモードでのブートプログラム実行中*1は、書き込み、消去動作を最優先とするため、NMI入力を含むすべての割込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割込み例外処理ではベクタリードが正常にできない*2ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割込みを禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合には、マイコンの内部と外部で NMI を含むすべての割り込み要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P ビットまたは E ビットが保持された状態でも割込みは禁止状態となります。

【注】 *1 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*2 この場合、以下の2つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中(FLMCR1のPビットまたはEビットがセット)にフラッシュメモリのリードを行っても正しい値を読み出すことはできません(値は不定)。
- ・割込みベクタテーブルに値がまだ書き込まれていない場合、割込み例外処理が正しく実行されません。

22.10 フラッシュメモリのライターモード

22.10.1 ライターモードの設定

プログラム/データの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードでは日立 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプ*^{1, 3}、もしくは日立 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプ*^{2, 3}の書き込み電圧 5.0V をサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。本デバイスタイプでは、フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

表 22.10 にライターモードの端子設定方法を示します。

【注】 *1 対象製品は、H8S/2148、H8S/2144 になります。

*2 対象製品は、H8S/2147N、H8S/2142 になります。

*3 H8S/2148、H8S/2147N、H8S/2144、H8S/2142 の A マスク品以外の製品は、5V 版、3V 版ともに PROM ライタの書き込み電圧を 5.0V に設定して使用してください。

なお、A マスク品は 5.0V に設定しないでください。

表 22.10 ライターモードの端子設定方法

端子名	設定、外付け回路接続
モード端子 : MD1、MD0	MD1、MD0 に Low レベルを入力
STBY 端子	High レベルを入力 (ハードウェアスタンバイモードにしない)
RES 端子	パワーオンリセット回路
XTAL、EXTAL 端子	発振回路
その他の設定端子 : P97、P92、P91、P90、 P67	P92、P67 に Low レベル、 P97、P91、P90 に High レベルを入力

22.10.2 ソケットアダプタとメモリマップ

このライターモードでは、PROM ライタに各パッケージに対応したソケットアダプタを取り付けて行います。ソケットアダプタは、日立 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプ、もしくは日立 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライターメーカーごとに用意されています。

図 22.15 にライターモード時のメモリマップを示します。ライターモード時の端子名は

「1.3.2 動作モード別端子機能」を参照してください。

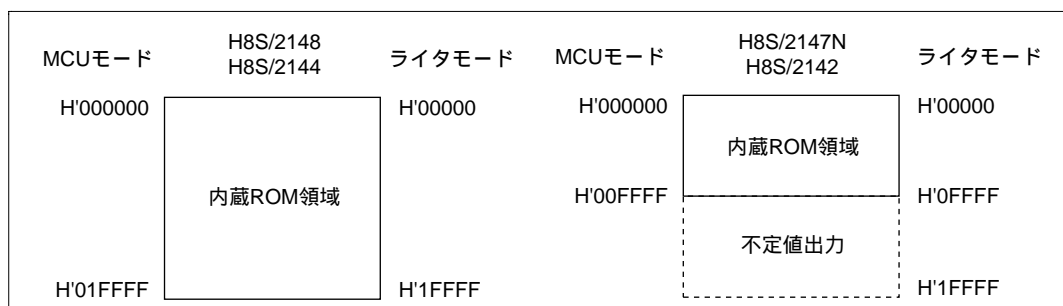


図 22.15 ライタモード時のメモリマップ

22.10.3 ライタモードの動作

表 22.11 にライターモード時の各動作モードの設定方法、表 22.12 にライターモード時の各コマンドを示します。また、各モードの詳細情報を以下に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマップ全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は FO6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 22.11 ライタモード時の各動作モードの設定方法

モード	ピン名				
	\overline{CE}	\overline{OE}	\overline{WE}	FO7 ~ FO0	FA17 ~ FA0
リード	L	L	H	データ出力	Ain
出力ディスエーブル	L	H	H	Hi-z	X
コマンド書き込み	L	H	L	データ入力	Ain* ²
チップディスエーブル* ¹	H	X	X	Hi-z	X

【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 22.12 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。

2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

22.10.4 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に移っています。メモリの内容を読み出す場合は、コマンド書き込みでメモリ読み出しモードに移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに移します。

表 22.13 メモリ読み出しモード時の AC 特性 (1)

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

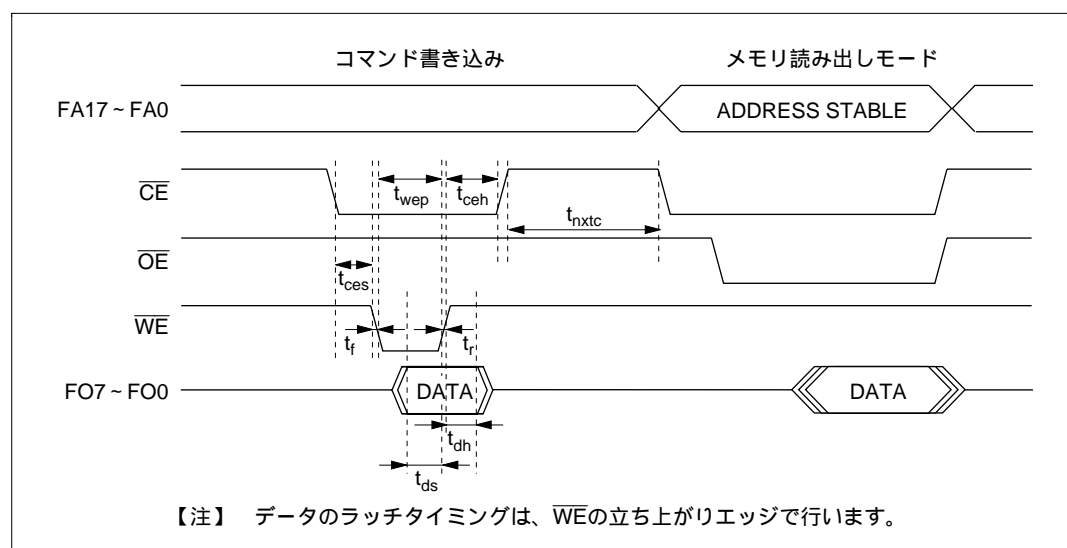


図 22.16 コマンド書き込み後メモリ読み出しタイミング波形

表 22.14 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

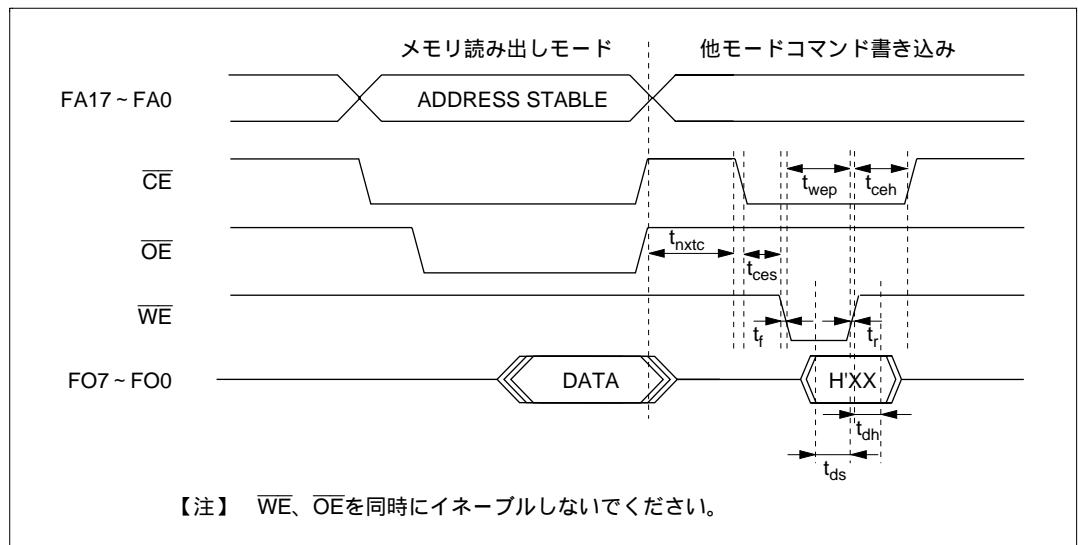
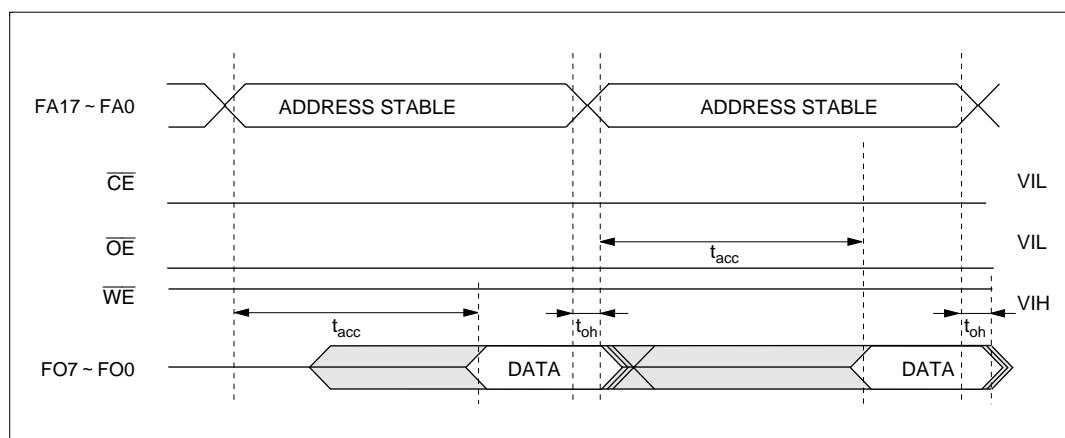
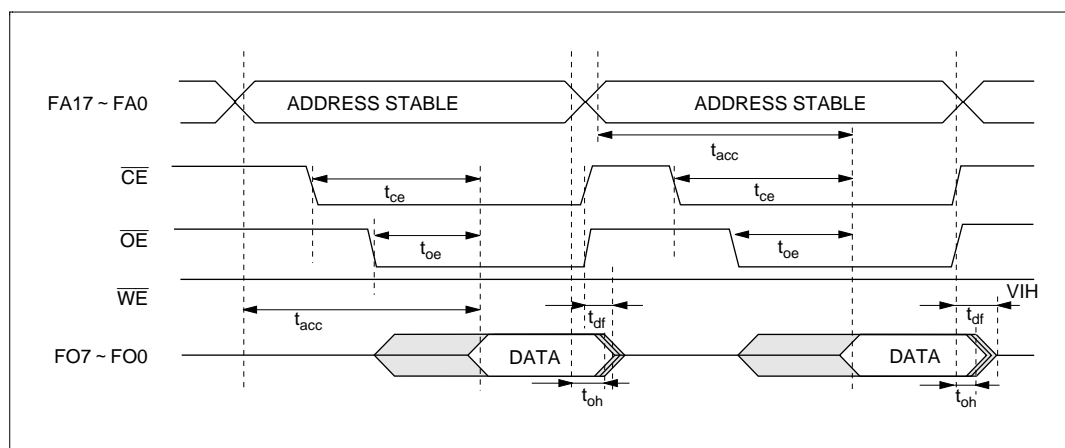


図 22.17 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 22.15 メモリ読み出しモード時の AC 特性 (2)

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエイブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

図 22.18 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形図 22.19 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

22.10.5 自動書き込みモード

(1) AC 特性

表 22.16 自動書き込みモード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

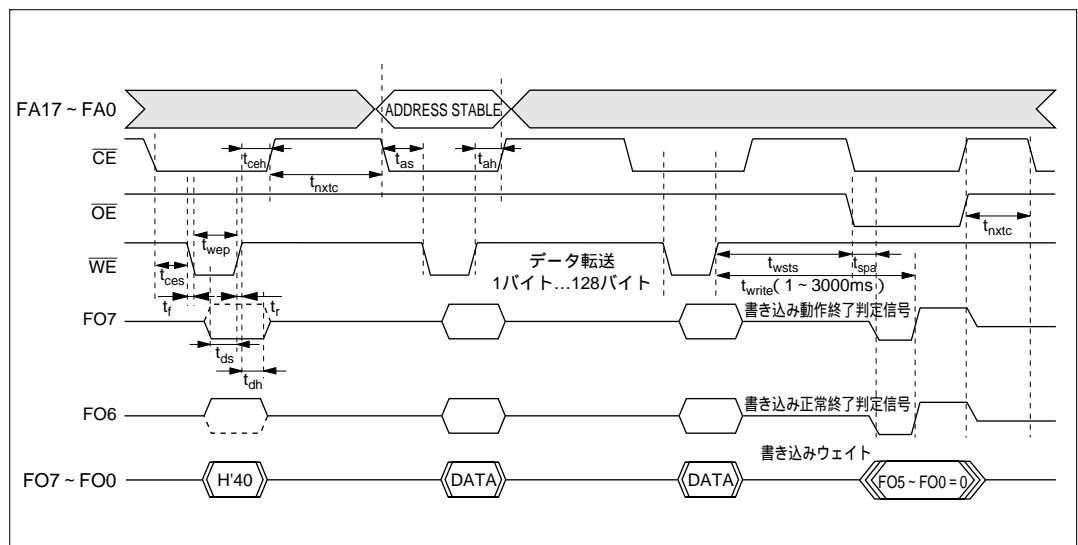


図 22.20 自動書き込みモードのタイミング波形

(2) 自動書き込みモードにおける注意事項

- (a) 自動書き込みモードでは、128 バイト同時書き込みを行います。これは、バイトデータを 128 回連続で転送してください。
- (b) 128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データを H'FF にして書き込みを行う必要があります。
- (c) 転送するアドレスの下位 8 ビットは、H'00、H'80 でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (d) メモリアドレスの転送は、第 2 サイクルで行います (図 22.20)。第 3 サイクル以降では転送しないでください。
- (e) 書き込み動作中は、コマンド書き込みを行わないでください。
- (f) 書き込みは、各アドレスの 128 バイト単位のブロックに対して、1 回の自動書き込みで行ってください。2 回以上の書き込みについては特性保証できません。
- (g) 自動書き込み正常終了の確認には、FO6 を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (FO7 番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (h) ステータスポーリングの FO6、FO7 端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

22.10.6 自動消去モード

(1) AC 特性

表 22.17 自動消去モード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

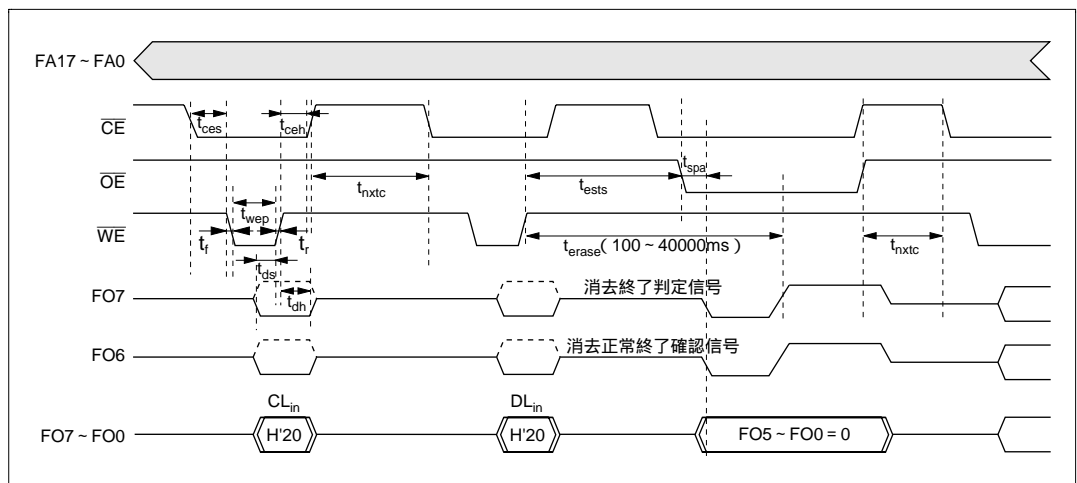


図 22.21 自動消去モードのタイミング波形

(2) 自動消去モードにおける注意事項

- (a) 自動消去モードは、メモリ全面消去のみサポートします。
- (b) 自動消去中はコマンド書き込みを行わないでください。
- (c) 自動消去正常終了の確認には、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（FO7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (d) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

22.10.7 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 22.18 ステータス読み出しモード時の AC 特性

(条件： $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

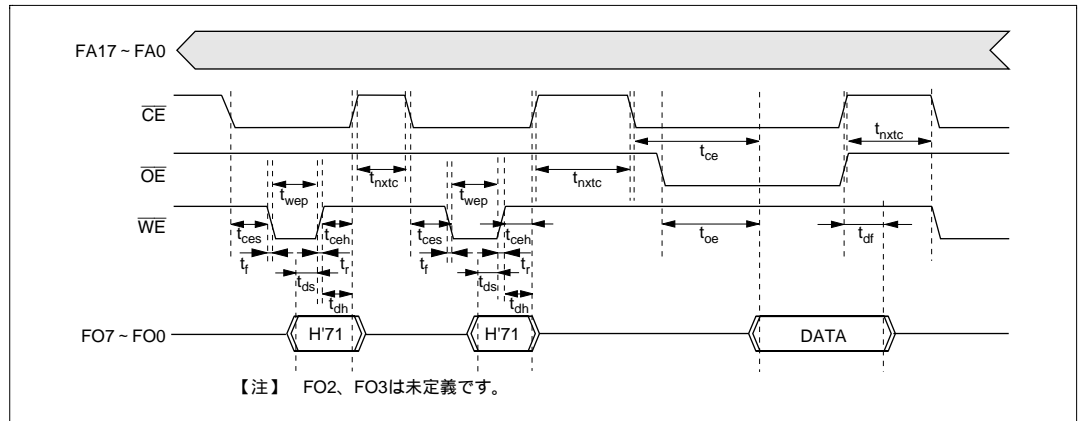


図 22.22 ステータス読み出しモードのタイミング波形

表 22.19 ステータス読み出しモードのリターンコマンド

ピン名	FO7	FO6	FO5	FO4	FO3	FO2	FO1	FO0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバー	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了 : 0 異常終了 : 1	コマンド エラー : 1 その他 : 0	書き込み エラー : 1 その他 : 0	消去 エラー : 1 その他 : 0	-	-	回数オーバー 時 : 1 その他 : 0	有効アドレス エラー : 1 その他 : 0

【注】 FO2、FO3は未定です。

22.10.8 ステータスポーリング

- (1) FO7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) FO6のステータスポーリングは、自動書き込み / 自動消去モード時の正常、または異常終了を示すフラグです。

表 22.20 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
FO7	0	1	0	1
FO6	0	0	1	1
FO0 ~ FO5	0	0	0	0

22.10.9 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 22.21 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除（発振安定時間）	t_{osc1}	20	-	ms	
ライタモードセットアップ時間	t_{bmv}	10	-	ms	
V_{CC} ホールド時間	t_{dwn}	0	-	ms	

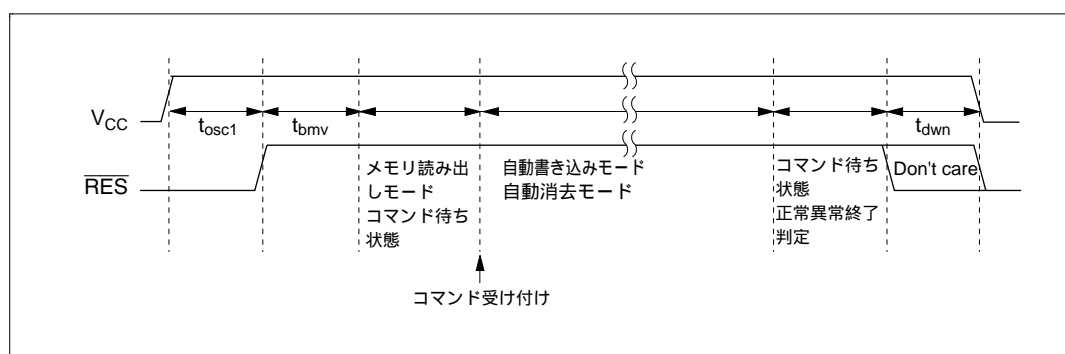


図 22.23 発振安定時間、ライタモードセットアップ、および電源立ち下げシーケンス

22.10.10 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. 日立出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。

22.11 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

PROMライターは、日立 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプ、もしくは日立 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧 5.0V をサポートしているものを使用してください。

ライターの設定を HN28F101 や書き込み電圧を 3.3V にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

- (2) 電源投入 / 切断時の注意

V_{CC} 電源の印加 / 切断時は \overline{RES} 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

- (3) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

- (4) SWE ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。

- (5) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

フラッシュメモリへの書き込み / 消去を行う場合は、書き込み / 消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。

- (6) 追加書き込みは行わないでください。書き換えは消去後に行ってください。
オンボードプログラミングでは 32 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。
書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
- (7) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。
PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
- (8) 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良になることがあります。

22.12 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 22.22 に F-ZTAT 版に存在して、マスク版に存在しないレジスタを示します。表 22.22 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 22.22 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 22.22 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FF80
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FF81
消去ブロック指定レジスタ 1	EBR1	H'FF82
消去ブロック指定レジスタ 2	EBR2	H'FF83

23. ROM

H8S/2148 F-ZTAT A マスク品

H8S/2147 F-ZTAT A マスク品

H8S/2144 F-ZTAT A マスク品

第 23 章 目次

23.1	概要.....	705
	23.1.1	ブロック図..... 705
	23.1.2	レジスタ構成 705
23.2	レジスタの説明.....	706
	23.2.1	モードコントロールレジスタ (MDCR) 706
23.3	動作説明.....	707
23.4	フラッシュメモリの概要.....	708
	23.4.1	特長..... 708
	23.4.2	ブロック図..... 709
	23.4.3	フラッシュメモリの動作モード..... 710
	23.4.4	端子構成..... 714
	23.4.5	レジスタ構成 714
23.5	フラッシュメモリのレジスタの説明.....	715
	23.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1) 715
	23.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2) 717
	23.5.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2) 719
	23.5.4	シリアルタイマコントロールレジスタ (STCR) 720
23.6	オンボードプログラミングモード.....	721
	23.6.1	ブートモード 722
	23.6.2	ユーザプログラムモード..... 728
23.7	フラッシュメモリの書き込み / 消去.....	729

23.7.1	プログラムモード.....	729
23.7.2	プログラムベリファイモード.....	730
23.7.3	イレースモード.....	732
23.7.4	イレースベリファイモード.....	732
23.8	フラッシュメモリのプロテクト.....	734
23.8.1	ハードウェアプロテクト.....	734
23.8.2	ソフトウェアプロテクト.....	734
23.8.3	エラープロテクト.....	735
23.9	フラッシュメモリの書き込み / 消去時の割込み処理.....	736
23.10	フラッシュメモリのライターモード.....	737
23.10.1	ライターモードの設定.....	737
23.10.2	ソケットアダプタとメモリマップ.....	737
23.10.3	ライターモードの動作.....	738
23.10.4	メモリ読み出しモード.....	740
23.10.5	自動書き込みモード.....	743
23.10.6	自動消去モード.....	745
23.10.7	ステータス読み出しモード.....	746
23.10.8	ステータスポーリング.....	747
23.10.9	ライターモードへの遷移時間.....	748
23.10.10	メモリ書き込み注意事項.....	748
23.11	フラッシュメモリの書き込み / 消去時の注意.....	749
23.12	F-ZTAT マイコンのマスク ROM 化時の注意事項.....	750

23.1 概要

H8S/2148 F-ZTAT A マスク品、H8S/2144 F-ZTAT A マスク品は 128k バイト、H8S/2147 F-ZTAT A マスク品は 64k バイトのフラッシュメモリを内蔵しています。フラッシュメモリは、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定は、モード端子 (MD1、MD0) および MDCR の EXPE ビットにより行います。

本 LSI のフラッシュメモリは、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

23.1.1 ブロック図

ROM のブロック図を図 23.1 に示します。

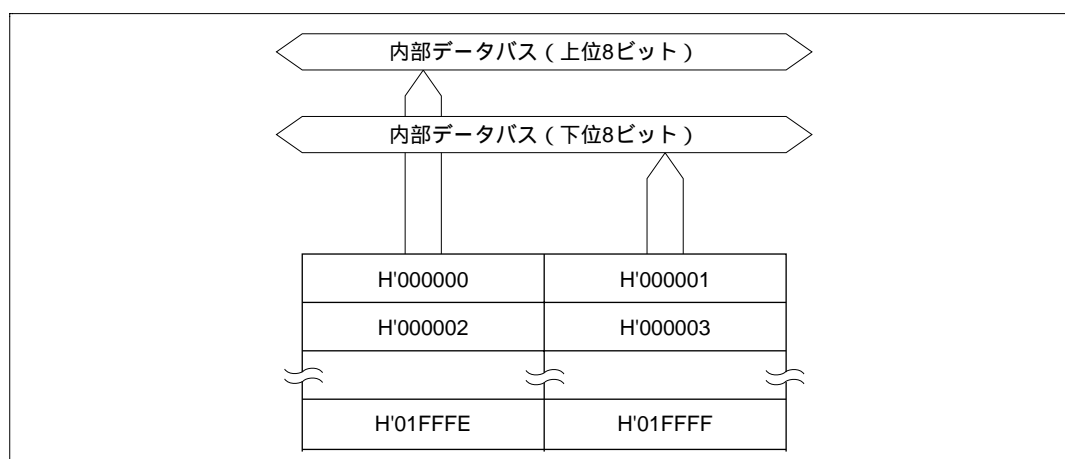


図 23.1 ROM のブロック図 (H8S/2148 F-ZTAT A マスク品、H8S/2144 F-ZTAT A マスク品の場合)

23.1.2 レジスタ構成

本 LSI の動作モードは、モード端子と MDCR で制御されます。レジスタ構成を表 23.1 に示します。

表 23.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定 動作モードにより異なります	H'FFC5

【注】 * アドレスの下位 16 ビットを示しています。

23.2 レジスタの説明

23.2.1 モードコントロールレジスタ (MDCR)

ビット：	7	6	5	4	3	2	1	0
	EXPE	-	-	-	-	-	MDS1	MDS0
初期値：	- *	0	0	0	0	0	- *	- *
R/W	R/W*	-	-	-	-	-	R	R

【注】 * MD1～MD0端子により決定されます。

MDCRは8ビットのリード専用レジスタで、本LSIの動作モードの設定および現在の動作モードをモニタするのに用います。

EXPEビットは、リセットまたはハードウェアスタンバイモード時に、モード端子の状態に関連付けられて初期化されます。

ビット7：拡張モードイネーブル (EXPE)

拡張モードを設定します。モード1の場合、1に固定されており、ライトは無効です。モード2、3の場合、初期値は0で、リード/ライト可能です。

ビット7	説明
EXPE	
0	シングルチップモードを選択
1	拡張モードを選択

ビット6～2：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット1～0：モードセレクト1～0 (MDS1～MDS0)

モード端子 (MD1～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1～MDS0ビットはMD1～MD0端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCRをリードすると、モード端子 (MD1～MD0) の入力レベルがこれらのビットにラッチされます。

23.3 動作説明

内蔵フラッシュメモリは、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子 (MD1、MD0) および MDCR の EXPE ビットにより行います。この設定を表 23.2 に示します。

ノーマルモードのとき、使用できる ROM は最大 56k バイトになります。

表 23.2 動作モードと ROM

動作モード			モード端子		MDCR	内蔵 ROM
MCU 動作モード	CPU 動作モード	内容	MD1	MD0	EXPE	
モード 1	ノーマル	内蔵 ROM 無効拡張モード	0	1	1	無効
モード 2	アドバンスト	シングルチップモード	1	0	0	有効*
	アドバンスト	内蔵 ROM 有効拡張モード			1	
モード 3	ノーマル	シングルチップモード	1	1	0	有効 (56k バイト)
	ノーマル	内蔵 ROM 有効拡張モード			1	

【注】 * H8S/2148 F-ZTAT A マスク品、H8S/2144 F-ZTAT A マスク品は 128k バイト、H8S/2147 F-ZTAT A マスク品は 64k バイトです。

23.4 フラッシュメモリの概要

23.4.1 特長

フラッシュメモリの特長を以下に示します。

フラッシュメモリの4種類の動作モード

- ・プログラムモード
- ・イレースモード
- ・プログラムベリファイモード
- ・イレースベリファイモード

書き込み/消去方式

書き込みは128バイト同時書き込みを行います。消去はブロック分割消去(1ブロック単位)で行います。複数ブロックを消去する場合は、必ず各ブロック単位で順次消去を行ってください。ブロック分割消去では、1kバイト、28kバイト、16kバイト、8kバイト、32kバイトのブロック単位で任意に設定することができます。

書き込み/消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて10ms (typ.)、1バイトあたり換算にて約80 μ s (typ.)、消去時間は、ブロックあたり100ms (typ.)です。

書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み/消去/ベリファイを行う2種類のモードがあります。

- ・ブートモード
- ・ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合せることができます。

プロテクトモード

ハードウェアプロテクトモード、ソフトウェアプロテクトモードとエラープロテクトの3種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。

ライタモード

フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にPROMライタを用いたライタモードがあります。

23.4.2 ブロック図

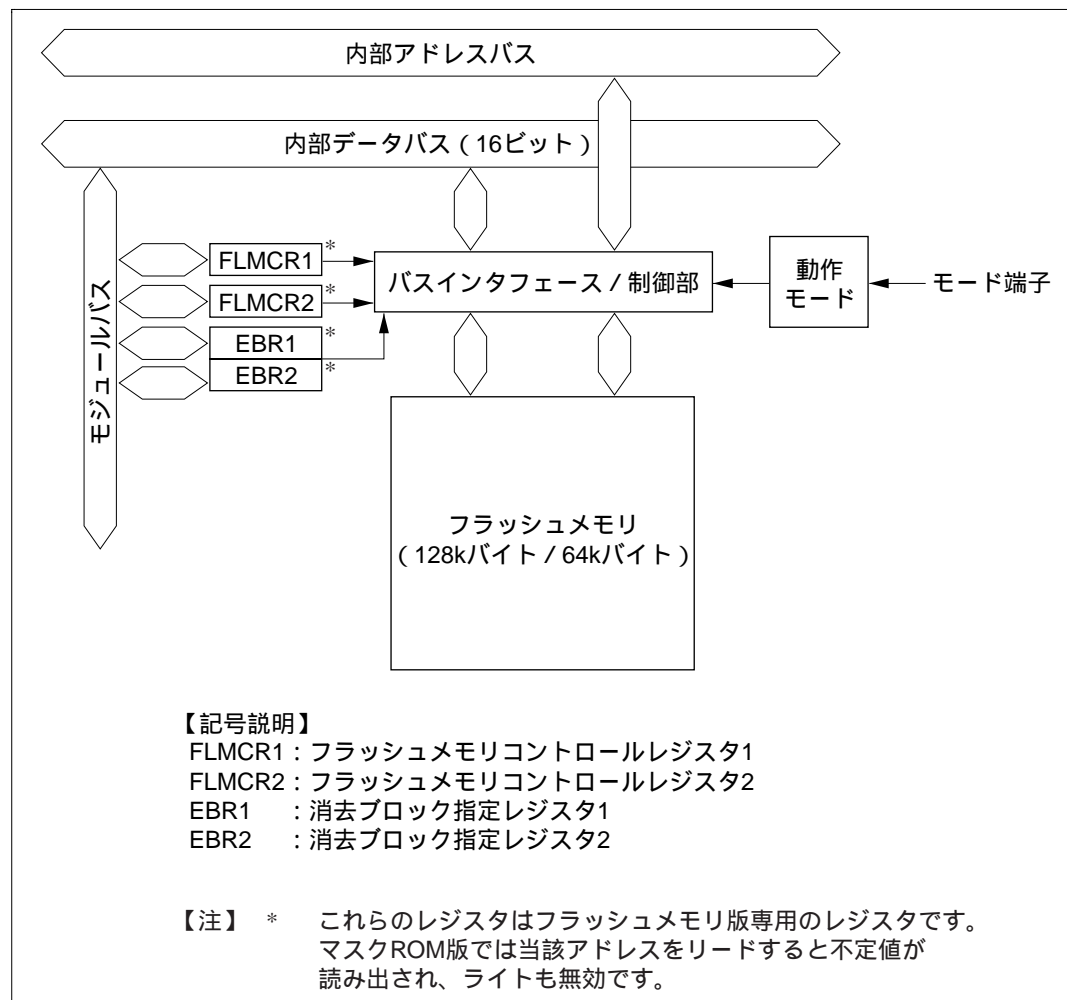


図 23.2 フラッシュメモリのブロック図

23.4.3 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で各モード端子を設定し、リセットスタートすると、マイコンは図 23.3 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、ライターモードがあります。

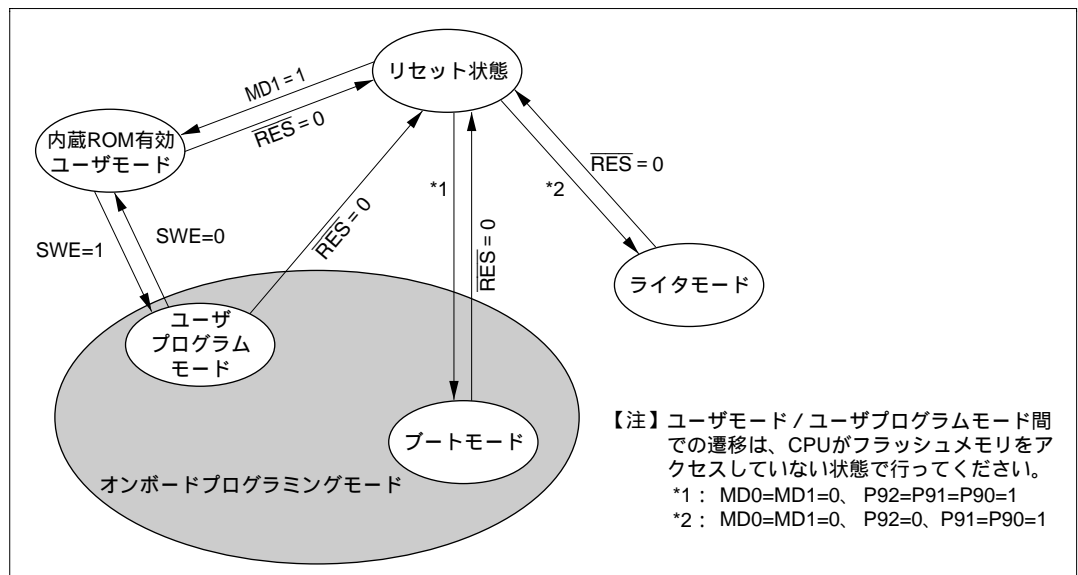


図 23.3 フラッシュメモリに関する状態遷移

(2) オンボードプログラミングモード

(a) ブートモード

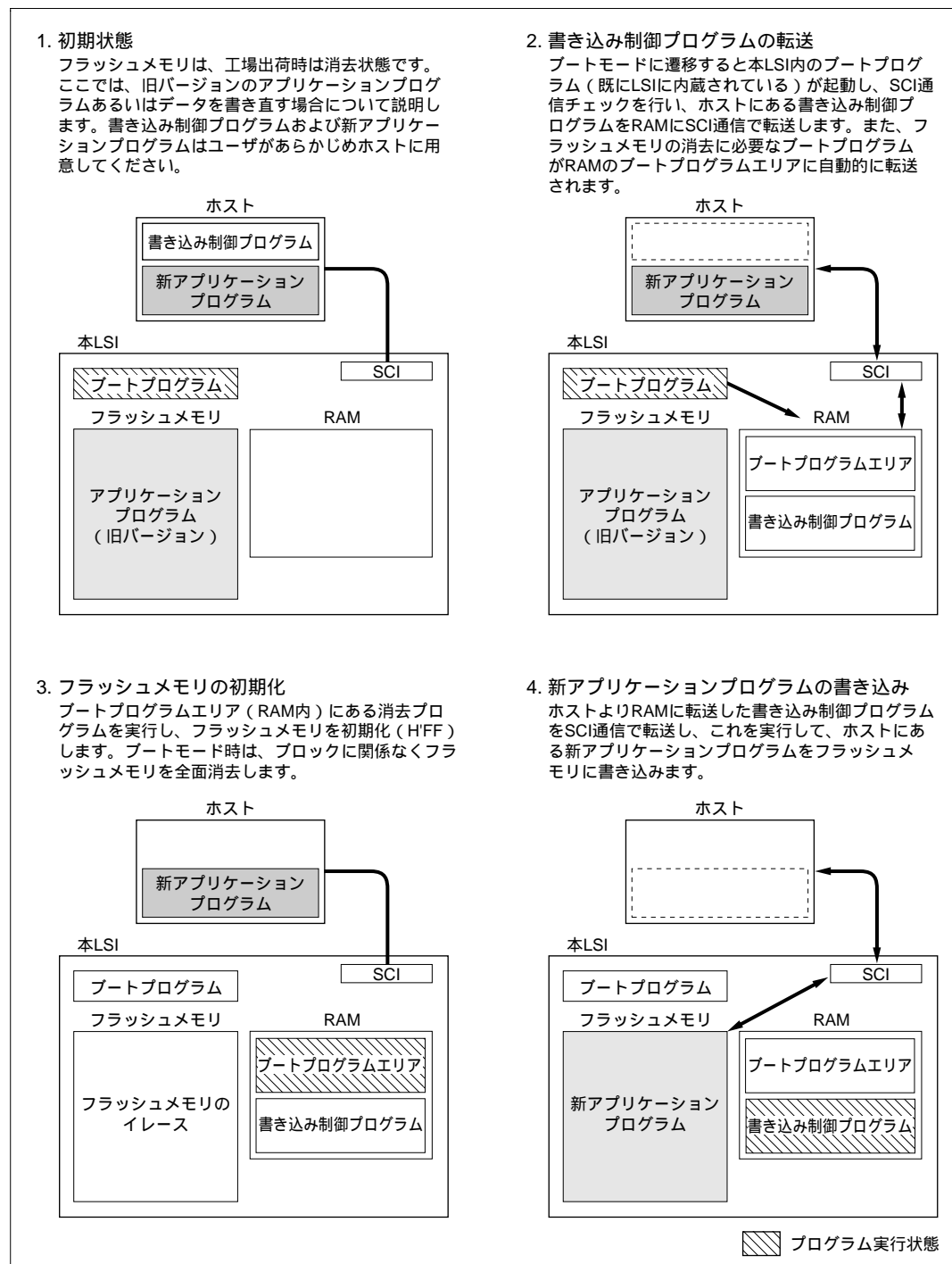


図 23.4 ブートモード

(b) ユーザプログラムモード

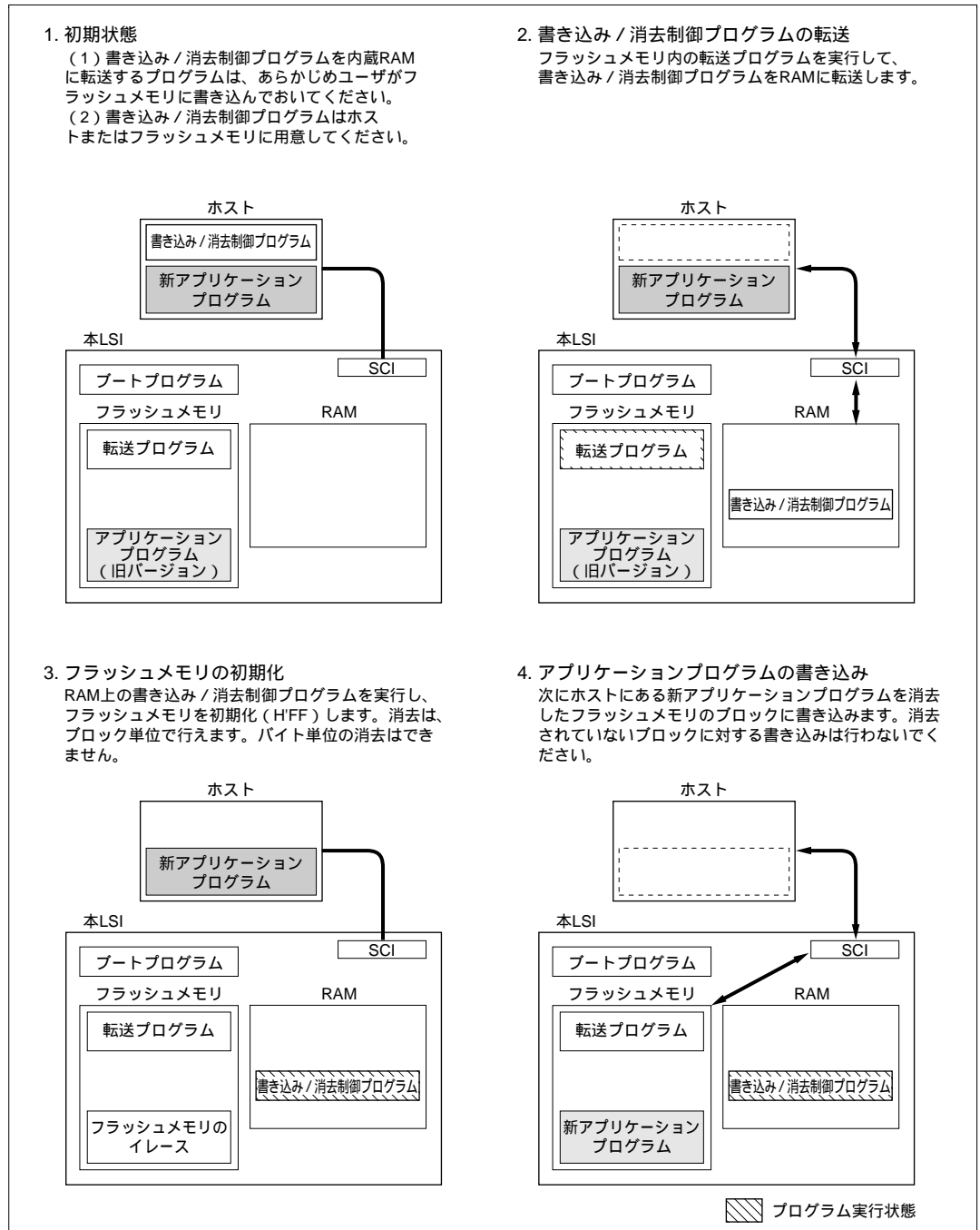


図 23.5 ユーザプログラムモード (例)

(3) ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御 プログラム*	プログラム / プログラムベリファイ	プログラム / プログラムベリファイ イレース / イレースベリファイ

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

(4) ブロック分割法

32k バイト (2 ブロック) : 128k バイト版のみ、8k バイト (2 ブロック)、16k バイト (1 ブロック)、28k バイト (1 ブロック)、1k バイト (4 ブロック) に分割されています。

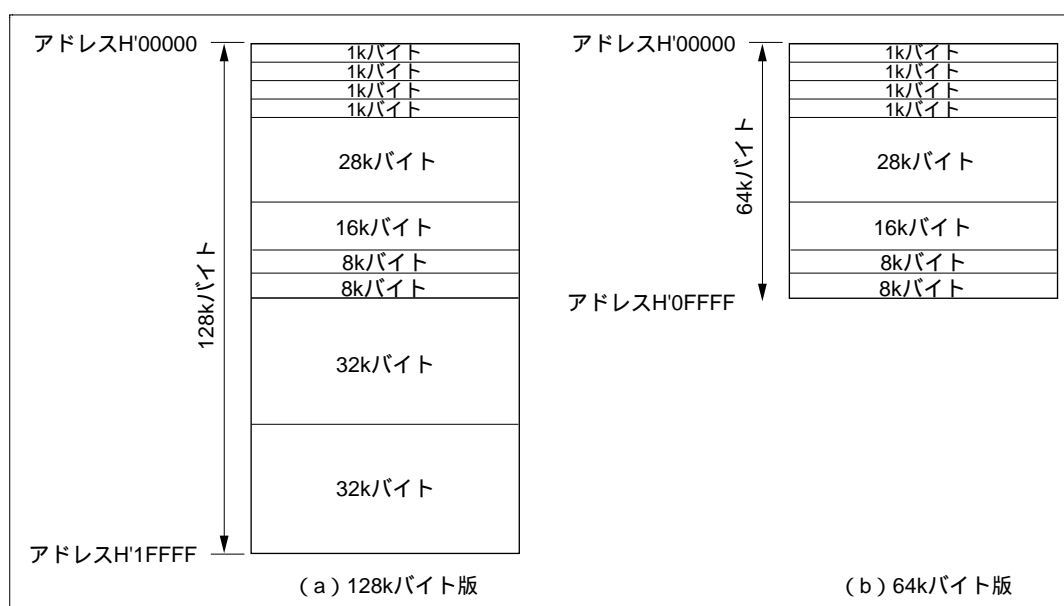


図 23.6 フラッシュメモリのブロック分割

23.4.4 端子構成

フラッシュメモリは表 23.3 に示す端子により制御されます。

表 23.3 端子構成

端子名	略称	入出力	機能
リセット	$\overline{\text{RES}}$	入力	リセット
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート 92	P92	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
ポート 91	P91	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
ポート 90	P90	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

23.4.5 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 23.4 に示します。本レジスタをアクセスするためには、STCR の FLSHE ビットを 1 にセットする必要があります。

表 23.4 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
フラッシュメモリコントロールレジスタ 1	FLMCR1*5	R/W*3	H'80	H'FF80*2
フラッシュメモリコントロールレジスタ 2	FLMCR2*5	R/W*3	H'00*4	H'FF81*2
消去ブロック指定レジスタ 1	EBR1*5	R/W*3	H'00*4	H'FF82*2
消去ブロック指定レジスタ 2	EBR2*5	R/W*3	H'00*4	H'FF83*2
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラッシュメモリのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイマコントロールレジスタ (STCR) の FLSHE ビットで行います。

*3 内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

*4 FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

*5 FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。また、これらのレジスタはフラッシュメモリ版専用のレジスタです。マスク ROM 版では、当該アドレスをリードすると不定値が読み出され、ライトも無効です。

23.5 フラッシュメモリのレジスタの説明

23.5.1 フラッシュメモリコントロールレジスタ1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	-	-	EV	PV	E	P
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R/W	-	-	R/W	R/W	R/W	R/W

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード、イレースベリファイモードに遷移します。プログラムモードへ遷移するには、SWE=1 にセットし、FLMCR2 の PSU ビットをセットした後、P ビットをセットします。イレースモードへ遷移するには、SWE=1 にセットし、FLMCR2 の ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードで H'80 に初期化されます。内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

また、FLMCR1 の EV、PV ビットへのライトは SWE=1 のとき、E ビットへのライトは SWE=1、ESU=1 のとき、P ビットへのライトは SWE=1、PSU=1 のときのみ有効です。

ビット7：フラッシュライトイネーブル (FWE)

内蔵フラッシュメモリの書き込み/消去を制御するビットです。本製品では、リードすると常に 1 が読み出されます。ライトは無効です。

ビット6：ソフトウェアライトイネーブル (SWE)

フラッシュメモリの書き込みの有効または無効を選択するビットです (ESU、PSU、EV、PV、E、P、EB9~EB0 ビットの設定前にセットしてください。また、これらのビットと同時にクリアしないでください)。

ビット6	説明	
SWE		
0	書き込み無効	(初期値)
1	書き込み有効	

ビット5~4：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] SWE = 1 のときにセット可

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] SWE = 1 のときにセット可

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] SWE = 1、ESU = 1 のときにセット可

ビット0：プログラム（P）

プログラムモードへの遷移、解除を選択するビットです（SWE、PSU、ESU、EV、PV、Eビットを同時に設定しないでください）。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] SWE = 1、PSU = 1 のときにセット可

23.5.2 フラッシュメモリコントロールレジスタ2（FLMCR2）

ビット：	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	ESU	PSU
初期値：	0	0	0	0	0	0	0	0
R/W：	R	-	-	-	-	-	R/W	R/W

FLMCR2は、フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）の有無のモニタと、フラッシュメモリのプログラム/イレースモードへのセットアップを行う8ビットのレジスタです。FLMCR2は、リセット、ハードウェアスタンバイモードでH'00に初期化されます。また、ESUビット、PSUビットは、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードでも0にクリアされます。

内蔵フラッシュメモリが無効のモードのときは、リードするとH'00が読み出され、ライトも無効となります。

ビット7：フラッシュメモリエラー（FLER）

フラッシュメモリ動作中（書き込み、消去）にエラーが発生したことを示すビットです。FLER = 1に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が無効 [クリア条件] リセット、ハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が有効 [セット条件] 「23.8.3 エラープロテクト」参照

ビット6~2：リザーブビット

リザーブビットです。ライトするときは必ず0をライトしてください。

ビット1：イレースセットアップ (ESU)

イレースモードへの遷移の準備をするビットです。FLMCR1のEビットを1にセットする前に1にセットしてください。(SWE、PSU、EV、PV、E、Pビットを同時に設定しないでください)

ビット1	説明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] SWE = 1 のときにセット可

ビット0：プログラムセットアップ (PSU)

プログラムモードへの遷移の準備をするビットです。FLMCR1のPビットを1にセットする前に1にセットしてください。(SWE、ESU、EV、PV、E、Pビットを同時に設定しないでください)

ビット0	説明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] SWE = 1 のときにセット可

23.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)

ビット :	7	6	5	4	3	2	1	0
EBR1	-	-	-	-	-	-	EB9/ - *2	EB8/ - *2
初期値 :	0	0	0	0	0	0	0	0
R/W :	- *2	- *2	- *2	- *2	- *2	- *2	R/W*1,2	R/W*1,2

ビット :	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 ノーマルモードの場合は0が読み出され、ライトは無効です。

*2 64kバイト版にEB8、EB9ビットはありません。本ビットは1にセットしないでください。

フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、EBR1 のビット 1~0 (128k バイト版のみ)、EBR2 のビット 7~0 についてリード/ライト可能です。EBR1、EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードおよびFLMCR1 のSWE ビットが設定されていないときは、それぞれ H'00 に初期化されます。EBR1、EBR2 の各ビットに1をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1、EBR2 は1ビットのみ設定してください(2ビット以上を設定しないでください)。内蔵フラッシュメモリが無効のモードのときは、リードするとそれぞれ H'00 が読み出され、ライトも無効となります。

フラッシュメモリのブロック分割方法は、表 23.5 を参照してください。

表 23.5 消去ブロックの分割

ブロック (サイズ)		アドレス
128k バイト版	64k バイト版	
EB0 (1k バイト)	EB0 (1k バイト)	H'(00)0000 ~ H'(00)03FF
EB1 (1k バイト)	EB1 (1k バイト)	H'(00)0400 ~ H'(00)07FF
EB2 (1k バイト)	EB2 (1k バイト)	H'(00)0800 ~ H'(00)0BFF
EB3 (1k バイト)	EB3 (1k バイト)	H'(00)0C00 ~ H'(00)0FFF
EB4 (28k バイト)	EB4 (28k バイト)	H'(00)1000 ~ H'(00)7FFF
EB5 (16k バイト)	EB5 (16k バイト)	H'(00)8000 ~ H'(00)BFFF
EB6 (8k バイト)	EB6 (8k バイト)	H'(00)C000 ~ H'(00)DFFF
EB7 (8k バイト)	EB7 (8k バイト)	H'00E000 ~ H'00FFFF
EB8 (32k バイト)	-	H'010000 ~ H'017FFF
EB9 (32k バイト)	-	H'018000 ~ H'01FFFF

23.5.4 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御 (IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御、TCNT の入力クロックの選択を行います。内蔵フラッシュメモリ以外の詳細は、「3.2.4 シリアルタイムコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7~4 : I²C コントロール (IICS、IICX1、IICX0、IICE)

IIC 内蔵オプションの場合、I²C バスインタフェースの動作を制御するビットです。詳しくは「第 16 章 I²C バスインタフェース」を参照してください。

ビット 3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

FLSHE ビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット 3	説明
FLSHE	
0	フラッシュメモリの制御レジスタは非選択状態 (初期値)
1	フラッシュメモリの制御レジスタは選択状態

ビット 2 : リザーブビット

リザーブビットです。1 にセットしないでください。

ビット 1、0 : インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

8 ビットタイマの動作を制御するビットです。詳しくは「第 12 章 8 ビットタイマ」を参照してください。

23.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み / 消去 / ベリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法は、表 23.6 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図を図 23.3 に示します。

ブートモードは、アドバンストモードの設定のみ可能です。

ユーザプログラムモードは、MD0 端子の設定により、アドバンストモードまたはノーマルモードの設定が可能です。ノーマルモードでは56kバイト分のフラッシュメモリの書き換えのみ可能です。

表 23.6 オンボードプログラミングモードの設定方法

モード		端子				
モード名	CPU 動作モード	MD1	MD0	P92	P91	P90
ブートモード	アドバンストモード	0	0	1*	1*	1*
ユーザプログラムモード	アドバンストモード	1	0	-	-	-
	ノーマルモード		1			

【注】 * ブートモード起動後は I/O ポートとして使用できます。

23.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネル 1 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI を使って本 LSI へ順次送信されます。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 23.7 にブートモード時のシステム構成図、図 23.8 にブートモード実行手順を示します。

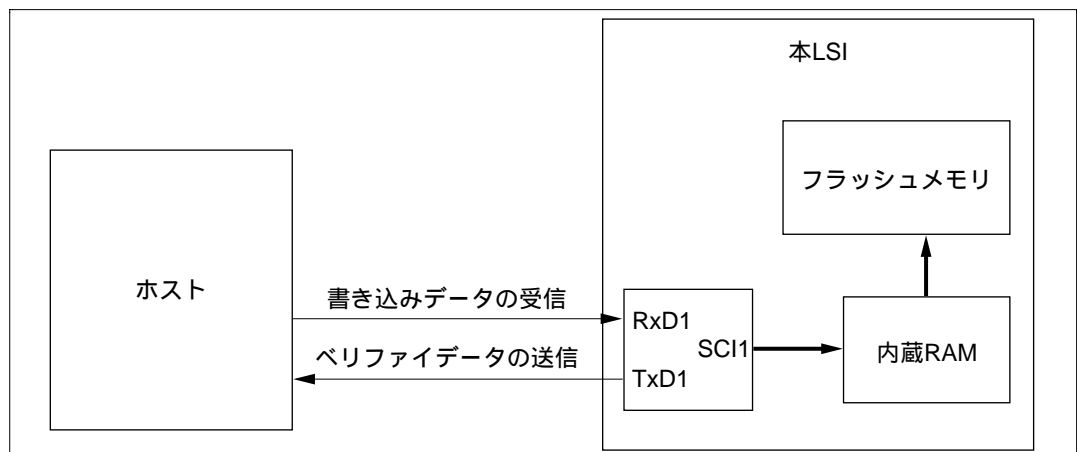


図 23.7 ブートモード時のシステム構成図

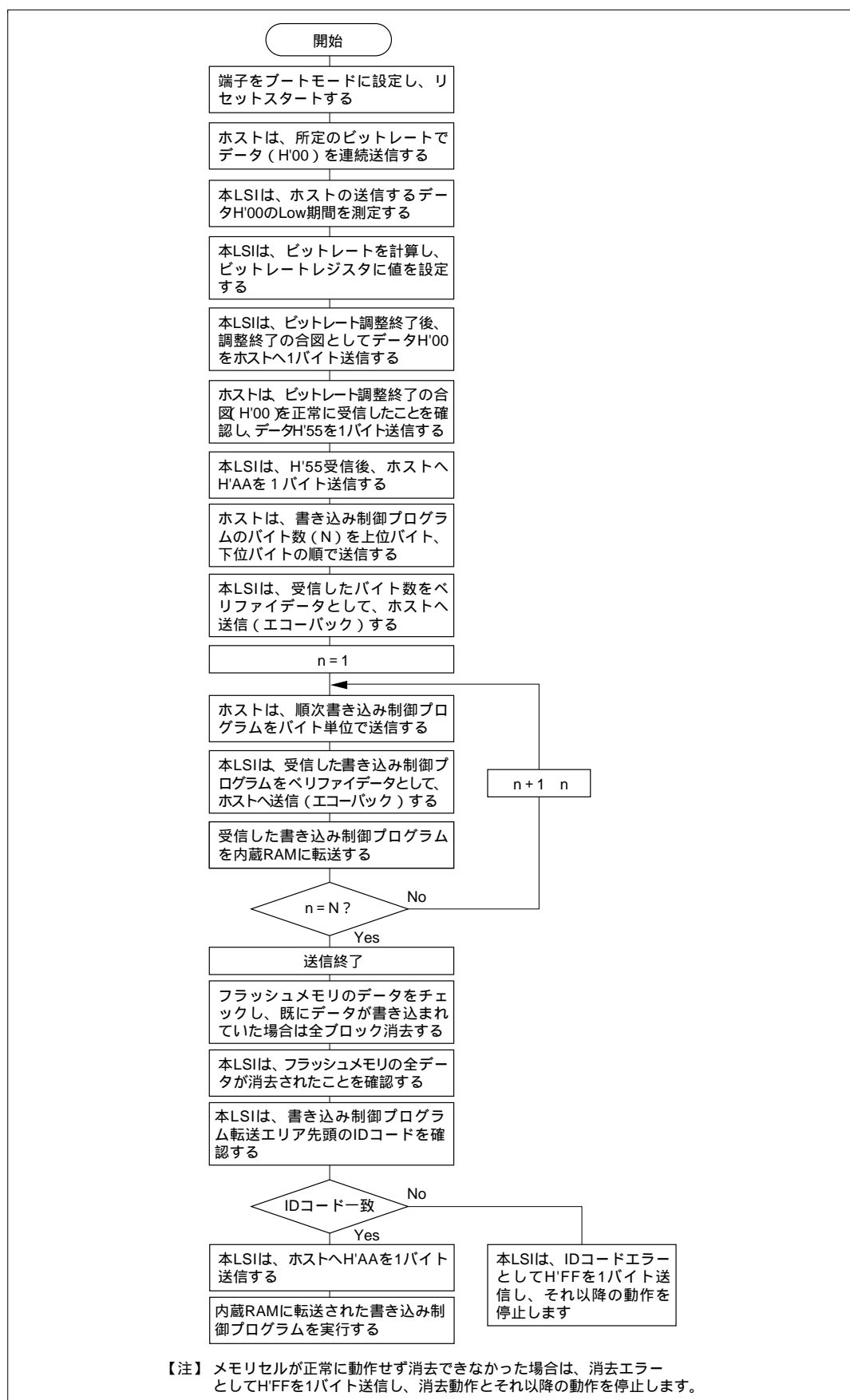


図 23.8 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作

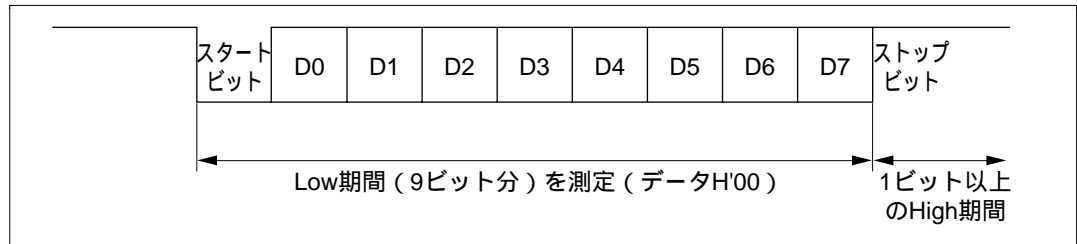


図 23.9 SCI ビットレート自動合わせ込み時の RxD1 入力信号

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。この時の SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4800bps、9600bps、19200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 23.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 23.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
19200bps	8MHz ~ 20MHz
9600bps	4MHz ~ 20MHz
4800bps	2MHz ~ 18MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'(FF)E880～H'(FF)EFFF の 1920 バイトと H'(FF)FF00～H'(FF)FF7F の 128 バイトは、図 23.10 に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアは H'(FF)E080～H'(FF)E87F の 2048 バイトです(64k バイト版では、本エリアはブートモード時にのみ使用するリザーブエリアです)。ただし、H'(FF)E080～H'(FF)E087 の 8 バイトは図 23.10 に示すよう ID コードを配置します。ブートプログラムのエリアは、RAM 内に転送した書き込み制御プログラムが実行状態に遷移すると使用できます。スタックエリアは必要に応じて設定してください。

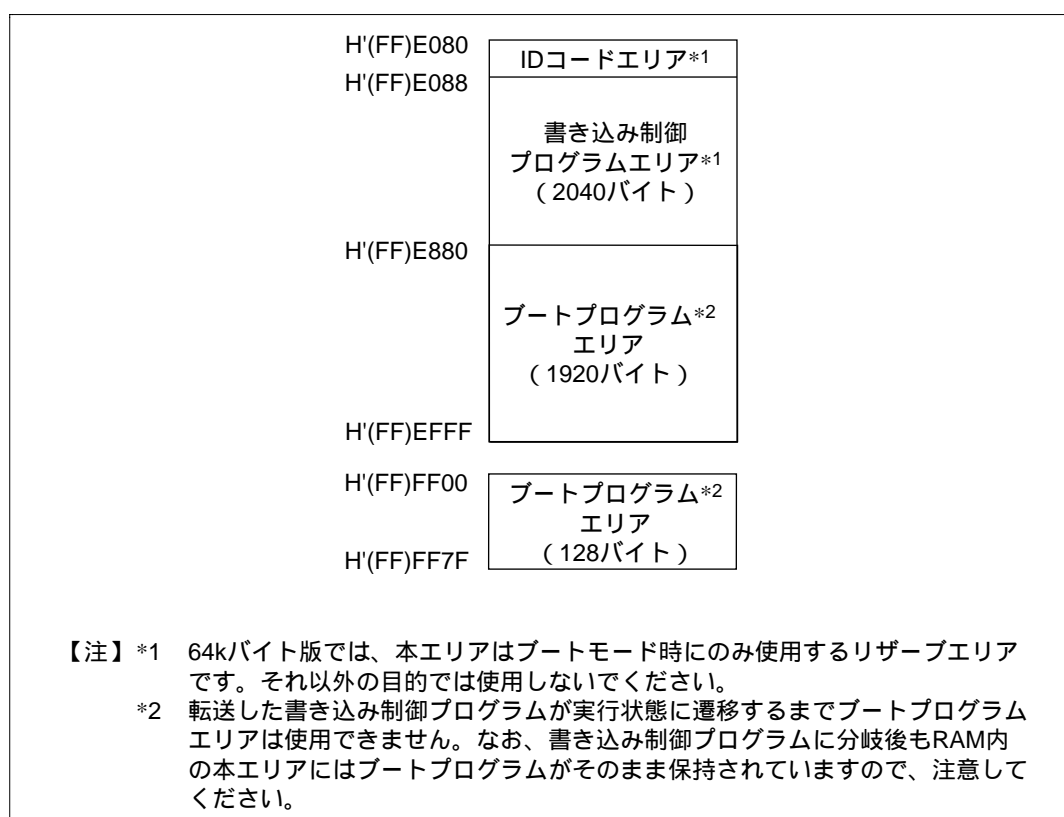


図 23.10 ブートモード時の RAM エリア

本 LSI のブートモードでは、下記 8 バイトの ID コードエリアの内容を確認し、本 LSI に対応した書き込み制御プログラムであるか識別します。

H'(FF)E080	40	FE	64	66	32	31	34	39
	(製品識別ID)							
H'(FF)E088	～ 書き込み制御プログラムの命令コード							

ブートモードで使用する書き込み制御プログラムをオリジナルで作成する際には、上記の 8 バイトの ID コードをプログラム先頭に追加してください。

(3) ブートモード使用時の注意事項

- (a) 本 LSI は、ブートモードでリセット解除すると、SCI の RxD1 端子の Low 期間を測定します。RxD1 端子が High の状態でリセット解除してください。リセット解除後、RxD1 端子から入力される Low 期間を測定できるようになるまで、本 LSI は約 100 ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが 1 でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) RxD1 端子および TxD1 端子は、ボード上でプルアップして使用してください。
- (e) 本 LSI は、書き込み制御プログラム（RAM エリアの H'(FF)E088）に分岐するとき、内蔵 SCI（チャンネル 1）の送受信動作を終了（SCR の RE=0、TE=0）しますが、BRR には、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子 TxD1 は、High レベル出力状態（P84DDR=1、P84DR=1）となっています。
さらにこのとき、CPU 内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。
特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては、初期値が変更されるものはありません。
- (f) ブートモードへの遷移は表 23.6 のモード設定にしたがって、端子を設定しリセットスタートすることにより可能です。
本 LSI はリセット解除時^{*1}にブートモードの設定であることを検出すると P92、P91、P90 は I/O ポートとして使用できます。
ブートモードを解除するには、リセット端子を Low レベルにしてから最低 20 ステート経過後、モード端子を設定し、リセット解除^{*1}してください。また、WDT のオーバフローリセットが発生した場合もブートモードを解除することが可能です。
ブートモードの途中でモード端子の入力レベルを変化させないでください。

(g) リセット中にモード端子の入力レベルを変化（例えばLow レベル High レベル）させると、マイコンの動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号（ \overline{AS} 、 \overline{RD} 、 \overline{HWR} ）の状態が変化*²します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

【注】 *1 モード端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間（ $t_{MDS} = 4$ ステート）を満足する必要があります。

*2 アドレス兼用ポートは、リセット中にモード端子がモード1の設定になったとき、アドレスとしてLowレベルを出力します。それ以外のモードではハイインピーダンス状態となります。また、バス制御出力信号は、リセット中にモード端子がモード1の設定になったとき、Highレベルを出力します。それ以外のモードではハイインピーダンス状態となります。

23.6.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み/消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み/消去制御プログラムを内蔵しておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード 2、3 で起動します。この状態の動作では、フラッシュメモリ以外の周辺機能はモード 2、3 と同じ動作をします。

フラッシュメモリへの書き込み/消去を行うために SWE ビットを 1 にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み/消去を行う制御プログラムは、内蔵 RAM / 外部メモリ上で実行するようにしてください。

図 23.11 に書き込み/消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

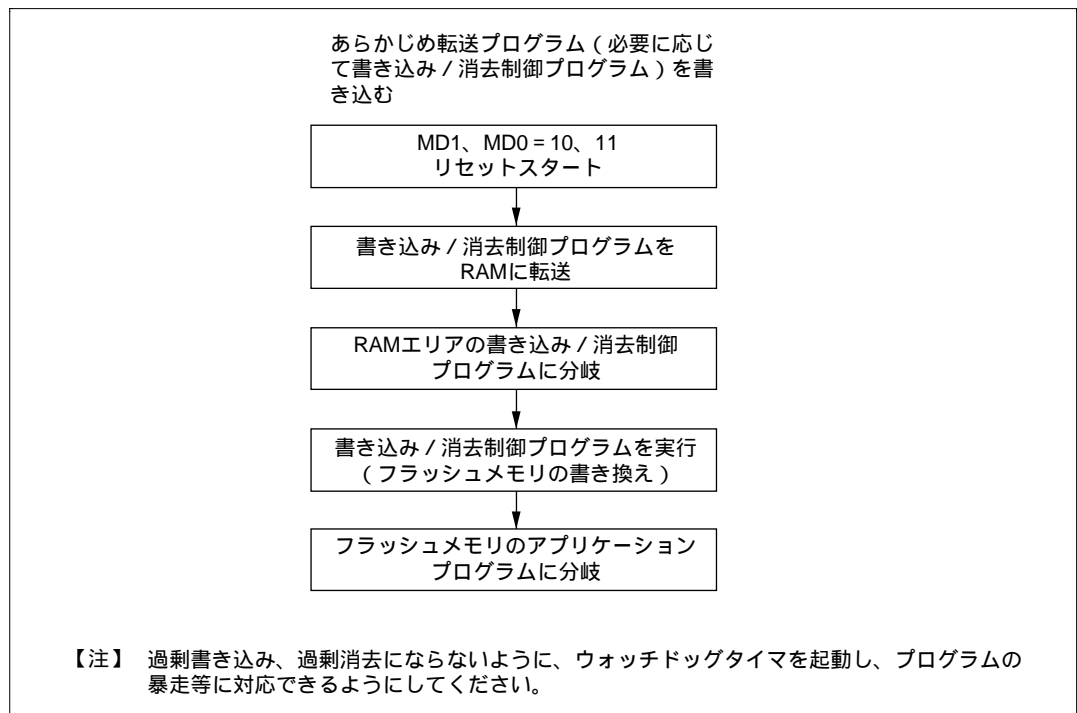


図 23.11 ユーザプログラムモードの実行手順例

23.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR2 の PSU、ESU ビット、FLMCR1 の P、E、PV、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM あるいは外部メモリ上に置いて、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、EV、PV、E、P ビット、FLMCR2 の ESU、PSU ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。

23.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 23.12 に示すプログラム / プログラムベリファイフローチャートにしたがって行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット / クリア後のウェイト時間 (x、y、z1、z2、z3、 、 、 、)、最大書き込み回数 (N) については、「第 26 章 電気的特性 フラッシュメモリ特性」を参照してください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(x) μ s 以上の時間が経過してから、128 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレスに RAM 上の再書き込みデータエリアの 128 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません。データ転送はバイト単位で 128 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y + z2 +) μ s より大きくしてください。その後、FLMCR2 の PSU ビットをセットし、プログラムモードへの

準備（プログラムセットアップ）を行い、 $(y) \mu s$ 以上の時間が経過してから、FLMCR1のPビットをセットすることで、動作モードはプログラムモードへ遷移します。Pビットがセットされている時間がフラッシュメモリの書き込み時間となります。一回の書き込み時間を $(z1)$ 、 $(z2)$ 、または $(z3) \mu s$ の範囲に納まるようにプログラムで設定してください。

23.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除（FLMCR1のPビットを0にクリア後、 $() \mu s$ 以上の時間が経過してからFLMCR2のPSUビットを0にクリア）します。次に、ウォッチドッグタイマを $() \mu s$ 以上の時間が経過してから解除し、FLMCR1のPVビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータH'FFをダミーライトしてください。ダミーライトは $() \mu s$ 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは16ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 $() \mu s$ 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算（図23.12参照）し、再書き込みデータを再書き込みデータエリアに転送します。128バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、 $() \mu s$ 以上の待機時間をおいてください。このとき、書き込み回数が6回以内であれば、書き込むアドレスにRAM上の追加書き込みデータエリアの128バイトのデータを連続ライトし追加書き込みを行います。そして、FLMCR1のSWEビットを0にクリアした後、 $() \mu s$ 以上の待機時間をおいてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、 (N) 回を超えないようにしてください。

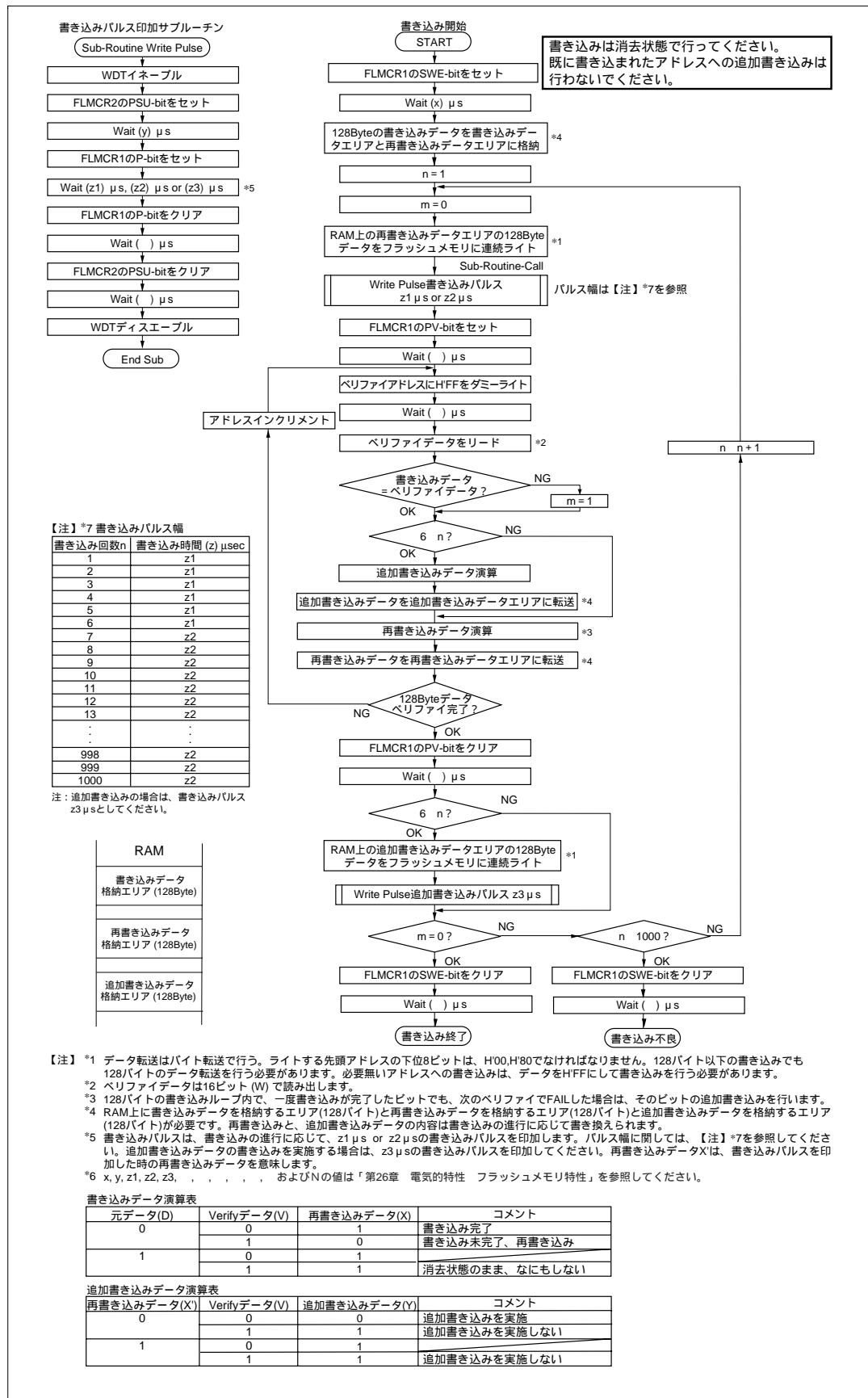


図 23.12 プログラム / プログラムペリファイフロー

23.7.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 23.13 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット/クリア後のウェイト時間 (x、y、z、 、 、 、 、)、最大消去回数 (N) については、「第 26 章 電気的特性 フラッシュメモリ特性」を参照してください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、(x) μ s 以上の時間が経過してから、消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z+) ms より大きく設定してください。その後、FLMCR2 の ESU ビットをセットすることで、イレースモードへの準備(イレースセットアップ)を行い、(y) μ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが 1 にセットされている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリのデータをすべて 0 にする）を行う必要はありません。

23.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCR1 の E ビットを 0 にクリア後、() μ s 以上の時間が経過してから FLMCR2 の ESU ビットを 0 にクリア) します。次に、ウォッチドッグタイマを () μ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットを 1 にセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは () μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、() μ s おいてから行ってください。読み出したデータが消去（データがすべて 1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数は (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、() μ s 以上の待機時間をおいてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを 0 にクリアした後、() μ s 以上の待機時間をおいてくださ

い。未消去のブロックが存在する場合は、消去するフラッシュメモリのブロックを EBR1、EBR2 で 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

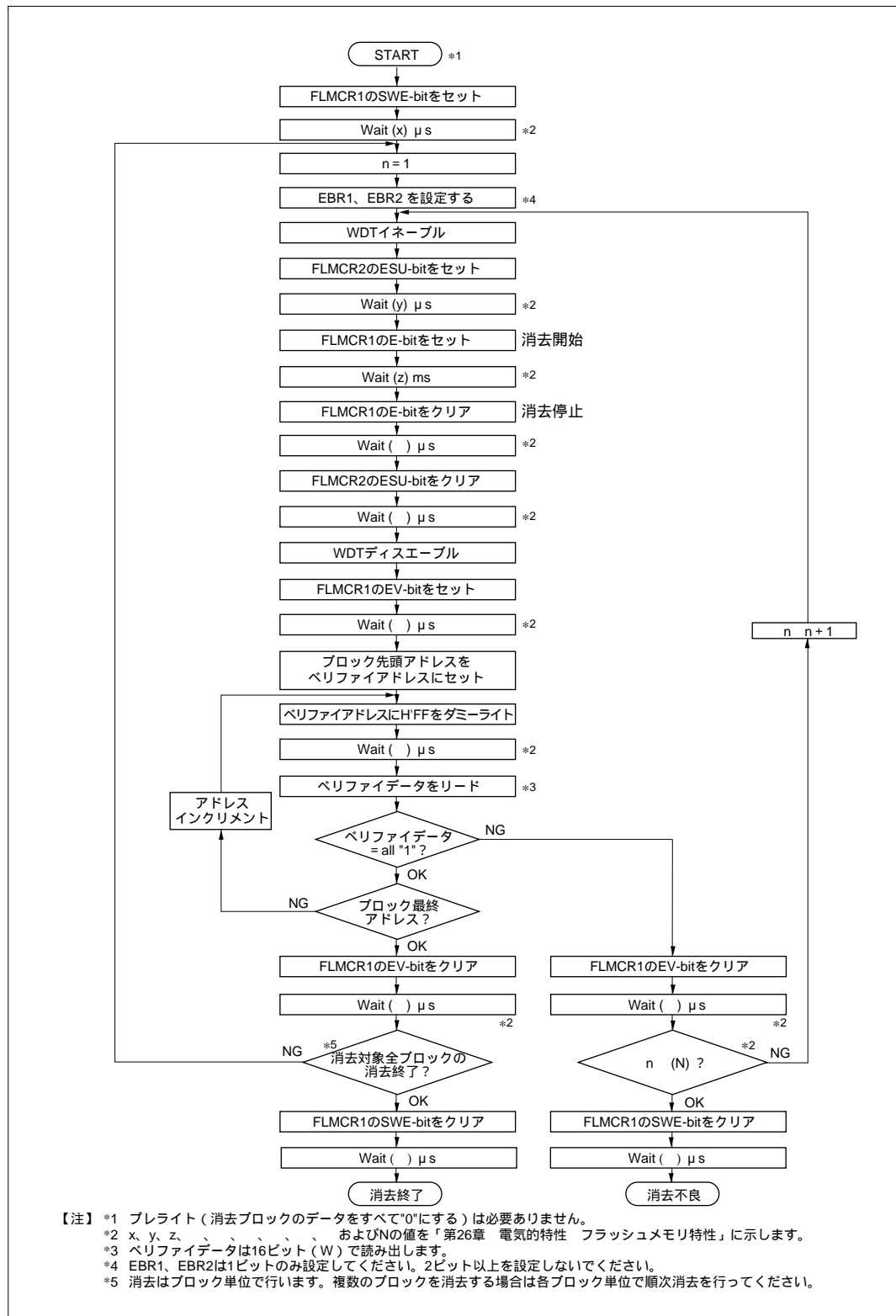


図 23.13 イレース/イレースベリファイフロー（単一ブロック消去）

23.8 フラッシュメモリのプロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクトとエラープロテクトの3種類あります。

23.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1、2 (FLMCR1、FLMCR2) および消去ブロック指定レジスタ1、2 (EBR1、EBR2) の設定はリセットされます (表 23.8 参照)。

表 23.8 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT のオーバフローリセットも含む)、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。 		

23.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、消去ブロック指定レジスタ1、2 (EBR1、EBR2) をセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 23.9 参照)。

表 23.9 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。(内蔵 RAM / 外部メモリ上で実行してください。) 		
ブロック指定プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ1、2 (EBR1、EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1 と EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	

23.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

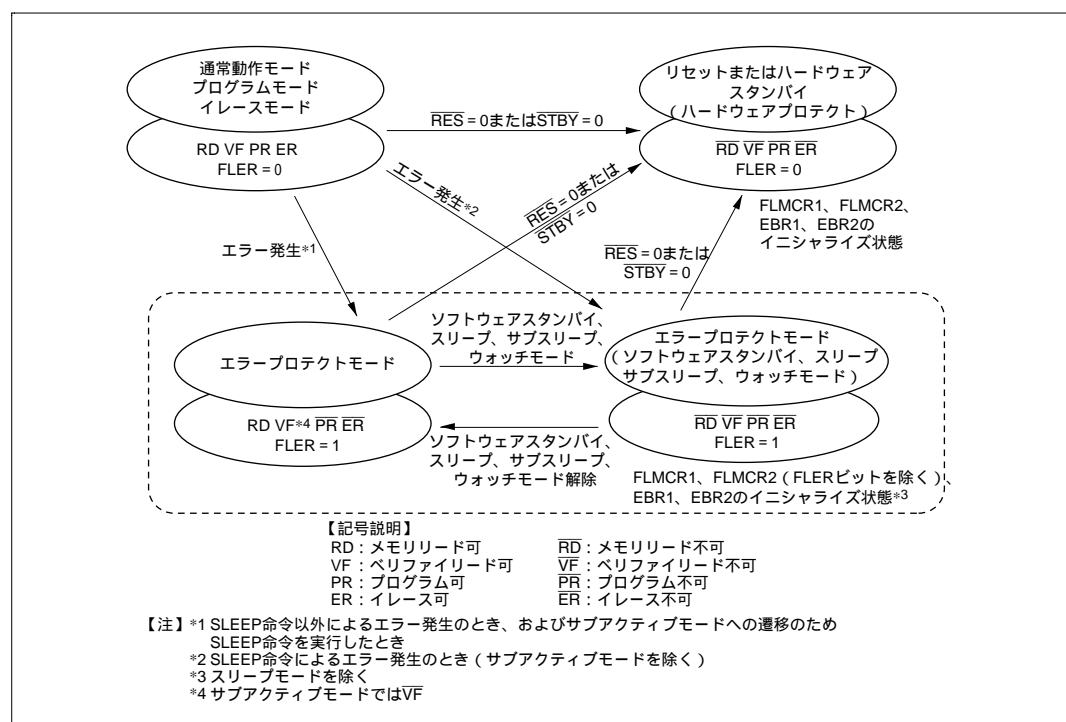
フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。この時、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中にフラッシュメモリをリードしたとき (ベクタリードおよび命令フェッチを含む)
- (2) 書き込み / 消去中の例外処理 (リセットは除く) 開始直後
- (3) 書き込み / 消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイ、スリープ、サブアクティブ、サブスリープ、ウォッチモードへの遷移)
- (4) 書き込み / 消去中に CPU がバス権を失ったとき

エラープロテクト解除は、リセットまたはハードウェアスタンバイモードのみで行われます。

図 23.14 にフラッシュメモリの状態遷移図を示します。



23.9 フラッシュメモリの書き込み / 消去時の割込み処理

フラッシュメモリへの書き込み、消去中(FLMCR1のPビットまたはEビットがセット)およびブートモードでのブートプログラム実行中*1は、書き込み、消去動作を最優先とするため、NMI入力を含むすべての割込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割込み例外処理ではベクタリードが正常にできない*2ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割込みを禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合には、マイコンの内部と外部で NMI を含むすべての割込み要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P ビットまたは E ビットが保持された状態でも割込みは禁止状態となります。

【注】 *1 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*2 この場合、以下の2つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中(FLMCR1のPビットまたはEビットがセット)にフラッシュメモリのリードを行っても正しい値を読み出すことはできません(値は不定)。
- ・割込みベクタテーブルに値がまだ書き込まれていない場合、割込み例外処理が正しく実行されません。

23.10 フラッシュメモリのライターモード

23.10.1 ライターモードの設定

プログラム/データの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードでは日立 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプ*、もしくは日立 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプ*をサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。ライターモード使用時の注意は、「23.10.10 メモリ書き込み注意事項」、「23.11 フラッシュメモリの書き込み/消去時の注意」をご参照ください。本デバイスタイプでは、フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

表 23.10 にライターモードの端子設定方法を示します。

【注】 * H8S/2148A マスク品、H8S/2147A マスク品、H8S/2144A マスク品（5V 版、3V 版共に）は、PROM ライタの書き込み電圧を 3.3V に設定して使用してください。

A マスク品以外の製品は、3.3V に設定して使用しないでください。

表 23.10 ライターモードの端子設定方法

端子名	設定、外付け回路接続
モード端子：MD1、MD0	MD1、MD0 に Low レベルを入力
STBY 端子	High レベルを入力 (ハードウェアスタンバイモードにしない)
RES 端子	パワーオンリセット回路
XTAL、EXTAL 端子	発振回路
その他の設定端子：P97、P92、P91、P90、 P67	P92、P67 に Low レベル、 P97、P91、P90 に High レベルを入力

23.10.2 ソケットアダプタとメモリマップ

このライターモードでは、PROM ライタに各パッケージに対応したソケットアダプタを取り付けて行います。ソケットアダプタは、日立 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプ、もしくは日立 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライターメーカーごとに用意されています。

図 23.15 にライターモード時のメモリマップを示します。ライターモード時の端子名は「1.3.2 動作モード別端子機能一覧」を参照してください。

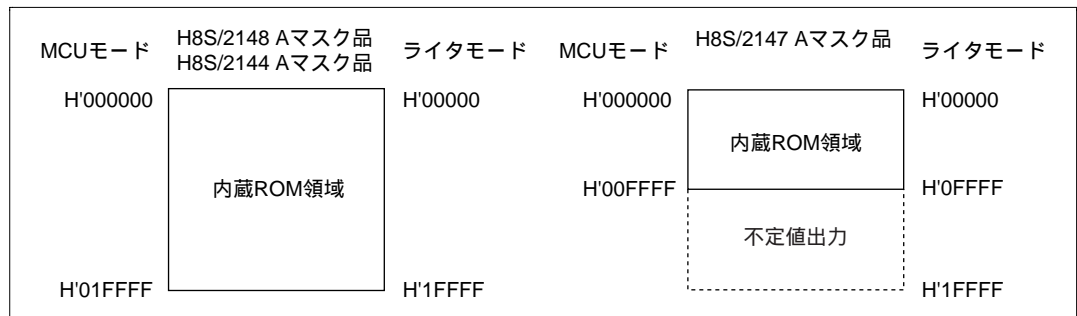


図 23.15 ライターモード時のメモリマップ

23.10.3 ライターモードの動作

表 23.11 にライターモード時の各動作モードの設定方法、表 23.12 にライターモード時の各コマンドを示します。また、各モードの詳細情報を以下に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマップ全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は FO6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 23.11 ライタモード時の各動作モードの設定方法

モード	ピン名				
	\overline{CE}	\overline{OE}	\overline{WE}	FO7 ~ FO0	FA17 ~ FA0
リード	L	L	H	データ出力	Ain
出力ディスエーブル	L	H	H	Hi-z	X
コマンド書き込み	L	H	L	データ入力	Ain* ²
チップディスエーブル* ¹	H	X	X	Hi-z	X

【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 23.12 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。

2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

23.10.4 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に移っています。メモリの内容を読み出す場合は、コマンド書き込みでメモリ読み出しモードに移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに移します。

表 23.13 メモリ読み出しモード時の AC 特性 (1)

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
\overline{WE} 立ち上がり時間	t_r		30	ns
\overline{WE} 立ち下がり時間	t_f		30	ns

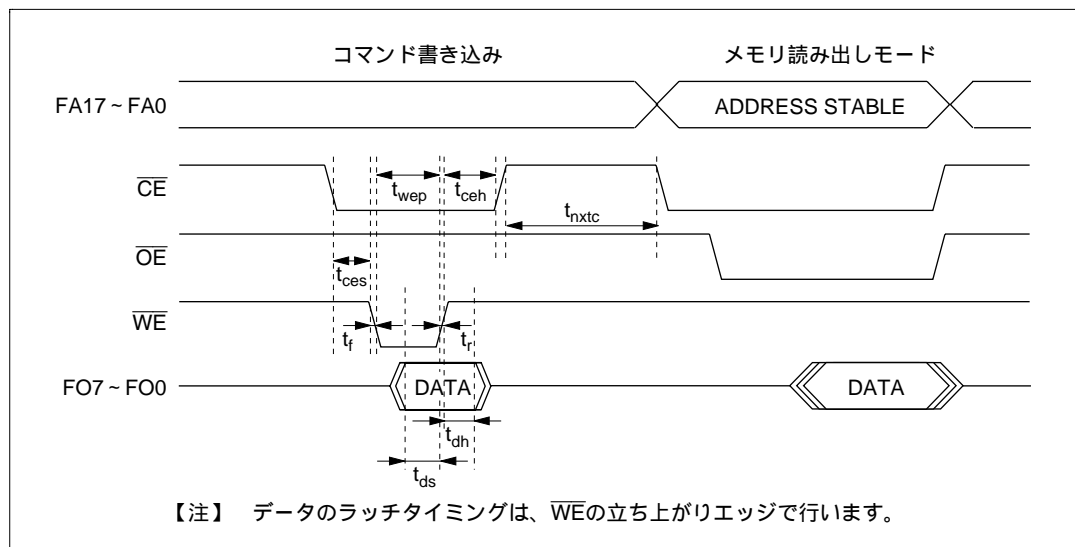


図 23.16 コマンド書き込み後メモリ読み出しタイミング波形

表 23.14 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
\overline{WE} 立ち上がり時間	t_r		30	ns
\overline{WE} 立ち下がり時間	t_f		30	ns

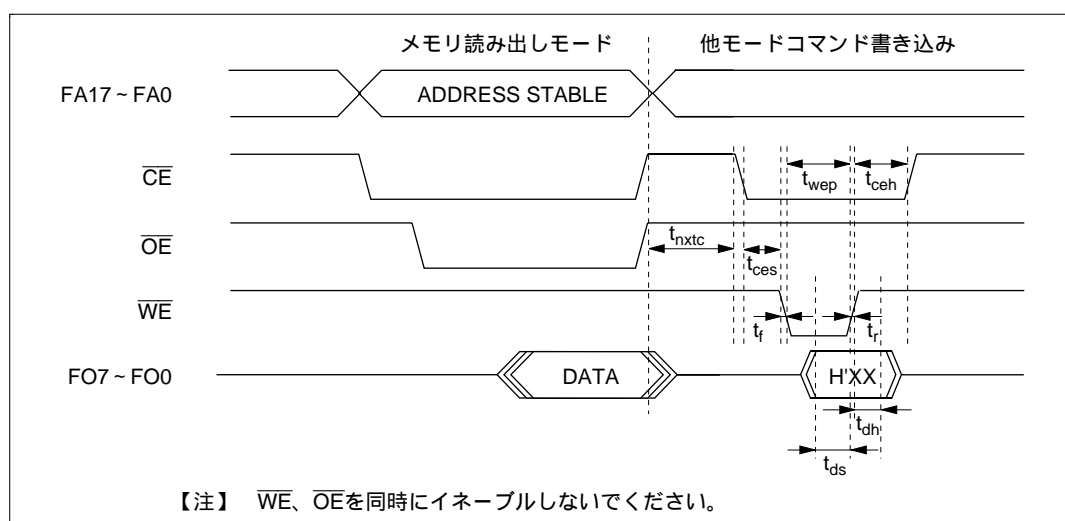


図 23.17 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 23.15 メモリ読み出しモード時の AC 特性 (2)

(条件 : $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
アクセス時間	t_{acc}		20	μs
\overline{CE} 出力遅延時間	t_{ce}		150	ns
\overline{OE} 出力遅延時間	t_{oe}		150	ns
出力ディスエーブル遅延時間	t_{df}		100	ns
データ出力ホールド時間	t_{oh}	5		ns

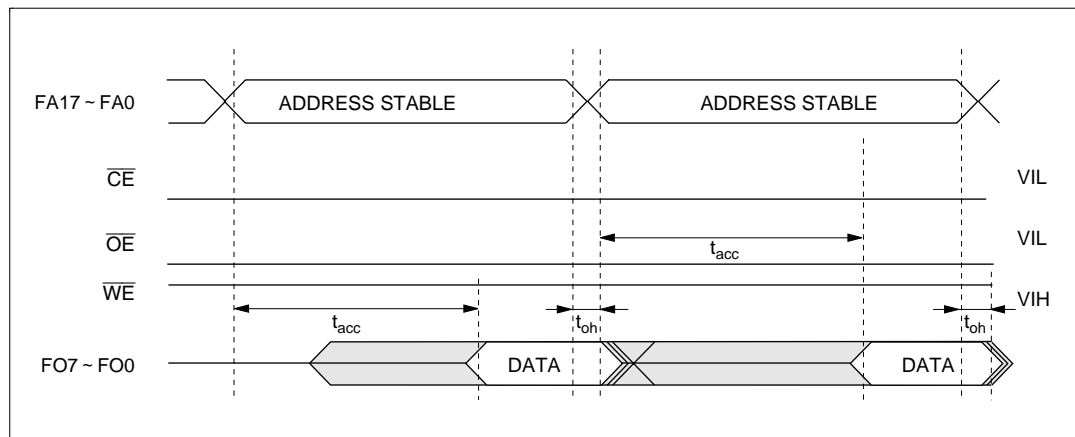


図 23.18 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

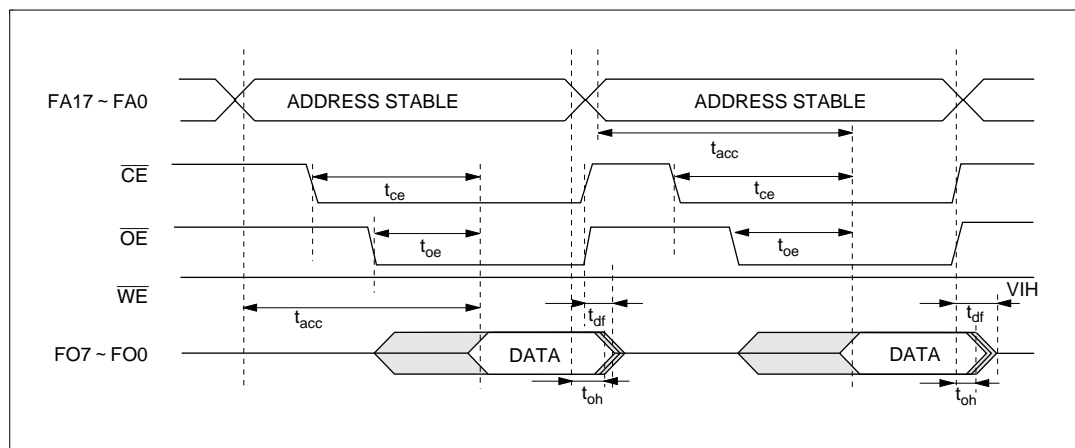


図 23.19 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

23.10.5 自動書き込みモード

(1) AC 特性

表 23.16 自動書き込みモード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
ステータスポーリング開始時間	t_{wsts}	1		ms
ステータスポーリングアクセス時間	t_{spsa}		150	ns
アドレスセットアップ時間	t_{as}	0		ns
アドレスホールド時間	t_{ah}	60		ns
メモリ書き込み時間	t_{write}	1	3000	ms
\overline{WE} 立ち上がり時間	t_r		30	ns
\overline{WE} 立ち下がり時間	t_f		30	ns

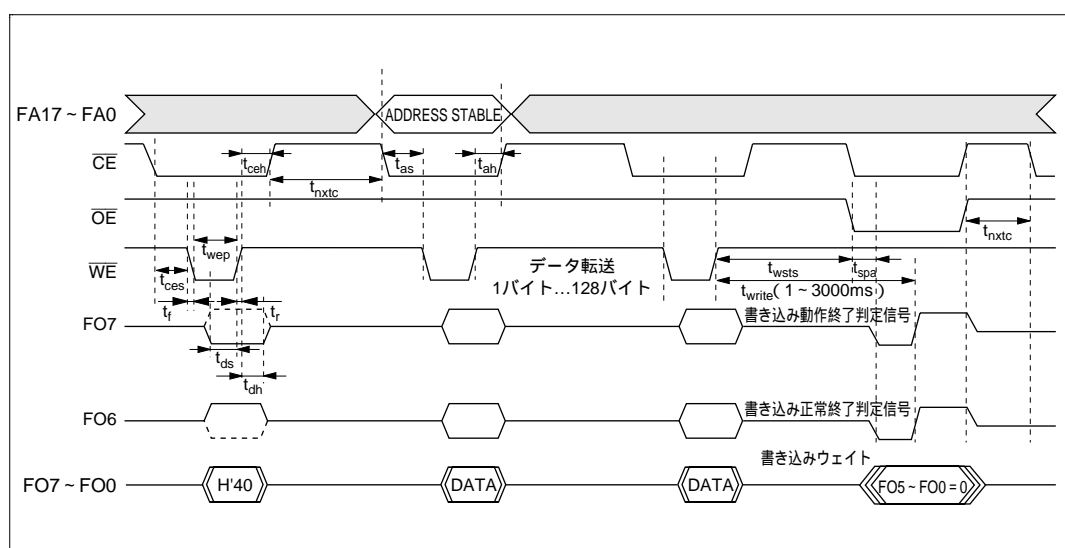


図 23.20 自動書き込みモードのタイミング波形

(2) 自動書き込みモードにおける注意事項

- (a) 自動書き込みモードでは、128 バイト同時書き込みを行います。これは、バイトデータを 128 回連続で転送してください。
- (b) 128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データを H'FF にして書き込みを行う必要があります。
- (c) 転送するアドレスの下位 8 ビットは、H'00、H'80 でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (d) メモリアドレスの転送は、第 2 サイクルで行います (図 23.20)。第 3 サイクル以降では転送しないでください。
- (e) 書き込み動作中は、コマンド書き込みを行わないでください。
- (f) 書き込みは、各アドレスの 128 バイト単位のブロックに対して、1 回の自動書き込みで行ってください。2 回以上の書き込みについては特性保証できません。
- (g) 自動書き込み正常終了の確認には、FO6 を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (FO7 番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (h) ステータスポーリングの FO6、FO7 端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

23.10.6 自動消去モード

(1) AC 特性

表 23.17 自動消去モード時の AC 特性

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
ステータスポーリング開始時間	t_{ests}	1		ms
ステータスポーリングアクセス時間	t_{spa}		150	ns
メモリ消去時間	t_{erase}	100	40000	ms
\overline{WE} 立ち上がり時間	t_r		30	ns
\overline{WE} 立ち下がり時間	t_f		30	ns

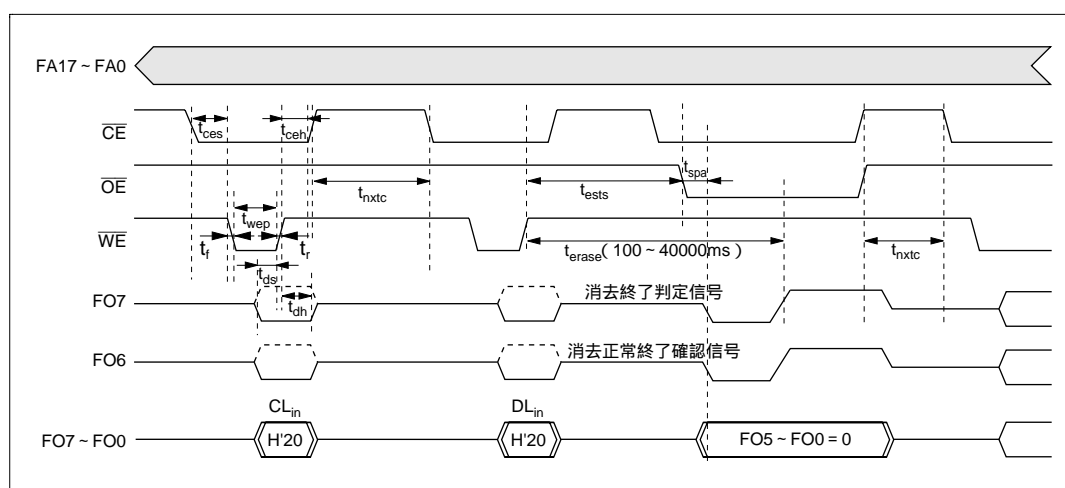


図 23.21 自動消去モードのタイミング波形

(2) 自動消去モードにおける注意事項

- (a) 自動消去モードは、メモリ全面消去のみサポートします。
- (b) 自動消去中はコマンド書き込みを行わないでください。
- (c) 自動消去正常終了の確認には、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（FO7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (d) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

23.10.7 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 23.18 ステータス読み出しモード時の AC 特性

(条件： $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
\overline{OE} 出力遅延時間	t_{oe}		150	ns
ディスエーブル遅延時間	t_{df}		100	ns
\overline{CE} 出力遅延時間	t_{ce}		150	ns
\overline{WE} 立ち上がり時間	t_r		30	ns
\overline{WE} 立ち下がり時間	t_f		30	ns

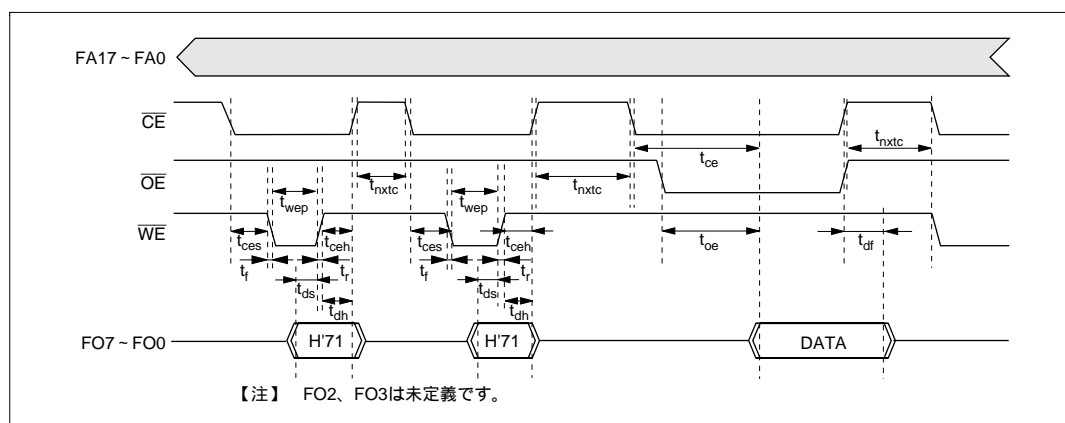


図 23.22 ステータス読み出しモードのタイミング波形

表 23.19 ステータス読み出しモードのリターンコマンド

ピン名	FO7	FO6	FO5	FO4	FO3	FO2	FO1	FO0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバー	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了 : 0 異常終了 : 1	コマンド エラー : 1 その他 : 0	書き込み エラー : 1 その他 : 0	消去 エラー : 1 その他 : 0	-	-	回数オーバー 時 : 1 その他 : 0	有効アドレス エラー : 1 その他 : 0

【注】 FO2、FO3 は未定です。

23.10.8 ステータスポーリング

- (1) FO7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) FO6のステータスポーリングは、自動書き込み / 自動消去モード時の正常、または異常終了を示すフラグです。

表 23.20 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
FO7	0	1	0	1
FO6	0	0	1	1
FO0 ~ FO5	0	0	0	0

23.10.9 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 23.21 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位
スタンバイ解除（発振安定時間）	t_{osc1}	20	-	ms
ライタモードセットアップ時間	t_{bmV}	10	-	ms
V_{CC} ホールド時間	t_{dwn}	0	-	ms

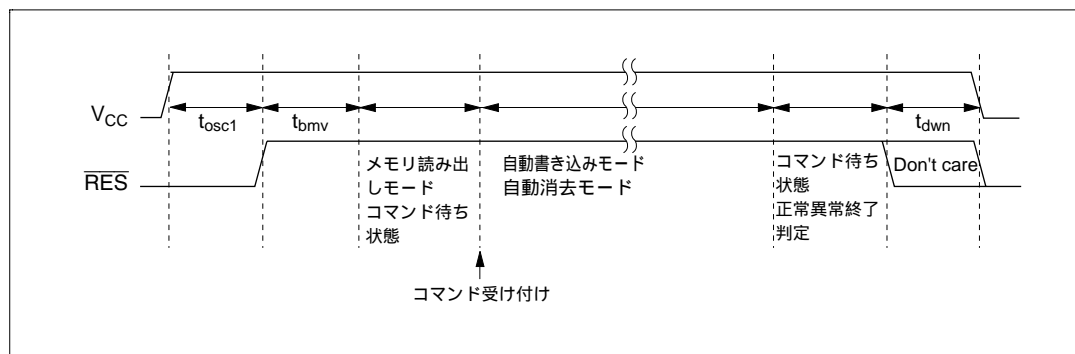


図 23.23 発振安定時間、ライタモードセットアップ、および電源立ち下げシーケンス

23.10.10 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラミングモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. 日立出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。

23.11 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

PROMライターは、日立 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプ、もしくは日立 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧 3.3V をサポートしているものを使用してください。

ライターの設定を HN28F101 や書き込み電圧を 5.0V にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

- (2) 電源投入 / 切断時の注意

V_{CC} 電源の印加 / 切断時は \overline{RES} 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

- (3) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムにしたがって行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

- (4) SWE ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

SWE ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に 100 μ s 以上の待ち時間をおいて行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えることができますが、SWE = 1 のときは、プログラムベリファイ / イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。

また、プログラム / イレース / ベリファイ中に SWE ビットのクリアを行わないでください。

- (5) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。
フラッシュメモリへの書き込み/消去を行う場合は、書き込み/消去動作を最優先とするため、NMIを含むすべての割り込み要求を禁止してください。
- (6) 追加書き込みは行わないでください。書き換えは消去後に行ってください。
オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。
書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
- (7) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。
PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
- (8) 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良になることがあります。

23.12 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 23.22 に F-ZTAT 版に存在して、マスク版に存在しないレジスタを示します。表 23.22 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 23.22 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 23.22 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FF80
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FF81
消去ブロック指定レジスタ 1	EBR1	H'FF82
消去ブロック指定レジスタ 2	EBR2	H'FF83

24. クロック発振器

第 24 章 目次

24.1	概要	753	
	24.1.1	ブロック図	753
	24.1.2	レジスタ構成	753
24.2	各レジスタの説明	754	
	24.2.1	スタンバイコントロールレジスタ (SBYCR)	754
	24.2.2	ローパワーコントロールレジスタ (LPWRCR)	755
24.3	発振器	756	
	24.3.1	水晶発振子を接続する方法	756
	24.3.2	外部クロックを入力する方法	758
24.4	デューティ補正回路	761	
24.5	中速クロック分周器	761	
24.6	バスマスタクロック選択回路	761	
24.7	サブクロック入力回路	761	
24.8	サブクロック波形形成回路	762	
24.9	クロック選択回路	763	

24.1 概要

本 LSI は、クロック発振器（CPG：Clock Pulse Generator）を内蔵しており、システムクロック（ ）、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、発振器、デューティ補正回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、波形成形回路から構成されます。

24.1.1 ブロック図

クロック発振器のブロック図を図 24.1 に示します。

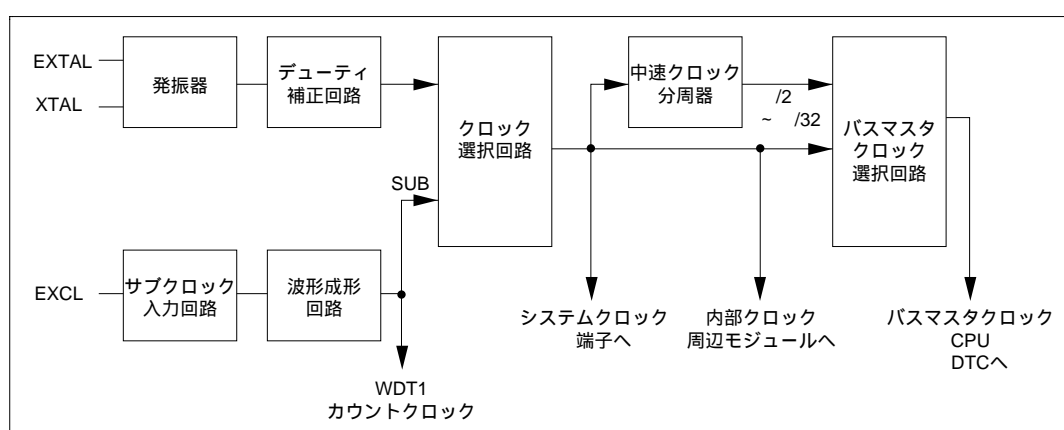


図 24.1 クロック発振器のブロック図

24.1.2 レジスタ構成

クロック発振器は、SBYCR、LPWRCR で制御されます。レジスタ構成を表 24.1 に示します。

表 24.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FF84
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FF85

【注】 * アドレスの下位 16 ビットを示しています。

24.2 各レジスタの説明

24.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0		SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W		R/W	R/W	R/W

SBYCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 2~0 についてのみ説明します。その他のビットの詳細については「25.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 2~0：システムクロックセレクト 2~0 (SCK2~SCK0)

高速モード、および中速モードでのバスマスタのクロックを選択します。

なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には、SCK2~SCK0 をすべて 0 としてください。

ビット 2	ビット 1	ビット 0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1	-	-

24.2.2 ローパワーコントロールレジスタ (LPWRCR)

ビット:	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	-	-	-	-

LPWRCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 4 についてのみ説明します。その他のビットの詳細については「25.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

LPWRCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 4 : サブクロック入力イネーブル (EXCLE)

EXCL 端子からのサブクロック入力を制御します。

ビット 4	説明
EXCLE	
0	EXCL 端子からのサブクロック入力禁止 (初期値)
1	EXCL 端子からのサブクロック入力許可

24.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

24.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 24.2 に示します。ダンピング抵抗 R_d は、表 24.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

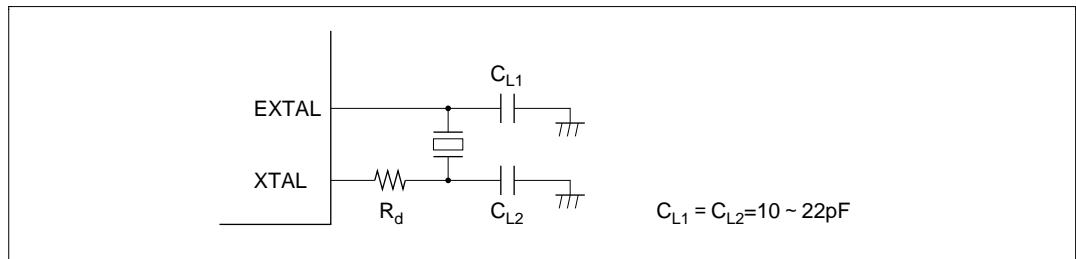


図 24.2 水晶発振子の接続例

表 24.2 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	16	20
R_d ()	1k	500	200	0	0	0	0

(2) 水晶発振子

図 24.3 に水晶発振子の等価回路を示します。水晶発振子は表 24.3 に示す特性のものを使用してください。

水晶発振子は、システムクロック () と同一の周波数のものを使用してください。

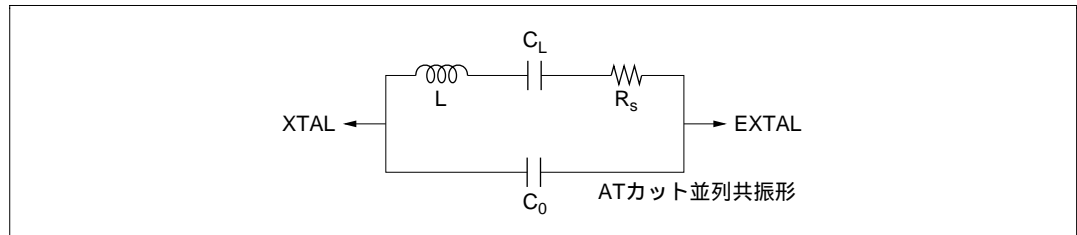


図 24.3 水晶発振子の等価回路

表 24.3 水晶発振子の特性

周波数 (MHz)	2	4	8	10	12	16	20
R_s max ()	500	120	80	70	60	50	40
C_0 max (pF)	7						

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください(図 24.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

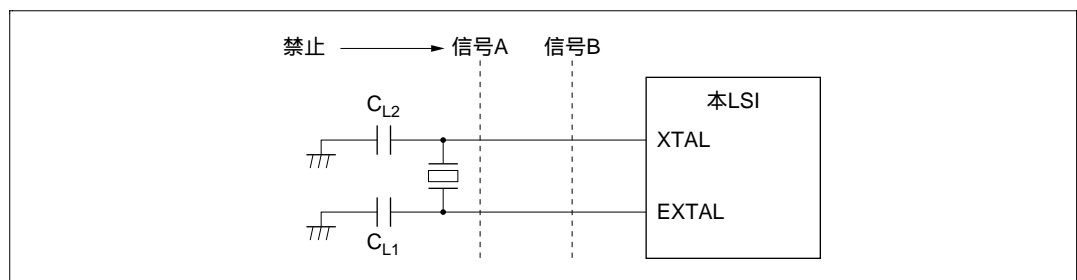


図 24.4 発振回路部のボード設計に関する注意事項

24.3.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 24.5 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 24.5 (b) の場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時には外部クロックが High レベルになるようにしてください。

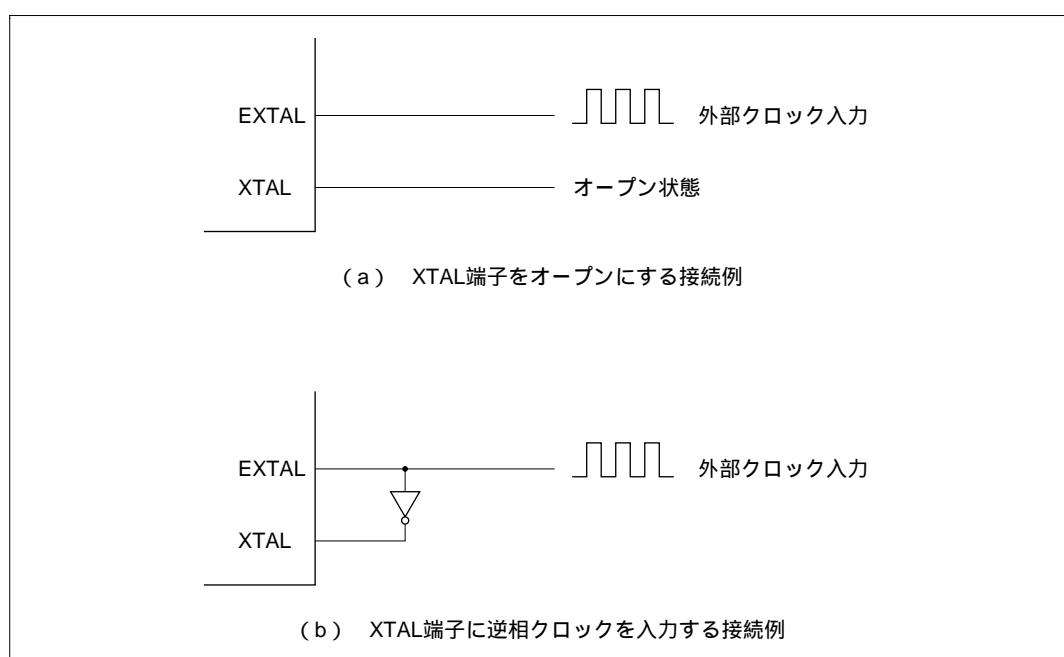


図 24.5 外部クロックの接続例

(2) 外部クロック

外部クロックは、システムクロック () と同一の周波数としてください。

外部クロックの入力条件を表 24.4 および図 24.6 に示します。

表 24.4 外部クロック入力条件

項 目	記号	$V_{CC} = 2.7 \sim 5.5V$		$V_{CC} = 5.0V \pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック入力 パルス幅 Low レベル	t_{EXL}	40	-	20	-	ns	図 24.6	
外部クロック入力 パルス幅 High レベル	t_{EXH}	40	-	20	-	ns		
外部クロック 立ち上がり時間	t_{EXr}	-	10	-	5	ns		
外部クロック 立ち下がり時間	t_{EXf}	-	10	-	5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	0.4	0.6	t_{cyc}	5MHz	図 26.5
クロックパルス幅 High レベル		80	-	80	-	ns	< 5MHz	
クロックパルス幅 Low レベル	t_{CH}	0.4	0.6	0.4	0.6	t_{cyc}	5MHz	
クロックパルス幅 High レベル		80	-	80	-	ns	< 5MHz	

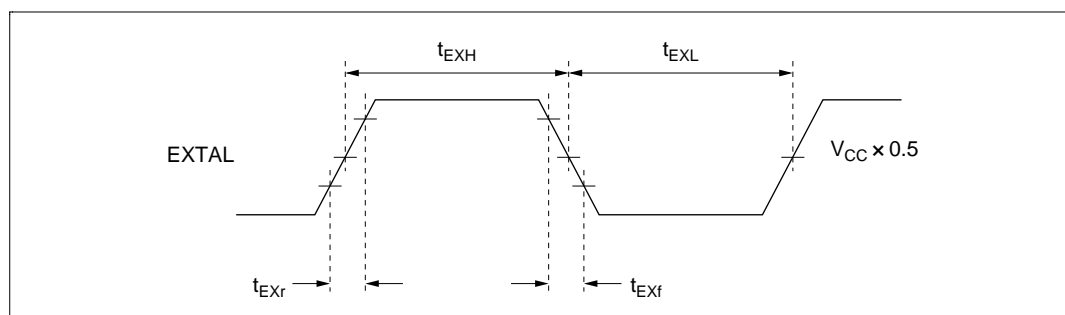


図 24.6 外部クロック入力タイミング

表 24.5 に外部クロック出力安定遅延時間、図 24.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low レベルにし、リセット状態に保持してください。

表 24.5 外部クロック出力安定遅延時間

[条件 : $V_{CC}=2.7V \sim 5.5V$ 、 $AV_{CC}=2.7V \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$]

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500	-	μs	図 24.7

【注】 * t_{DEXT} は、 \overline{RES} パルス幅 (t_{RESW}) を含みます。

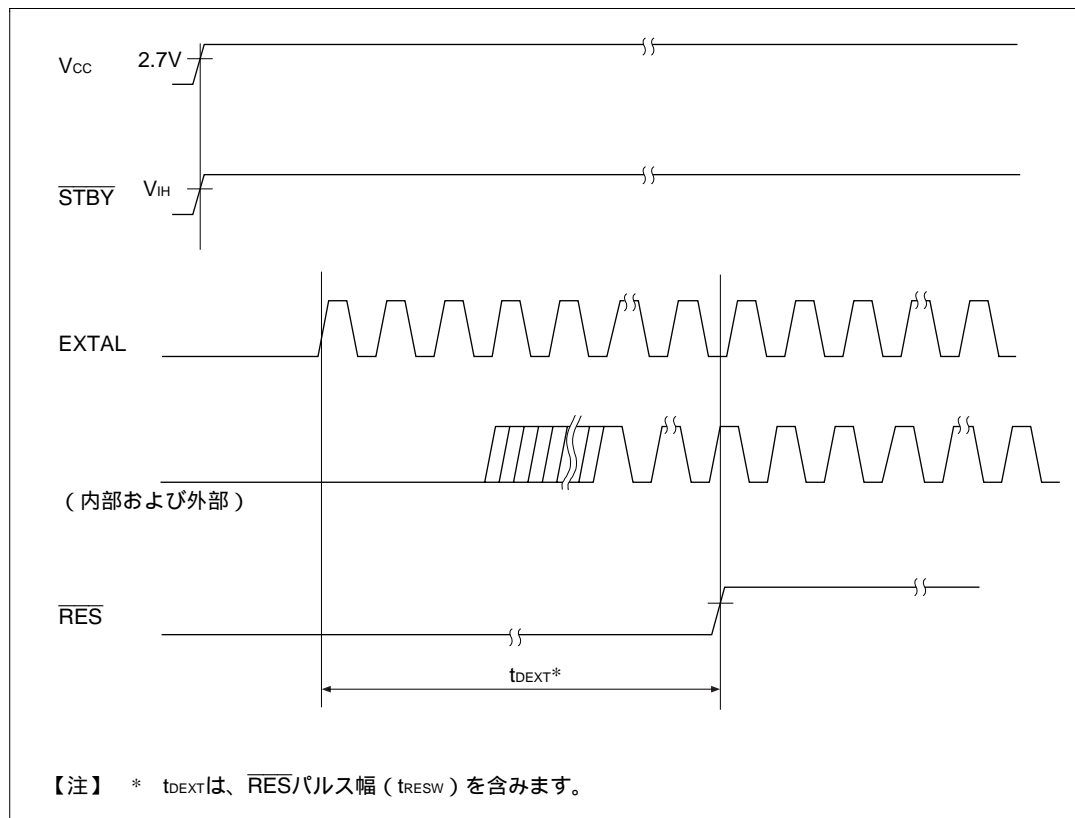


図 24.7 外部クロック出力安定遅延時間タイミング

24.4 デューティ補正回路

デューティ補正回路は、発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正し、システムクロック () を生成します。

24.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 / 2、 / 4、 / 8、 / 16、 / 32 を生成します。

24.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SBYCR の SCK2 ~ SCK0 ビットにしたがって、システムクロック ()、または中速クロック (/ 2、 / 4、 / 8、 / 16、 / 32) から選択します。

24.7 サブクロック入力回路

EXCL 端子からのサブクロック入力を制御します。

(1) サブクロックを入力する方法

サブクロックを使用する場合は、EXCL 端子から 32.768KHz の外部クロックを入力してください。この時、P9DDR の P96DDR ビットを 0 にクリアし、LPWRCR の EXCLE ビットを 1 にセットしてください。

サブクロックの入力条件を表 24.6 および図 24.8 に示します。

表 24.6 サブクロック入力条件

項目	記号	$V_{CC} = 2.7 \sim 5.5V$			単位	測定条件
		min	typ	max		
サブクロック入力 パルス幅 Low レベル	t_{EXCLL}	-	15.26	-	μs	図 24.8
サブクロック入力 パルス幅 High レベル	t_{EXCLH}	-	15.26	-	μs	
サブクロック入力 立ち上がり時間	t_{EXCLr}	-	-	10	ns	
サブクロック入力 立ち下がり時間	t_{EXCLf}	-	-	10	ns	

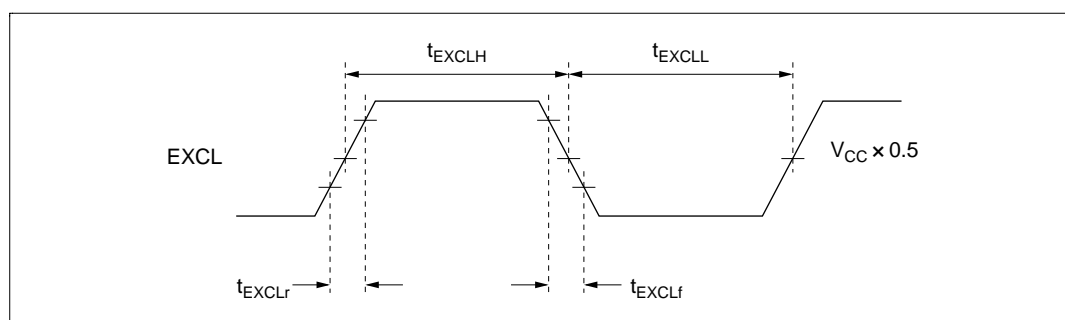


図 24.8 サブクロック入力タイミング

(2) サブクロックを必要としない場合

サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

24.8 サブクロック波形成形回路

EXCL 端子から入力されたサブクロックのノイズ除去のため、クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は、「25.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードでは、サンプリングされません。

24.9 クロック選択回路

マイコン内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、リセット状態、スタンバイモードからの復帰時には、EXTAL、XTAL 端子の発振器で生成されるクロックをシステムクロックとして選択します。

サブアクティブモード、サブスリープモード、ウォッチモードでは、EXCL 端子から入力されるサブクロックをシステムクロックとして選択します。このとき、CPU、TMR0、1、WDT0、1、ポート、割込みなどのモジュールおよび機能は、SUB により動作し、各タイマのカウントクロックも SUB を分周したクロックとなります。

25. 低消費電力状態

第 25 章 目次

25.1	概要	767
25.1.1	レジスタ構成	771
25.2	各レジスタの説明	772
25.2.1	スタンバイコントロールレジスタ (SBYCR)	772
25.2.2	ローパワーコントロールレジスタ (LPWRCR)	774
25.2.3	タイマコントロール/ステータスレジスタ (TCSR)	776
25.2.4	モジュールストップコントロールレジスタ (MSTPCR)	777
25.3	中速モード	778
25.4	スリープモード	779
25.4.1	スリープモード	779
25.4.2	スリープモードの解除	779
25.5	モジュールストップモード	780
25.5.1	モジュールストップモード	780
25.5.2	使用上の注意	781
25.6	ソフトウェアスタンバイモード	782
25.6.1	ソフトウェアスタンバイモード	782
25.6.2	ソフトウェアスタンバイモードの解除	782
25.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	783
25.6.4	ソフトウェアスタンバイモードの応用例	783
25.6.5	使用上の注意	784
25.7	ハードウェアスタンバイモード	785
25.7.1	ハードウェアスタンバイモード	785
25.7.2	ハードウェアスタンバイモードのタイミング	785
25.8	ウォッチモード	786
25.8.1	ウォッチモード	786
25.8.2	ウォッチモードの解除	786
25.9	サブスリープモード	787

25. 低消費電力状態

25.9.1	サブスリープモード.....	787
25.9.2	サブスリープモードの解除.....	787
25.10	サブアクティブモード.....	788
25.10.1	サブアクティブモード.....	788
25.10.2	サブアクティブモードの解除.....	788
25.11	直接遷移.....	789
25.11.1	直接遷移の概要.....	789

25.1 概要

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) サブアクティブモード
- (4) スリープモード
- (5) サブスリープモード
- (6) ウォッチモード
- (7) モジュールストップモード
- (8) ソフトウェアスタンバイモード
- (9) ハードウェアスタンバイモード

があり、(2) ~ (9) が低消費電力状態です。スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能 (CPU 以外のバスマスタも含む) の状態です。これらは一部組み合わせて設定することができます。

リセット後は、高速モードかつモジュールストップモード (DTC を除く) になっています。

表 25.1 に各モードでの LSI の内部状態、表 25.2 に低消費電力モード遷移条件を示します。

また、図 25.1 に、モード遷移図を示します。

表 25.1 各モードでのLSIの内部状態

機能	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ				
システムクロック 発振器	動作	動作	動作	動作	停止	停止	停止	停止	停止				
サブクロック入力	動作	動作	動作	動作	動作	動作	動作	停止	停止				
CPU動作	命令	中速動作	停止	動作	停止	サブ クロック	停止	停止	停止				
	レジスタ		保持		保持		動作			保持	不定		
外部 割込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作				
	IRQ0												
	IRQ1												
	IRQ2												
周辺機能 の動作	DTC	動作	中速動作	動作	動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)				
	WDT1				動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)				
	WDT0				動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)					
	TMR0,1				動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)					
	FRT												
	TMRX,Y												
	タイマ コネクシ ョン												
	IIC0												
	IIC1												
	SCI0												
	SCI1												
	SCI2												
	PWM												
	PWMX												
	HIF,PS2												
	D/A												
	A/D												
	RAM				動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持
	I/O				動作	動作	動作	動作	保持	動作	動作	保持	ハイインピー ダンス

【注】 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。

停止（リセット）は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。

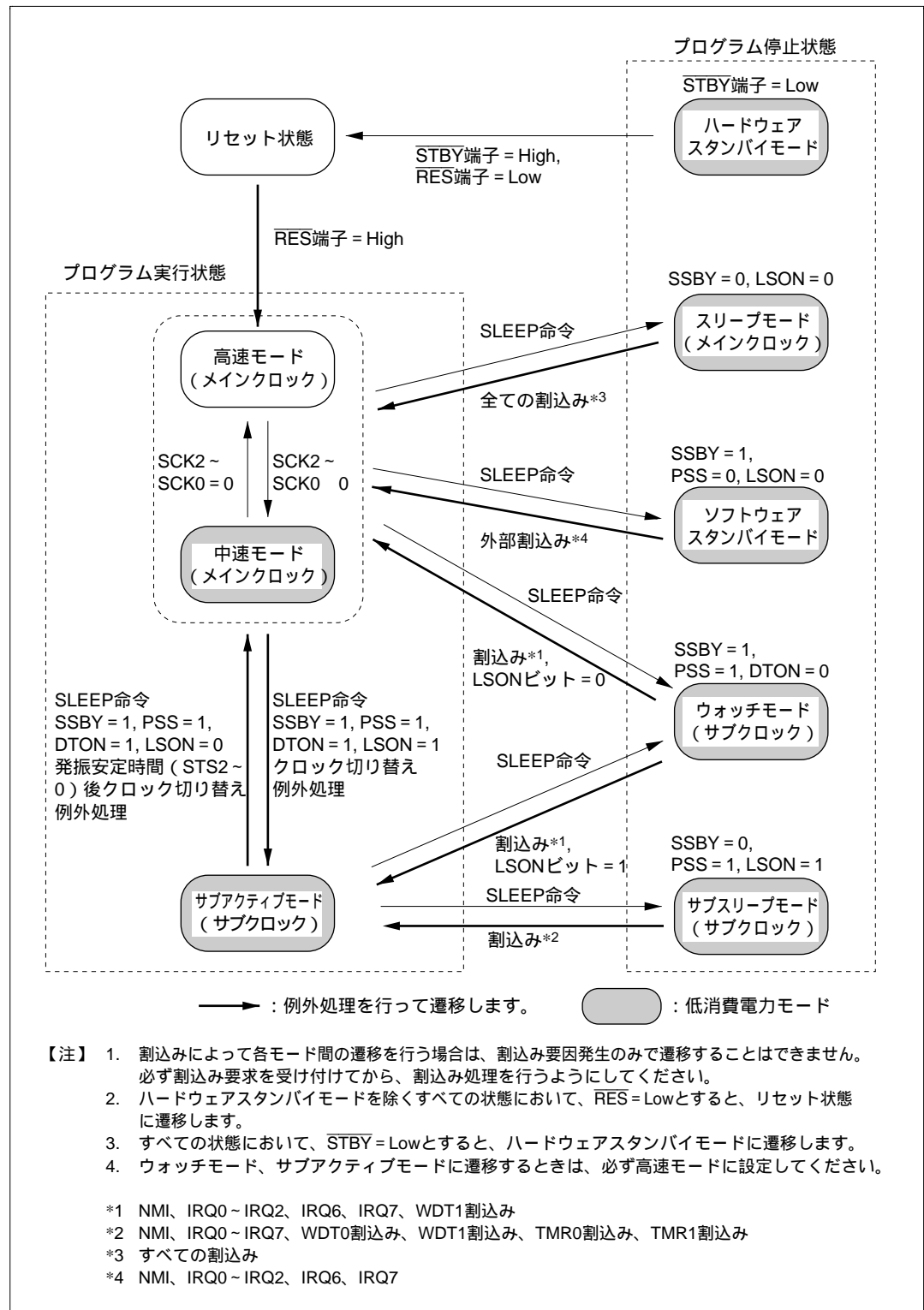


図 25.1 モード遷移図

表 25.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速 / 中速	0	*	0	*	スリープ	高速 / 中速
	0	*	1	*		
	1	0	0	*	ソフトウェアスタンバイ	高速 / 中速
	1	0	1	*		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1		
	1	1	1	1	サブアクティブ	
サブアクティブ	0	0	*	*		
	0	1	0	*		
	0	1	1	*	サブスリープ	サブアクティブ
	1	0	*	*		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	
	1	1	1	1		

* : Don't care

: 設定しないでください。

25.1.1 レジスタ構成

低消費電力状態は、SBYCR、LPWRCR、TCSR (WDT1)、MSTPCR で制御されます。
レジスタ構成を表 25.3 に示します。

表 25.3 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FF84* ²
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FF85* ²
タイマコントロール/ステータスレジスタ (WDT1)	TCSR	R/W	H'00	H'FFEA
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86* ²
	MSTPCRL	R/W	H'FF	H'FF87* ²

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 低消費電力状態の制御レジスタの一部は他のレジスタと同じアドレスに割当てられています。それぞれのレジスタの選択は、シリアルタイマコントロールレジスタ (STCR) の FLSHE ビットで行ないます。

25.2 各レジスタの説明

25.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0		SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W		R/W	R/W	R/W

SBYCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：ソフトウェアスタンバイ (SSBY)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。

なお、割込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。

ビット 7	説明
SSBY	
0	高速モードおよび中速モードで SLEEP 命令を実行したとき、スリープモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードに遷移 (初期値)
1	高速モードおよび中速モードで SLEEP 命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

ビット 6～4：スタンバイタイムセレクト 2～0 (STS2～STS0)

特定の割込みや命令によってソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除し、高速モードあるいは中速モードに遷移する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 25.4 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート*

【注】 * フラッシュメモリ内蔵版では、本設定は使用しないでください。

ビット3：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット2～0：システムクロックセレクト2～0 (SCK2～SCK0)

高速モード、および中速モードでのバスマスタのクロックを選択します。

なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には、SCK2～SCK0をすべて0としてください。

ビット2	ビット1	ビット0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは / 2
	1	0	中速クロックは / 4
		1	中速クロックは / 8
1	0	0	中速クロックは / 16
		1	中速クロックは / 32
	1	-	-

25.2.2 ローパワーコントロールレジスタ (LPWRCCR)

ビット :	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

LPWRCCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

LPWRCCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7 : ダイレクトトランスファオンフラグ (DTON)

SLEEP 命令実行による低消費電力遷移時に、高速モード、中速モードとサブアクティブモードの各モード間を直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット7	説明
DTON	
0	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 <p style="text-align: right;">(初期値)</p>
1	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードで SLEEP 命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 ・サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ビット6 : ロースピードオンフラグ (LSON)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。

ビット6	説明
LSON	
0	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 ・ウォッチモード解除後に高速モードに遷移 (初期値)
1	<ul style="list-style-type: none"> ・高速モードで SLEEP 命令を実行したとき、ウォッチモード、またはサブアクティブモード*に遷移 ・サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ・ウォッチモード解除後にサブアクティブモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ビット5：ノイズ除去サンプリング周波数選択 (NESEL)

EXCL 端子より入力されたサブクロック (SUB) を、システムクロック発振器より生成されたクロック () により、サンプリングする周波数を選択します。 = 5MHz 以上のときは、0 をセットしてください。

ビット5	説明
NESEL	
0	の 32 分周クロックでサンプリング (初期値)
1	の 4 分周クロックでサンプリング

ビット4：サブクロック入力イネーブル (EXCLE)

EXCL 端子からのサブクロック入力を制御します。

ビット4	説明
EXCLE	
0	EXCL 端子からのサブクロック入力禁止 (初期値)
1	EXCL 端子からのサブクロック入力許可

ビット3～0：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

25.2.3 タイマコントロール/ステータスレジスタ (TCSR)

TCSR1

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/ \overline{IT}	TME	PSS	$\overline{RST/NMI}$	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

TCSR1 は、リード/ライト可能な8ビットのレジスタで、WDT1 の TCNT に入力するクロック、モードの選択などを行います。

ここでは、ビット4についてのみ説明します。その他のビットの詳細については「14.2.2 タイマコントロール/ステータスレジスタ (TCSR)」を参照してください。

TCSR1 は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット4 : プリスケラセレクト (PSS)

WDT1 の TCNT の入力クロックソースを選択します。

また、低消費電力モード遷移時の動作を制御します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットとの組み合わせで決定します。

詳細は、「14.2.2 タイマコントロール/ステータスレジスタ (TCSR)」のクロックセレクト2~0の説明および本章を参照してください。

ビット4	説明
PSS	
0	<ul style="list-style-type: none"> ・ TCNT は ベースのプリスケラ (PSM) の分周クロックをカウント ・ 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモードに遷移 (初期値)
1	<ul style="list-style-type: none"> ・ TCNT は SUB ベースのプリスケラ (PSS) の分周クロックをカウント ・ 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ウォッチモード*、サブアクティブモード*に遷移 ・ サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、ウォッチモード、高速モードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

25.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL							
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH、MSTPCRL ビット7~0 : モジュールストップ (MSTP15~MSTP0)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 25.4 を参照してください。

MSTPCRH、 MSTPCRL ビット7~0	説 明
MSTP15~MSTP0	
0	モジュールストップモード解除 (MSTP15、MSTP14の初期値)
1	モジュールストップモード設定 (MSTP13~MSTP0の初期値)

25.3 中速モード

高速モード時に SBYCR の SCK2~SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK2~SCK0 ビットで指定した動作クロック（ $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ ）で動作します。CPU 以外のバスマスタ（DTC）も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック（ ）で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとして $/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2~SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割込みによって解除されると中速モードに復帰します。

また、SSBY ビット = 1、LPWRCR の LSON ビット = 0、TCSR (WDT1) の PSS ビット = 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 25.2 に示します。

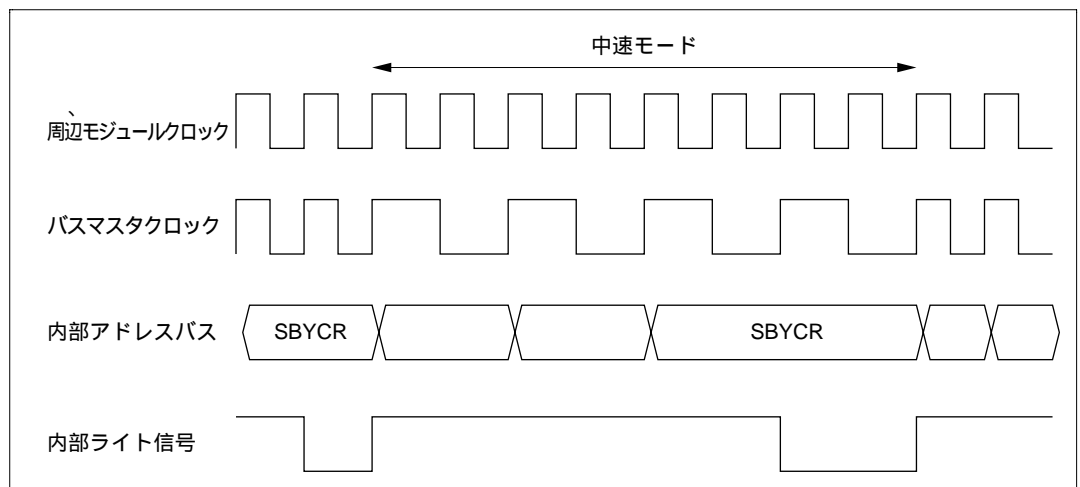


図 25.2 中速モードの遷移・解除タイミング

25.4 スリープモード

25.4.1 スリープモード

SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

25.4.2 スリープモードの解除

スリープモードの解除は、すべての割込み、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割込みによる解除

割込みが発生すると、スリープモードは解除され、割込み例外処理を開始します。割込みが禁止されている場合、また、NMI 以外の割込みが CPU でマスクされている場合には、スリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

25.5 モジュールストップモード

25.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 25.4 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI、A/D 変換器、8 ビット PWM、14 ビット PWM を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

表 25.4 MSTP ビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCRH	MSTP15	-
	MSTP14*	データトランスファコントローラ (DTC)
	MSTP13	16 ビットフリーランニングタイマ (FRT)
	MSTP12	8 ビットタイマ (TMR0、TMR1)
	MSTP11	8 ビット PWM タイマ (PWM)、14 ビット PWM タイマ (PWMX)
	MSTP10	D/A 変換器
	MSTP9	A/D 変換器
	MSTP8	8 ビットタイマ (TMRX、TMRY)、タイマコネクション
MSTPCRL	MSTP7	シリアルコミュニケーションインタフェース 0 (SCI0)
	MSTP6	シリアルコミュニケーションインタフェース 1 (SCI1)
	MSTP5	シリアルコミュニケーションインタフェース 2 (SCI2)
	MSTP4*	I ² C バスインタフェース (IIC) チャンネル 0 【オプション】
	MSTP3*	I ² C バスインタフェース (IIC) チャンネル 1 【オプション】
	MSTP2	ホストインタフェース (HIF)、 キーボードマトリクス割込みマスクレジスタ (KMIMR)、 キーボードマトリクス割込みマスクレジスタ A (KMIMRA)、 ポート 6 プルアップ MOS コントロールレジスタ (KMPCR)、 キーボードバッファコントローラ (PS2)
	MSTP1*	-
	MSTP0*	-

【注】 ビット 15 は、1 にセットしないでください。また、ビット 1、0 はリード/ライトできますが、動作に影響を与えません。

* H8S/2144 シリーズでは必ず 1 にセットしてください。

25.5.2 使用上の注意

DTC のモジュールストップモードの設定と、DTC のバス権要求が競合すると、バス権要求が優先され、MSTP ビットは 1 にセットされません。

DTC のバスサイクル終了後に再び MSTP ビットに 1 をライトしてください。

H8S/2144 シリーズを使用する場合、内蔵されないモジュールに対応する MSTP ビットは、必ず 1 にセットしてください。

25.6 ソフトウェアスタンバイモード

25.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 0、TCSR (WDT1) の PSS = 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータおよび SCI、PWM、PWMX を除く内蔵周辺機能と I/O ポートの状態は保持されます。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

25.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割込み (NMI 端子、 $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割込みによる解除

NMI、IRQ0 ~ IRQ2、IRQ6、IRQ7 割込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割込み例外処理を開始します。

なお、IRQ0 ~ IRQ2、IRQ6、IRQ7 割込みについては、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

25.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 8ms (発振安定時間) 以上となるように STS2 ~ STS0 ビットを設定してください。

表 25.5 に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。

表 25.5 発振安定時間の設定

STS2	STS1	STS0	待機時間	20MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192 ステート	0.41	0.51	0.65	0.8	1.0	1.3	2.0	4.1	ms
		1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	1.6	2.0	2.7	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	3.3	4.1	5.5	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	6.6	8.2	10.9	13.1	16.4	21.8	32.8	65.5	μs
		1	262144 ステート	13.1	16.4	21.8	26.2	32.8	43.6	65.6	131.2	
	1	0	リザーブ	-	-	-	-	-	-	-	-	
		1	16 ステート*	0.8	1.0	1.3	1.6	2.0	2.7	4.0	8.0	

 : 推奨設定時間

* : Don't care

【注】 * フラッシュメモリ内蔵版では、本設定は使用しないでください。

(2) 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。

25.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 25.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている(立ち下がりエッジ指定)状態で、NMI 割込みを受け付けた後、NMIEG ビットを 1 にセット(立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

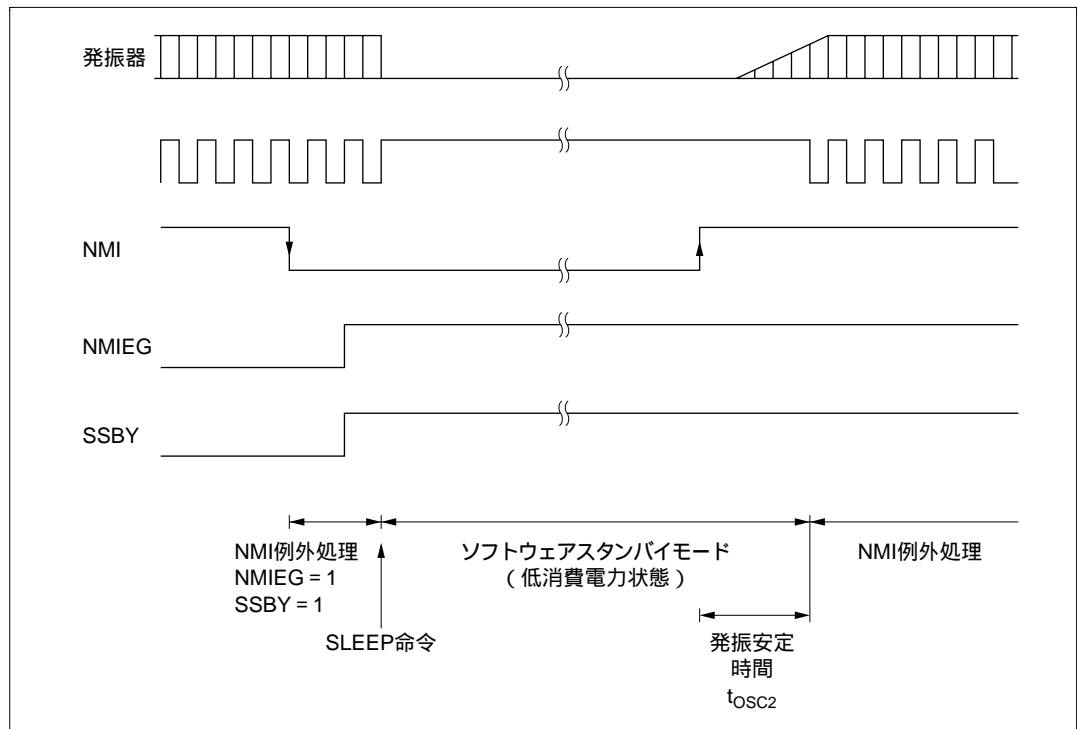


図 25.3 ソフトウェアスタンバイモードの応用例

25.6.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

発振安定待機中は消費電流が増加します。

25.7 ハードウェアスタンバイモード

25.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 (MD1 ~ MD0) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 8ms 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

25.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 25.4 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

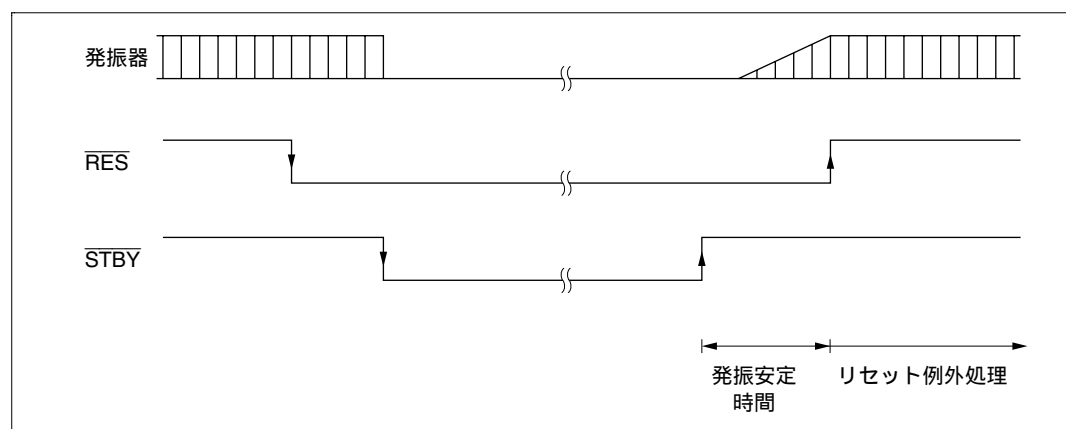


図 25.4 ハードウェアスタンバイモードのタイミング

25.8 ウォッチモード

25.8.1 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビット = 1、LPWRCR の DTON ビット = 0、TCSR (WDT1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

25.8.2 ウォッチモードの解除

ウォッチモードの解除は、割込み (WOVI1 割込み、NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割込みによる解除

割込みが発生すると、ウォッチモードは解除され、LPWRCR の LSON ビット = 0 のときは高速モードあるいは中速モードに、LSON ビット = 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2 ~ STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割込み例外処理を開始します。なお、IRQ0 ~ IRQ2、IRQ6、IRQ7 割込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割込みについては、割込み許可レジスタにより当該割込みの受付が禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「25.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「25.6.2 ソフトウェアスタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

25.9 サブスリープモード

25.9.1 サブスリープモード

サブアクティブモードにおいて、SBYCRのSSBYビット=0、LPWRCRのLSONビット=1、TCSR(WDT1)のPSSビット=1の状態ではSLEEP命令を実行すると、CPUはサブスリープモードに遷移します。

サブスリープモード時、CPUは動作を停止します。また、TMR0,1、WDT0,1以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺レジスタ、内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

25.9.2 サブスリープモードの解除

サブスリープモードの解除は、割込み（内蔵周辺機能からの割込み、NMI端子、 $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ7}}$ 端子）、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割込みによる解除

割込みが発生すると、サブスリープモードは解除され、割込み例外処理を開始します。

なお、IRQ0~IRQ7割込みについては、対応するイネーブルビットが0にクリアされている場合、内蔵周辺機能からの割込みについては、割込み許可レジスタにより当該割込みの受付が禁止されている場合、またはCPUでマスクされている場合には、サブスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「25.6.2 ソフトウェアスタンバイモードの解除(2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

25.10 サブアクティブモード

25.10.1 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割込みが発生したとき、LPWRCR の LSON ビット=1 の状態であれば、サブアクティブモードに直接遷移します。また、サブスリープモードで割込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR0,1、WDT0,1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SBYCR の SCK2~SCK0 の各ビットを必ず 0 としてください。

25.10.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) SLEEP 命令による解除

SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、高速モードに直接遷移します。

直接遷移の詳細は「25.11 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「25.6.2 ソフトウェアスタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

25.11 直接遷移

25.11.1 直接遷移の概要

CPUがプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移はLPWRCRのDTONを1にセットし、SLEEP命令を実行することにより可能です。遷移後は直接遷移例外処理を開始します。

(1) 高速モードからサブアクティブモードへの直接遷移

高速モードでSBYCRのSSBYビット=1、LPWRCRのLSONビット=1、DTONビット=1、TSCR(WDT1)のPSSビット=1にセットした状態でSLEEP命令を実行すると、サブアクティブモードに遷移します。

(2) サブアクティブモードから高速モードへの直接遷移

サブアクティブモードでSBYCRのSSBYビット=1、LPWRCRのLSONビット=0、DTONビット=1、TSCR(WDT1)のPSSビット=1の状態ではSLEEP命令を実行すると、SBYCRのSTS2~STS0により設定された時間を経過した後、直接高速モードに遷移します。

26. 電気的特性

第 26 章 目次

26.1	電源電圧と動作範囲	793
26.2	H8S/2148 F-ZTAT の電気的特性	796
	26.2.1 絶対最大定格	796
	26.2.2 DC 特性	797
	26.2.3 AC 特性	810
	26.2.4 A/D 変換特性	817
	26.2.5 D/A 変換特性	819
	26.2.6 フラッシュメモリ特性	820
	26.2.7 使用上の注意	822
26.3	H8S/2148 F-ZTAT (A マスク品)、H8S/2147 F-ZTAT (A マスク品)、H8S/2148 マスク ROM 品、 H8S/2147 マスク ROM 品の電気的特性	823
	26.3.1 絶対最大定格	823
	26.3.2 DC 特性	825
	26.3.3 AC 特性	837
	26.3.4 A/D 変換特性	845
	26.3.5 D/A 変換特性	847
	26.3.6 フラッシュメモリ特性	848
	26.3.7 使用上の注意	850
26.4	H8S/2147N F-ZTAT の電気的特性	851
	26.4.1 絶対最大定格	851
	26.4.2 DC 特性	852
	26.4.3 AC 特性	860
	26.4.4 A/D 変換特性	868
	26.4.5 D/A 変換特性	870
	26.4.6 フラッシュメモリ特性	871
	26.4.7 使用上の注意	873
26.5	H8S/2144 F-ZTAT、H8S/2142 F-ZTAT、H8S/2142 マスク ROM 品の電気的特性	874

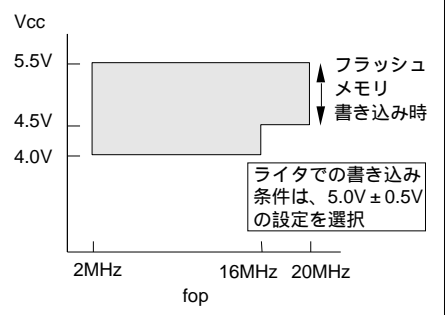
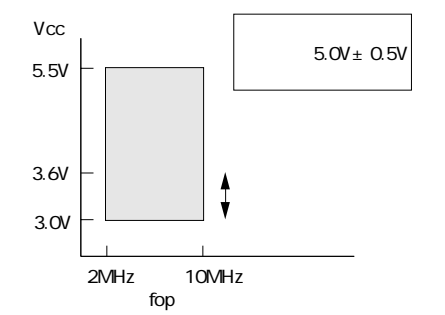
26. 電気的特性

26.5.1	絶対最大定格	874
26.5.2	DC 特性	875
26.5.3	AC 特性	882
26.5.4	A/D 変換特性	886
26.5.5	D/A 変換特性	888
26.5.6	フラッシュメモリ特性.....	889
26.5.7	使用上の注意.....	891
26.6	H8S/2144 F-ZTAT (A マスク品)、H8S/2144 マスク ROM 品、H8S/2143 マスク ROM 品の 電気的特性	892
26.6.1	絶対最大定格	892
26.6.2	DC 特性	893
26.6.3	AC 特性	901
26.6.4	A/D 変換特性	905
26.6.5	D/A 変換特性	907
26.6.6	フラッシュメモリ特性.....	908
26.6.7	使用上の注意.....	910
26.7	動作タイミング.....	911
26.7.1	AC 特性測定条件.....	911
26.7.2	クロックタイミング.....	911
26.7.3	制御信号タイミング.....	912
26.7.4	バスタイミング.....	913
26.7.5	内蔵周辺モジュールタイミング	916

26.1 電源電圧と動作範囲

各製品ごとの電源電圧と動作範囲（網掛部）を表 26.1 に示します。

表 26.1 電源電圧と動作範囲（1）（F-ZTAT 品）

製品名 / 電源	5V 版	製品名 / 電源	3V 版
HD64F2148 HD64F2144 HD64F2142R		HD64F2148V HD64F2144V HD64F2142RV	
VCC1 端子 VCC2 端子	$V_{CC} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz) $V_{CC} = 4.0V \sim 5.5V$ (fop = 2 ~ 16MHz)	VCC1 端子 VCC2 端子	$V_{CC} = 3.0V \sim 5.5V$ (fop = 2 ~ 10MHz)
VCCB 端子*	$V_{CCB} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz) $V_{CCB} = 4.0V \sim 5.5V$ (fop = 2 ~ 16MHz)	VCCB 端子*	$V_{CCB} = 3.0V \sim 5.5V$ (fop = 2 ~ 10MHz)
AVCC 端子	$AV_{CC} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz) $AV_{CC} = 4.0V \sim 5.5V$ (fop = 2 ~ 16MHz)	AVCC 端子	$AV_{CC} = 3.0V \sim 5.5V$ (fop = 2 ~ 10MHz)

【注】 * H8S/2148 系製品のみ

表 26.1 電源電圧と動作範囲（2）（F-ZTAT 品）

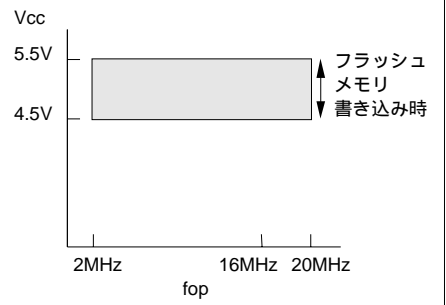
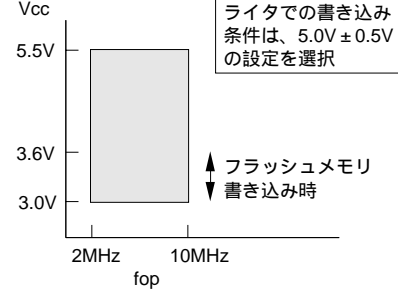
製品名 / 電源	5V 版	製品名 / 電源	3V 版
HD64F2147N		HD64F2147NV	
VCC1 端子 VCC2 端子	$V_{CC} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz)	VCC1 端子 VCC2 端子	$V_{CC} = 3.0V \sim 5.5V$ (fop = 2 ~ 10MHz)
VCCB 端子	$V_{CCB} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz)	VCCB 端子	$V_{CCB} = 3.0V \sim 5.5V$ (fop = 2 ~ 10MHz)
AVCC 端子	$AV_{CC} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz)	AVCC 端子	$AV_{CC} = 3.0V \sim 5.5V$ (fop = 2 ~ 10MHz)

表 26.1 電源電圧と動作範囲 (3) (F-ZTAT A マスク品)

製品名 / 電源	5V 版	製品名 / 電源	3V 版
HD64F2148A HD64F2147A HD64F2144A		HD64F2148AV HD64F2147AV HD64F2144AV	
VCC1 端子	$V_{CC} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz) $V_{CC} = 4.0V \sim 5.5V$ (fop = 2 ~ 16MHz)	VCC1 端子	$V_{CC} = 2.7V \sim 3.6V$ (fop = 2 ~ 10MHz) (CIN 使用時は、 $V_{CC} = 3.0V \sim 3.6V$)
VCL 端子 (VCC2)	$V_{CL} = C$ 接続	VCL 端子 (VCC2)	$V_{CL} = V_{CC}$ 接続
VCCB 端子*	$V_{CCB} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz) $V_{CCB} = 4.0V \sim 5.5V$ (fop = 2 ~ 16MHz)	VCCB 端子*	$V_{CCB} = 2.7V \sim 5.5V$ (fop = 2 ~ 10MHz) (CIN 使用時は、 $V_{CCB} = 3.0V \sim 5.5V$)
AVCC 端子	$AV_{CC} = 5.0V \pm 10\%$ (fop = 2 ~ 20MHz) $AV_{CC} = 4.0V \sim 5.5V$ (fop = 2 ~ 16MHz)	AVCC 端子	$AV_{CC} = 2.7V \sim 3.6V$ (fop = 2 ~ 10MHz) (CIN 使用時は、 $AV_{CC} = 3.0V \sim 3.6V$)

【注】 * H8S/2148 系製品のみ

表 26.1 電源電圧と動作範囲 (4) (マスク ROM 品)

製品名 / 電源	5V 版	4V 版	3V 版
HD6432148S HD6432148SW HD6432147S HD6432147SW HD6432144S HD6432143S			
VCC1 端子	$V_{CC} = 5.0V \pm 10\%$	$V_{CC} = 4.0V \sim 5.5V$	$V_{CC} = 2.7V \sim 3.6V$ (CIN 使用時は、 $V_{CC} = 3.0V \sim 3.6V$)
VCL 端子 (VCC2)	$V_{CL} = C$ 接続	$V_{CL} = C$ 接続	$V_{CL} = V_{CC}$ 接続
VCCB 端子*	$V_{CCB} = 5.0V \pm 10\%$	$V_{CCB} = 4.0V \sim 5.5V$	$V_{CCB} = 2.7V \sim 5.5V$ (CIN 使用時は、 $V_{CCB} = 3.0V \sim 5.5V$)
AVCC 端子	$AV_{CC} = 5.0V \pm 10\%$	$AV_{CC} = 4.0V \sim 5.5V$	$AV_{CC} = 2.7V \sim 3.6V$ (CIN 使用時は、 $AV_{CC} = 3.0V \sim 3.6V$)

【注】 * H8S/2148 系製品のみ

表 26.1 電源電圧と動作範囲 (5) (マスク ROM 品)

製品名 / 電源	5V 版	4V 版	3V 版
HD6432142	<p>A graph showing the operating range for the 5V version. The vertical axis is Vcc, with values 4.5V and 5.5V. The horizontal axis is fop, with values 2MHz and 20MHz. A shaded rectangular area represents the operating range, bounded by Vcc = 4.5V to 5.5V and fop = 2MHz to 20MHz.</p>	<p>A graph showing the operating range for the 4V version. The vertical axis is Vcc, with values 4.0V and 5.5V. The horizontal axis is fop, with values 2MHz and 16MHz. A shaded rectangular area represents the operating range, bounded by Vcc = 4.0V to 5.5V and fop = 2MHz to 16MHz.</p>	<p>A graph showing the operating range for the 3V version. The vertical axis is Vcc, with values 2.7V and 5.5V. The horizontal axis is fop, with values 2MHz and 10MHz. A shaded rectangular area represents the operating range, bounded by Vcc = 2.7V to 5.5V and fop = 2MHz to 10MHz.</p>
VCC1 端子	$V_{CC} = 5.0V \pm 10\%$	$V_{CC} = 4.0V \sim 5.5V$	$V_{CC} = 2.7V \sim 5.5V$
VCC2 端子			
AVCC 端子	$AV_{CC} = 5.0V \pm 10\%$	$AV_{CC} = 4.0V \sim 5.5V$	$AV_{CC} = 2.7V \sim 5.5V$

26.2 H8S/2148 F-ZTAT の電気的特性

26.2.1 絶対最大定格

絶対最大定格を表 26.2 に示します。

表 26.2 絶対最大定格

項目	記号	定格値	単位
電源電圧*	V_{CC}	-0.3 ~ +7.0	V
入出力バッファ用電源電圧 (ポート A 用電源)	V_{CCB}	-0.3 ~ +7.0	V
入力電圧 (ポート 6、7、A 以外)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート A で CIN 入力非選択時)	V_{in}	-0.3 ~ $V_{CCB} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ のいずれか 低い電圧	V
入力電圧 (ポート A で CIN 入力選択時)	V_{in}	-0.3 ~ $V_{CCB} + 0.3$ と $AV_{CC} + 0.3$ のいずれ か低い電圧	V
入力電圧 (ポート 7)	V_{in}	-0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
動作温度 (FLASH メモリ書込み / 消去時)	T_{opr}	通常仕様品 : 0 ~ +75 広温度範囲仕様品 : 0 ~ +85	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

* V_{CC1} 、 V_{CC2} 端子への印加電圧です。

26.2.2 DC 特性

DC 特性を表 26.3 に示します。また、出力許容電流値、バス駆動特性をそれぞれ表 26.4、表 26.5 に示します。

表 26.3 DC 特性 (1)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$ ^{*9} (通常仕様品)、 $T_a = -40 \sim +85$ ^{*9} (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) ^{*2*6} 、 KIN15 ~ KIN8 ^{*7*8} 、 IRQ2 ~ IRQ0 ^{*3} 、 IRQ5 ~ IRQ3	(1) V_T^-	1.0			V		
		V_T^+			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$			
		$V_T^+ - V_T^-$	0.4					
シュミット トリガ入力電圧 (レベル切換 時) ^{*6}	P67 ~ P60 (KWUL = 01)	V_T^-	$V_{CC} \times 0.3$			V		
		V_T^+			$V_{CC} \times 0.7$			
		$V_T^+ - V_T^-$	$V_{CC} \times 0.05$					
	P67 ~ P60 (KWUL = 10)	V_T^-	$V_{CC} \times 0.4$					
		V_T^+			$V_{CC} \times 0.8$			
		$V_T^+ - V_T^-$	$V_{CC} \times 0.03$					
	P67 ~ P60 (KWUL = 11)	V_T^-	$V_{CC} \times 0.45$					
V_T^+				$V_{CC} \times 0.9$				
$V_T^+ - V_T^-$	0.05							
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0 EXTAL PA7 ~ PA0 ^{*7} ポート 7	(2)	V_{IH}	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
				$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
				$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$		
				2.0		$AV_{CC} + 0.3$		
	2.0				$V_{CC} + 0.3$			
上記(1)(2)以外の入力端子								
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0 PA7 ~ PA0	(3)	V_{IL}	-0.3		0.5	V	
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3		1.0		
				-0.3		0.8		
出力 High レベル電圧	全出力端子 (P97、P52 を除く ^{*4}) ^{*5*8}	V_{OH}		$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
				$V_{CCB} - 0.5$				
	P97、P52 ^{*4}			3.5				V
出力 Low レベル電圧	全出力端子 (RES0 を除く) ^{*5} ポート 1、2、3 RES0	V_{OL}				0.4	V	$I_{OL} = 1.6mA$
						1.0		$I_{OL} = 10mA$
						0.4		$I_{OL} = 2.6mA$

- 【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源 (V_{CC}) に接続するなどの方法で2.0V ~ 5.5Vの範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。
- *2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。
- *4 H8S/2148 シリーズでは、P52/SCK0/SCL0、P97/SDA0 はNMOS プッシュプル出力です。
SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。
H8S/2148 シリーズでは、P52/SCK0、P97 (ICE=0) の High レベルはNMOS で駆動されます。
- *5 IICS=0、ICE=0 および KBIOE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。
- *6 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *7 ポート A の印加電圧の上限は、CIN 入力非選択時は $V_{CCB}+0.3V$ 、CIN 入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *8 ポート A の特性は、 V_{CCB} 依存、その他の端子の特性は、 V_{CC} 依存です。
- *9 フラッシュメモリへの書き込み/消去動作は、 $T_a = 0 \sim +75$ (通常仕様品)、 $T_a = 0 \sim +85$ (広温度範囲仕様品) の範囲としてください。

表 26.3 DC 特性 (2)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ *⁵ (通常仕様品)、 $T_a = -40 \sim +85$ *⁵ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	ポート 8、9、A* ⁴ 、B						$V_{in} = 0.5 \sim V_{CCB} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	50		300	μA	$V_{in} = 0V$	
	ポート A* ⁴ 、B、 ポート 6 (P6PUE = 0)		60		500			
	ポート 6 (P6PUE = 1)		15		150			
入力容量	RES	(4)	C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI					50		
	P52、P97、P42、 P86、PA7 ~ PA2					20		
	上記(4)以外の入力端子					15		
消費電流* ²	通常動作時	I_{CC}		85	120	mA	$f = 20MHz$	
	スリープ時			70	100		$f = 20MHz$	
	スタンバイ時* ³			0.01	5.0		μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA		
	A/D、D/A 変換待機時			0.01	5.0		μA	$AV_{CC} = 2.0V \sim 5.5V$
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0		μA	$AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧* ¹		AV_{CC}	4.5		5.5	V	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		V_{RAM}	2.0			V		

【注】 *¹ A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。*² 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{CCB} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*³ V_{RAM} $V_{CC} < 4.5V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{CCB} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。*⁴ ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。*⁵ フラッシュメモリへの書き込み / 消去動作は、 $T_a = 0 \sim +75$ (通常仕様品)、 $T_a = 0 \sim +85$ (広温度範囲仕様品) の範囲としてください。

表 26.3 DC 特性 (3)

条件 : $V_{CC} = 4.0V \sim 5.5V^{*9}$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$ *9 (通常仕様品)、 $T_a = -40 \sim +85$ *9 (広温度範囲仕様品)

項目			記号	min	typ	max	単位	測定条件			
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) *2*6 、 $\overline{KIN15} \sim \overline{KIN8}^{*7*8}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$ 、 $\overline{IRQ5} \sim \overline{IRQ3}$	(1)	V_T^-	1.0			V	$V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$			
			V_T^+			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$					
			$V_T^+ - V_T^-$	0.4							
			シュミット トリガ入力電圧 (レベル 切替時) *6	P67 ~ P60 (KWUL = 01)	(1)	V_T^-	$V_{CC} \times 0.3$			V	$V_{CC} < 4.5V$ 、 $V_{CCB} < 4.5V$
						V_T^+			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
						$V_T^+ - V_T^-$	0.3				
P67 ~ P60 (KWUL = 10)	V_T^-	$V_{CC} \times 0.4$					V	$V_{CC} = 4.0V \sim 5.5V$			
	V_T^+					$V_{CC} \times 0.8$					
	$V_T^+ - V_T^-$	$V_{CC} \times 0.03$									
P67 ~ P60 (KWUL = 11)	V_T^-	$V_{CC} \times 0.45$			V	$V_{CC} = 4.0V \sim 5.5V$					
	V_T^+			$V_{CC} \times 0.9$							
	$V_T^+ - V_T^-$	0.05									
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、NMI、 MD1 ~ MD0 EXTAL PA7 ~ PA0 *7 ポート 7 上記(1)(2)以外の入力端子	(2)	V_{IH}	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V				
				$V_{CC} \times 0.7$		$V_{CC} + 0.3$					
				$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$					
				2.0		$AV_{CC} + 0.3$					
				2.0		$V_{CC} + 0.3$					
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、MD1 ~ MD0 PA7 ~ PA0 NMI、EXTAL ほか、 上記(1)(3)以外の入力端子	(3)	V_{IL}	-0.3		0.5	V	$V_{CCB} = 4.5V \sim 5.5V$			
				-0.3		1.0					
				-0.3		0.8		$V_{CCB} < 4.5V$			
				-0.3		0.8					

項目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子 (P97、P52 を除く ^{*4}) ^{*5*8}	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
			$V_{CCB} - 0.5$			V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$
			3.5			V	$I_{OH} = -1mA$ 、 $V_{CC} < 4.5V$ 、 $V_{CCB} < 4.5V$
	P97、P52 ^{*4}				V	$I_{OH} = -1mA$	
出力 Low レベル電圧	全出力端子(\overline{RESO} を除く) ^{*5}	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3				1.0	V	$I_{OL} = 10mA$
	\overline{RESO}				0.4	V	$I_{OL} = 2.6mA$

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、AV_{ref}、AV_{CC} としてください。

*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

*3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。

*4 H8S/2148 シリーズでは、P52/SCK0/SCL0、P97/SDA0 は NMOS プッシュプル出力です。

SCL0、SDA0 ($ICE=1$) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

H8S/2148 シリーズでは、P52/SCK0、P97 ($ICE=0$) の High レベルは NMOS で駆動されます。

*5 IICS=0、ICE=0 および KBIOE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

*6 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

*7 ポート A の印加電圧の上限は、CIN 入力非選択時は $V_{CCB}+0.3V$ 、CIN 入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

*8 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。

*9 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC}=4.5V \sim 5.5V$ 、 $T_a=0 \sim +75$ (通常仕様品)、 $T_a=0 \sim +85$ (広温度範囲仕様品) の範囲としてください。

表 26.3 DC 特性 (4)

条件: $V_{CC} = 4.0V \sim 5.5V^{*5}$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ *5 (通常仕様品)、 $T_a = -40 \sim +85$ *5 (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A* ⁴ 、B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ 、 $V_{in} = 0.5 \sim V_{CCB} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	50		300	μA	$V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$
	ポート A* ⁴ 、B、 ポート 6 (P6PUE = 0)		60		500		
	ポート 6 (P6PUE = 1)		15		150		
	ポート 1 ~ 3		30		200	μA	$V_{in} = 0V$ 、 $V_{CC} = 4.5V$ 、 $V_{CCB} = 4.5V$
	ポート A* ⁴ 、B、 ポート 6 (P6PUE = 0)		40		400		
	ポート 6 (P6PUE = 1)		10		110		
入力容量	RES	C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50		
	P52、P97、P42、 P86、PA7 ~ PA2				20		
	上記(4)以外の入力端子				15		
消費電流* ²	通常動作時	I_{CC}		70	100	mA	$f = 16MHz$
	スリープ時			60	85		
	スタンバイ時* ³			0.01	5.0	μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0		
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA	
	A/D、D/A 変換中			2.0	5.0		
	A/D、D/A 変換待機時			0.01	5.0	μA	$AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧* ¹		AV_{CC}	4.0		5.5	V	動作時
			2.0		5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。

-
- *2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{CC}B - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
 - *3 V_{RAM} $V_{CC} < 4.0V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{CC}B \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。
 - *4 ポート A の特性は $V_{CC}B$ 依存、その他の端子の特性は V_{CC} 依存です。
 - *5 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC} = 4.5V \sim 5.5V$ 、 $T_a = 0 \sim +75$ (通常仕様品)、 $T_a = 0 \sim +85$ (広温度範囲仕様品) の範囲としてください。

表 26.3 DC 特性 (5)

条件 : $V_{CC} = 3.0V \sim 5.5V^{*9}$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 3.0V \sim 5.5V$ 、

$AV_{ref} = 3.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ ^{*9}

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) ^{*2*6} 、 $\overline{KIN15} \sim \overline{KIN8}^{*7*8}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$ 、 $\overline{IRQ5} \sim \overline{IRQ3}$	(1)	V_T^-	$V_{CC} \times 0.2$ $V_{CCB} \times 0.2$			V	
			V_T^+		$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$ $V_{CCB} \times 0.05$				
シュミット トリガ入力電圧 (レベル切換 時) ^{*6}	P67 ~ P60 (KWUL = 01)		V_T^-	$V_{CC} \times 0.3$			V	
			V_T^+		$V_{CC} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				
	P67 ~ P60 (KWUL = 10)		V_T^-	$V_{CC} \times 0.4$			V	
			V_T^+		$V_{CC} \times 0.8$			
	P67 ~ P60 (KWUL = 11)		$V_T^+ - V_T^-$	$V_{CC} \times 0.03$			V	
			V_T^-	$V_{CC} \times 0.45$				
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0 EXTAL PA7 ~ PA0 ^{*7} ポート 7 上記(1)(2)以外の入力端子	(2)	V_{IH}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
				$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
				$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$		
				$V_{CC} \times 0.7$		$AV_{CC} + 0.3$		
				$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0 PA7 ~ PA0 NMI、EXTAL ほか、 上記(1)(3)以外の入力端子	(3)	V_{IL}	-0.3		$V_{CC} \times 0.1$	V	$V_{CCB} < 4.0V$
				-0.3		$V_{CCB} \times 0.2$		$V_{CCB} = 4.0V \sim 5.5V$
						0.8		
				-0.3		$V_{CC} \times 0.2$		$V_{CC} < 4.0V$
				0.8		$V_{CC} = 4.0V \sim 5.5V$		
出力 High レベル電圧	全出力端子 (P97、P52 を除く ^{*4}) ^{*5*8}		V_{OH}	$V_{CC} - 0.5$ $V_{CCB} - 0.5$			V	$I_{OH} = -200 \mu A$
				$V_{CC} - 1.0$ $V_{CCB} - 1.0$				$I_{OH} = -1mA$ ($V_{CC} < 4.0V$ 、 $V_{CCB} < 4.0V$)
				1.0				$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子(RESO を除く) ^{*5} ポート 1、2、3 RESO		V_{OL}			0.4	V	$I_{OL} = 1.6mA$
						1.0		$I_{OL} = 5mA(V_{CC} < 4.0V)$ $I_{OL} = 10mA$ ($4.0V \leq V_{CC} \leq 5.5V$)
						0.4		$I_{OL} = 1.6mA$

- 【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源(V_{CC})に接続するなどの方法で2.0V~5.5Vの範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。
- *2 P67~P60にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。
- *4 H8S/2148シリーズでは、P52/SCK0/SCL0、P97/SDA0はNMOSプッシュプル出力です。
SCL0、SDA0(ICE=1)からHighレベル出力するためにはプルアップ抵抗を外付けする必要があります。
H8S/2148シリーズでは、P52/SCK0、P97(ICE=0)のHighレベルはNMOSで駆動されます。
- *5 IICS=0、ICE=0およびKBIOE=0の場合です。バス駆動機能を選択した場合のLowレベル出力は別途定めます。
- *6 ポート6の印加電圧の上限は、CIN入力非選択時は $V_{CC}+0.3V$ 、CIN入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *7 ポートAの印加電圧の上限は、CIN入力非選択時は $V_{CCB}+0.3V$ 、CIN入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *8 ポートAの特性は、 V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。
- *9 フラッシュメモリへの書き込み/消去動作は、 $V_{CC}=3.0V\sim 3.6V$ 、 $T_a=0\sim +75$ の範囲としてください。

表 26.3 DC 特性 (6)

条件: $V_{CC} = 3.0V \sim 5.5V^{*5}$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ ^{*5}

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A* ⁴ 、B	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ 、 $V_{in} = 0.5 \sim V_{CCB} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	10		150	μA	$V_{in} = 0V$ $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{CCB} = 3.0V \sim 3.6V$	
	ポート A* ⁴ 、B、 ポート 6 (P6PUE = 0)		30		250			
	ポート 6 (P6PUE = 1)		3		70			
入力容量	RES	(4) C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI				50			
	P52、P97、P42、 P86、PA7 ~ PA2				20			
	上記(4)以外の入力端子				15			
消費電流* ²	通常動作時	I_{CC}		50	70	mA	$f = 10MHz$	
	スリープ時			40	60			$f = 10MHz$
	スタンバイ時* ³			0.01	5.0			μA
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA		
	A/D、D/A 変換待機時			0.01	5.0			μA
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0			μA
アナログ電源電圧* ¹		AV_{CC}	3.0		5.5	V	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		V_{RAM}	2.0			V		

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{CCB} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 $V_{RAM} = V_{CC} < 3.0V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{CCB} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。*4 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。*5 フラッシュメモリへの書き込み / 消去は $V_{CC} = 3.0V \sim 3.6V$ 、 $T_a = 0 \sim +75$ の範囲としてください。

表 26.4 出力許容電流値

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0、PS2AC ~ PS2CC、PS2AD ~ PS2CD、PA7 ~ PA4(バス駆動機能選択)	I_{OL}			20	mA
	ポート 1、2、3				10	
	\overline{RESO}				3	
	上記以外の出力端子				2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			80	mA
	上記を含む、全出力端子の総和				120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			40	mA

条件 : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0、PS2AC ~ PS2CC、PS2AD ~ PS2CD、PA7 ~ PA4(バス駆動機能選択)	I_{OL}			10	mA
	ポート 1、2、3				2	
	\overline{RESO}				1	
	上記以外の出力端子				1	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			40	mA
	上記を含む、全出力端子の総和				60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 26.4 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 26.1、図 26.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

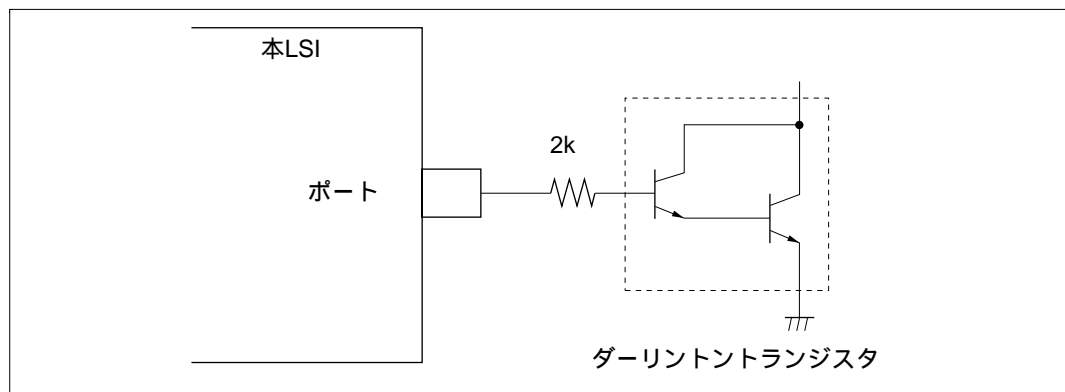


図 26.1 ダーリントトランジスタ駆動回路例

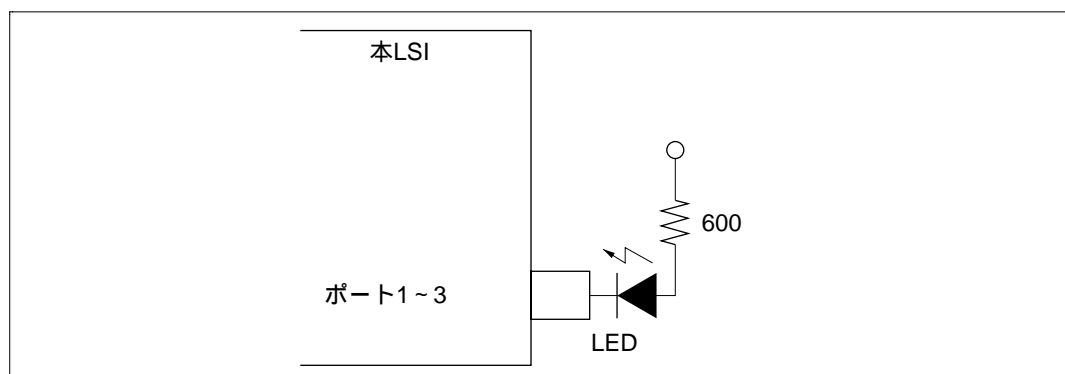


図 26.2 LED 駆動回路例

表 26.5 バス駆動特性

条件 : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$

対象端子 : SCL1 ~ SCL0、SDA1 ~ SDA0 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
シュミット	V_T^-	$V_{CC} \times 0.3$			V	$V_{CC} = 3.0V \sim 5.5V$
トリガ入力電圧	V_T^+			$V_{CC} \times 0.7$		$V_{CC} = 3.0V \sim 5.5V$
	$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				$V_{CC} = 3.0V \sim 5.5V$
入力 High レベル電圧	V_{IH}	$V_{CC} \times 0.7$		$V_{CC} + 0.5$	V	$V_{CC} = 3.0V \sim 5.5V$
入力 Low レベル電圧	V_{IL}	-0.5		$V_{CC} \times 0.3$	V	$V_{CC} = 3.0V \sim 5.5V$
出力 Low レベル電圧	V_{OL}			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$
入力容量	C_{in}			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステート リーク電流 (オフ状態)	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	t_{of}	$20 + 0.1Cb$		250	ns	$V_{CC} = 3.0V \sim 5.5V$

条件 : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$

対象端子 : PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD

PA7 ~ PA4 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	V_{OL}			0.8	V	$I_{OL} = 16mA$ 、 $V_{CCB} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$

26.2.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、および内蔵周辺機能タイミングを以下に示します。

AC 特性測定条件は図 26.4 を参照してください。

(1) クロックタイミング

表 26.6 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック () 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 24 章 クロック発振器」を参照してください。

表 26.6 クロックタイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
クロックサイクル時間	t_{cyc}	100	500	62.5	500	50	500	ns	図 26.5
クロックハイレベルパルス幅	t_{CH}	30		20		17		ns	図 26.5
クロックローレベルパルス幅	t_{CL}	30		20		17		ns	
クロック立ち上がり時間	t_{Cr}		20		10		8	ns	
クロック立ち下がり時間	t_{Cf}		20		10		8	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		10		10		ms	図 26.6
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8		8		8		ms	図 26.7
外部クロック出力安定遅延時間	t_{DEXT}	500		500		500		μs	

(2) 制御信号タイミング

表 26.7 に制御信号タイミングを示します。サブクロック (= 32.768kHz) で動作可能な外部割込みは、NMI、IRQ0 ~ 2、6、7 のみです。

表 26.7 制御信号タイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、
= 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	300		200		200		ns	図 26.8
RES パルス幅	t_{RESW}	20		20		20		t_{cyc}	
NMI セットアップ時間 (NMI)	t_{NMIS}	250		150		150		ns	図 26.9
NMI ホールド時間 (NMI)	t_{NMIH}	10		10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		200		200		ns	
IRQ セットアップ時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQS}	250		150		150		ns	
IRQ ホールド時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQH}	10		10		10		ns	
IRQ パルス幅 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}$) (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200		200		200		ns	

(3) バスタイミング

表 26.8 にバスタイミングを示します。サブクロック (= 32.768kHz) 動作では、外部拡張モードの動作は保証されません。

表 26.8 バスタイミング (1) (ノーマルモード使用時)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CC}B = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC}B = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CC}B = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
アドレス遅延時間	t_{AD}		40		30		20	ns	図 26.10 ~ 図 26.14
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
CS 遅延時間 (IOS)	t_{CSD}		40		30		20	ns	
AS 遅延時間	t_{ASD}		60		45		30	ns	
RD 遅延時間 1	t_{RSD1}		60		45		30	ns	
RD 遅延時間 2	t_{RSD2}		60		45		30	ns	
リードデータセットアップ時間	t_{RDS}	35		20		15		ns	
リードデータホールド時間	t_{RDH}	0		0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 60$		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 60$		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 30$	ns	
WR 遅延時間 1	t_{WRD1}		60		45		30	ns	
WR 遅延時間 2	t_{WRD2}		60		45		30	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		60		45		30	ns	
ライトデータセットアップ時間	t_{WDS}	0		0		0		ns	
ライトデータホールド時間	t_{WDH}	20		15		10		ns	
WAIT セットアップ時間	t_{WTS}	60		45		30		ns	
WAIT ホールド時間	t_{WTH}	10		5		5		ns	

表 26.8 バスタイミング (2) (アドバンスモード使用時)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
アドレス遅延時間	t_{AD}		60		45		30	ns	図 26.10 ~ 図 26.14
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 50$		$0.5 \times t_{cyc} - 35$		$0.5 \times t_{cyc} - 25$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
\overline{CS} 遅延時間 (\overline{IOS})	t_{CSD}		60		45		30	ns	
\overline{AS} 遅延時間	t_{ASD}		60		45		30	ns	
\overline{RD} 遅延時間 1	t_{RSD1}		60		45		30	ns	
\overline{RD} 遅延時間 2	t_{RSD2}		60		45		30	ns	
リードデータセットアップ時間	t_{RDS}	35		20		15		ns	
リードデータホールド時間	t_{RDH}	0		0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 80$		$1.0 \times t_{cyc} - 55$		$1.0 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 80$		$2.0 \times t_{cyc} - 55$		$2.0 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 80$		$3.0 \times t_{cyc} - 55$		$3.0 \times t_{cyc} - 40$	ns	
\overline{WR} 遅延時間 1	t_{WRD1}		60		45		30	ns	
\overline{WR} 遅延時間 2	t_{WRD2}		60		45		30	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		60		45		30	ns	
ライトデータセットアップ時間	t_{WDS}	0		0		0		ns	
ライトデータホールド時間	t_{WDH}	20		15		10		ns	
WAIT セットアップ時間	t_{WTS}	60		45		30		ns	
WAIT ホールド時間	t_{WTH}	10		5		5		ns	

(4) 内蔵周辺モジュールタイミング

表 26.9~表 26.11 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 (= 32.768kHz) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割込み (NMI、IRQ0~2、6、7)、ウォッチドッグタイマ、8ビットタイマ (チャンネル0、1) のみです。

表 26.9 内蔵周辺モジュールタイミング (1)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、
= 32.768kHz*1、2MHz~最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz*1、2MHz~最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz*1、2MHz~最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件		
		10MHz		16MHz		20MHz					
		min	max	min	max	min	max				
I/O ポート	出力データ遅延時間	t_{PWD}		100		50		50	ns	図 26.15	
	入力データセットアップ時間	t_{PRS}	50		30		30				
	入力データホールド時間	t_{PRH}	50		30		30				
FRT	タイマ出力遅延時間	t_{FTOD}		100		50		50	ns	図 26.16	
	タイマ入力セットアップ時間	t_{FTIS}	50		30		30				
	タイマクロック入力セットアップ時間	t_{FTCS}	50		30		30				
	タイマクロック パルス幅	単エッジ指定 t_{FTCWH} 両エッジ指定 t_{FTCWL}	1.5 2.5		1.5 2.5		1.5 2.5				t_{cyc}
TMR	タイマ出力遅延時間	t_{TMOD}		100		50		50	ns	図 26.18 図 26.20 図 26.19	
	タイマリセット入力セットアップ時間	t_{TMRS}	50		30		30				
	タイマクロック入力セットアップ時間	t_{TMCS}	50		30		30				
	タイマクロック パルス幅	単エッジ指定 t_{TMCWH} 両エッジ指定 t_{TMCWL}	1.5 2.5		1.5 2.5		1.5 2.5				t_{cyc}
	タイマ出力遅延時間	t_{PWOD}		100		50		50			ns
PWM、 PWMX	パルス出力遅延時間	t_{PWOD}		100		50		50	ns	図 26.21	
	SCI 入クロック サイクル	調歩同期	t_{Soyc}	4	4	4	4	4	t_{cyc}	図 26.22	
		クロック同期		6	6	6	6				
	入クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t_{Soyc}		
	入クロック立ち上がり時間	t_{SCKr}		1.5		1.5		1.5	t_{cyc}		
	入クロック立ち下がり時間	t_{SCKf}		1.5		1.5		1.5	t_{cyc}		
	送信データ遅延時間 (クロック同期)	t_{TXD}		100		50		50	ns		図 26.23
受信データセットアップ時間 (クロック同期)	t_{RXS}	100		50		50					
受信データホールド時間 (クロック同期)	t_{RXH}	100		50		50					
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	50		30		30		ns	図 26.24	
WDT	RESO 出力遅延時間	t_{RESD}		200		120		100	ns	図 26.25	
	RESO 出力パルス幅	t_{RESOW}	132		132		132				t_{cyc}

【注】 *1 サブクロック動作時に使用可能な内蔵周辺モジュールのみ

表 26.9 内蔵周辺モジュールタイミング (2)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数
 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件	
		10MHz		16MHz		20MHz				
		min	max	min	max	min	max			
HIF リード サイク ル	$\overline{CS}/HA0$ セットアップ時間	t_{HAR}	10		10		10		図 26.26	
	$\overline{CS}/HA0$ ホールド時間	t_{HRA}	10		10		10			
	$\overline{IO\overline{R}}$ パルス幅	t_{HRPW}	220		120		120			
	HDB 遅延時間	t_{HRD}		200		100		100		
	HDB ホールド時間	t_{HRF}	0	40	0	25	0	25		
	HIRQ 遅延時間	t_{HIRO}		200		120		120		
HIF ライト サイク ル	$\overline{CS}/HA0$ セットアップ時間	t_{HAW}	10		10		10		図 26.26	
	$\overline{CS}/HA0$ ホールド時間	t_{HWA}	10		10		10			
	$\overline{IO\overline{W}}$ パルス幅	t_{HWPW}	100		60		60			
	HDB セット アップ時間	高速 GATE A20 を使用しない	t_{HDW}	50		30		30		
		高速 GATE A20 を使用する		85		55		45		
	HDB ホールド時間	t_{HWD}	25		15		15			
	GA20 遅延時間	t_{HGA}		180		90		90		

表 26.10 キーボードバッファコントローラタイミング

条件: $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
KCLK、KD 出力立ち下がり時間	t_{KBF}	$20 + 0.1C_b$		250	ns		図 26.27
KCLK、KD 入力データ ホールド時間	t_{KBIH}	150			ns		
KCLK、KD 入力データ セットアップ時間	t_{KBIS}	150			ns		
KCLK、KD 出力遅延時間	t_{KBOD}			450	ns		
KCLK、KD の容量性負荷	C_b			400	pF		

表 26.11 I²C バスタイミング条件: $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 5MHz \sim$ 最大動作周波数

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL 入力サイクル時間	t_{SCL}	12			t_{cyc}		図 26.28
SCL 入力 High パルス幅	t_{SCLH}	3			t_{cyc}		
SCL 入力 Low パルス幅	t_{SCLL}	5			t_{cyc}		
SCL、SDA 入力立ち上がり 時間	t_{Sr}			7.5^{*1}	t_{cyc}		
SCL、SDA 入力立ち下がり 時間	t_{Sf}			300	ns		
SCL、SDA 入力 スパイクパルス除去時間	t_{SP}			1	t_{cyc}		
SDA 入力バスフリー時間	t_{BUF}	5			t_{cyc}		
開始条件入力ホールド時間	t_{STAH}	3			t_{cyc}		
再送開始条件入力 セットアップ時間	t_{STAS}	3			t_{cyc}		
停止条件入力 セットアップ時間	t_{STOS}	3			t_{cyc}		
データ入力セットアップ時間	t_{SDAS}	0.5			t_{cyc}		
データ入力ホールド時間	t_{SDAH}	0			ns		
SCL、SDA の容量性負荷	C_b			400	pF		

【注】 *1 I²C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$ とすることが可能です。詳細は「16.4 使用上の注意」を参照してください。

26.2.4 A/D 変換特性

A/D 変換特性を表 26.12、表 26.13 に示します。

表 26.12 A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*5			13.4			8.4			6.7	μs
アナログ入力容量			20			20			20	pF
許容信号源			10^{*1}			10^{*3}			10^{*3}	k
インピーダンス			5^{*2}			5^{*4}			5^{*4}	
非直線性誤差			± 7.0			± 3.0			± 3.0	LSB
オフセット誤差			± 7.5			± 3.5			± 3.5	LSB
フルスケール誤差			± 7.5			± 3.5			± 3.5	LSB
量子化誤差			± 0.5			± 0.5			± 0.5	LSB
絶対精度			± 8.0			± 4.0			± 4.0	LSB

【注】 *1 4.0V $AV_{CC} = 5.5V$ のとき

*2 3.0V $AV_{CC} < 4.0V$ のとき

*3 変換時間 11.17 μs (CKS=1 で 12MHz、または CKS=0) のとき

*4 変換時間 < 11.17 μs (CKS=1 で > 12MHz) のとき

*5 シングルモードで最大動作周波数のとき

表 26.13 A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*5			13.4			8.4			6.7	μs
アナログ入力容量			20			20			20	pF
許容信号源			10^{*1}			10^{*3}			10^{*3}	k
インピーダンス			5^{*2}			5^{*4}			5^{*4}	
非直線性誤差			± 11.0			± 5.0			± 5.0	LSB
オフセット誤差			± 11.5			± 5.5			± 5.5	LSB
フルスケール誤差			± 11.5			± 5.5			± 5.5	LSB
量子化誤差			± 0.5			± 0.5			± 0.5	LSB
絶対精度			± 12.0			± 6.0			± 6.0	LSB

【注】 *1 4.0V $AV_{CC} = 5.5V$ のとき

*2 3.0V $AV_{CC} < 4.0V$ のとき

*3 変換時間 11.17 μs (CKS=1 で 12MHz、または CKS=0) のとき

*4 変換時間 $< 11.17 \mu s$ (CKS=1 で $> 12MHz$) のとき

*5 シングルモードで最大動作周波数のとき

26.2.5 D/A 変換特性

D/A 変換特性を表 26.14 に示します。

表 26.14 D/A 変換特性

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目		条件 C			条件 B			条件 A			単位
		10MHz			16MHz			20MHz			
		min	typ	max	min	typ	max	min	typ	max	
分解能		8			8			8			ビット
変換時間	負荷容量 20pF			10			10			10	μs
絶対精度	負荷抵抗 2M		± 2.0	± 3.0		± 1.0	± 1.5		± 1.0	± 1.5	LSB
	負荷抵抗 4M			± 2.0			± 1.0			± 1.0	

26.2.6 フラッシュメモリ特性

表 26.15 にフラッシュメモリ特性を示します。

表 26.15 フラッシュメモリ特性（書き込み / 消去時の動作範囲）

5V 版条件： $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、

$T_a = 0 \sim +75$ （通常仕様品）、 $T_a = 0 \sim +85$ （広温度範囲仕様品）

3V 版条件： $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 0 \sim +75$

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間 ^{*1*2*4}		tP		10	200	ms/ 32 バイト	
消去時間 ^{*1*3*6}		tE		100	1200	ms/ブロック	
書き替え回数		NWEC			100	回	
書き込み時	SWE-bit セット後のウェイト時間 ^{*1}	x	10			μs	
	PSU-bit セット後のウェイト時間 ^{*1}	y	50			μs	
	P-bit セット後のウェイト時間 ^{*1*4}	z	150		200	μs	
	P-bit クリア後のウェイト時間 ^{*1}		10			μs	
	PSU-bit クリア後のウェイト時間 ^{*1}		10			μs	
	PV-bit セット後のウェイト時間 ^{*1}		4			μs	
	ダミーライト後のウェイト時間 ^{*1}		2			μs	
	PV-bit クリア後のウェイト時間 ^{*1}		4			μs	
	最大書き込み回数 ^{*1*4*5}	N			1000	回	z = 200 μs のとき
消去時	SWE-bit セット後のウェイト時間 ^{*1}	x	10			μs	
	ESU-bit セット後のウェイト時間 ^{*1}	y	200			μs	
	E-bit セット後のウェイト時間 ^{*1*6}	z	5		10	ms	
	E-bit クリア後のウェイト時間 ^{*1}		10			μs	
	ESU-bit クリア後のウェイト時間 ^{*1}		10			μs	
	EV-bit セット後のウェイト時間 ^{*1}		20			μs	
	ダミーライト後のウェイト時間 ^{*1}		2			μs	
	EV-bit クリア後のウェイト時間 ^{*1}		5			μs	
	最大消去回数 ^{*1*6*7}	N			120	回	z = 10ms のとき

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い行ってください。

*2 32 バイト当たりの書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）

*3 1 ブロックを消去する時間（フラッシュメモリコントロールレジスタ（FLMCR1）の E-bit をセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）

*4 書き込み時間の最大値（tP（max））

$$tP(\max) = \text{P-bit セット後のウェイト時間 (z)} \times \text{最大書き込み回数 (N)}$$

*5 P-bit セット後のウェイト時間 (z) = 200 μ s 時の回数です。書き込み回数は、実際の (z) の設定値に合わせ、書き込み時間の最大値 (tP (max)) 以下となるよう設定してください。

*6 消去時間の最大値 (tE (max))

$$tE (max) = E\text{-bit セット後のウェイト時間 (z) } \times \text{最大消去回数 (N)}$$

*7 E-bit セット後のウェイト時間 (z) = 10ms 時の回数です。消去回数は、実際の (z) の設定値に合わせ、消去時間の最大値 (tE (max)) 以下となるよう設定してください。

26.2.7 使用上の注意

(1) F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

(2) 内部降圧品への切り替え

H8S/2148 F-ZTAT は、内部降圧機能はサポートしていません。

内部降圧対応の F-ZTAT 版あるいは内部降圧対応のマスク ROM 版に切り替えを行う場合には、VCC2 端子は、内部降圧品の VCL 端子と同じピン配置になります。このため、基板パターンを設計する場合には切り替え前後の回路の違いを考慮する必要がありますので、ご注意願います。

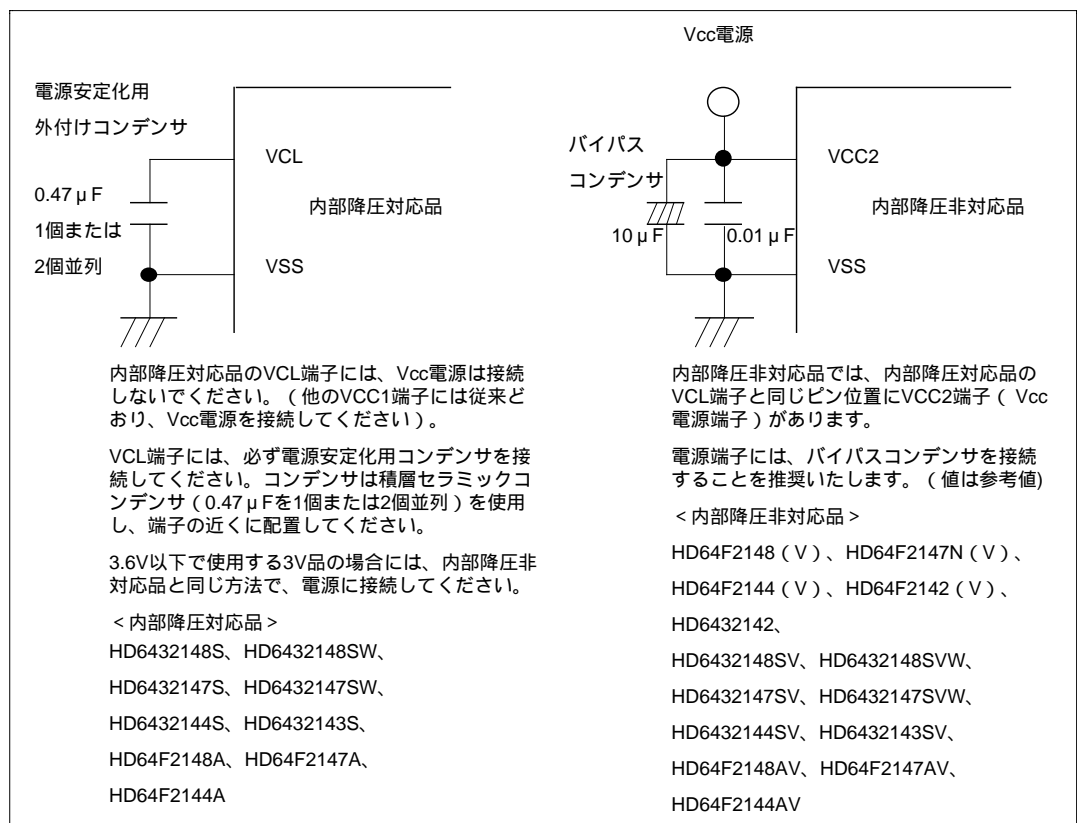


図 26.3 内部降圧対応マスク ROM 品の VCL コンデンサ接続方法と内部降圧非対応品との違い

26.3 H8S/2148 F-ZTAT (A マスク品)、 H8S/2147 F-ZTAT (A マスク品)、 H8S/2148 マスク ROM 品、 H8S/2147 マスク ROM 品の電気的特性

26.3.1 絶対最大定格

絶対最大定格を表 26.16 に示します。

表 26.16 絶対最大定格 暫定

項目	記号	定格値	単位
電源電圧* ¹	V_{CC}	-0.3 ~ +7.0	V
入出力バッファ用電源電圧 (ポート A 用電源)	V_{CCB}	-0.3 ~ +7.0	V
電源電圧 (3V 品)* ¹	V_{CC}	-0.3 ~ +4.3	V
電源電圧 (VCL 端子)* ²	V_{CL}	-0.3 ~ +4.3	V
入力電圧 (ポート 6、7、A 以外)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート A で CIN 入力非選択時)	V_{in}	-0.3 ~ $V_{CCB} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート A で CIN 入力選択時)	V_{in}	-0.3 ~ $V_{CCB} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート 7)	V_{in}	-0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ電源電圧 (3V 品)	AV_{CC}	-0.3 ~ +4.3	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品: -20 ~ +75 広温度範囲仕様品: -40 ~ +85	
動作温度 (FLASH メモリ書込み / 消去時)	T_{opr}	通常仕様品: -20 ~ +75 広温度範囲仕様品: -40 ~ +85	
保存温度	T_{slg}	-55 ~ +125	

【使用上の注意】

- 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
- 5V / 4V 品の入力端子への印加電圧は、最大でも 7.0V 以下としてください。また、3V 品の入力端子 (ポート A を除く) への印加電圧は、最大でも 4.3V 以下としてください。

*1 VCC1 端子への印加電圧です。

低電圧品（3V 品）では VCC1 端子と VCL 端子とともに V_{CC} 電源に接続して使用するため、絶対に V_{CL} の定格値を超えないようにしてください。

*2 チップ内部の動作電源電圧端子です。

5V 品 / 4V 品では VCL 端子には電源電圧を印加しないでください。VCL 端子と GND との間には、内部電圧安定化のため必ず外付けのコンデンサを接続してください。

26.3.2 DC 特性

DC 特性を表 26.17 に示します。また、出力許容電流値、バス駆動特性をそれぞれ表 26.18、表 26.19 に示します。

表 26.17 DC 特性 (1)

暫定

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件			
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) *2*6、 KIN15 ~ KIN8*7*8、 IRQ2 ~ IRQ0*3、 IRQ5 ~ IRQ3	(1)	V_T^-	1.0		V				
			V_T^+					$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
			$V_T^+ - V_T^-$	0.4						
シュミット トリガ入力電圧 (レベル 切替時)*6	P67 ~ P60 (KWUL = 01)	(2)	V_T^-	$V_{CC} \times 0.3$		V				
			V_T^+					$V_{CC} \times 0.7$		
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$						
	P67 ~ P60 (KWUL = 10)		V_T^-	$V_{CC} \times 0.4$				V		
			V_T^+							$V_{CC} \times 0.8$
			$V_T^+ - V_T^-$	$V_{CC} \times 0.03$						
	P67 ~ P60 (KWUL = 11)		V_T^-	$V_{CC} \times 0.45$				V		
V_T^+				$V_{CC} \times 0.9$						
$V_T^+ - V_T^-$		0.05								
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0	(2)	V_{IH}	$V_{CC} - 0.7$		V				
	EXTAL			$V_{CC} \times 0.7$	$V_{CC} + 0.3$					
	PA7 ~ PA0*7			$V_{CCB} \times 0.7$	$V_{CCB} + 0.3$					
	ポート 7			2.0	$AV_{CC} + 0.3$					
	上記(1)(2)以外の入力端子			2.0	$V_{CC} + 0.3$					
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0	(3)	V_{IL}	-0.3	0.5	V				
	PA7 ~ PA0			-0.3	1.0					
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3	0.8					
出力 High レベル電圧	全出力端子 (P97、P52 を除く*4)*5*8	V_{OH}		$V_{CC} - 0.5$		V	$I_{OH} = -200 \mu A$			
				$V_{CCB} - 0.5$						
	P97、P52*4			3.5				V	$I_{OH} = -1mA$	
出力 Low レベル電圧	全出力端子(RESO を除く)*5	V_{OL}			0.4	V	$I_{OL} = 1.6mA$			
				ポート 1、2、3				1.0	V	$I_{OL} = 10mA$
				RESO				0.4	V	$I_{OL} = 2.6mA$

- 【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源(V_{CC})に接続するなどの方法で2.0V~5.5Vの範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。
- *2 P67~P60にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。
- *4 H8S/2148シリーズでは、P52/SCK0/SCL0、P97/SDA0はNMOSプッシュプル出力です。
SCL0、SDA0(ICE=1)からHighレベル出力するためにはプルアップ抵抗を外付けする必要があります。
H8S/2148シリーズでは、P52/SCK0、P97(ICE=0)のHighレベルはNMOSで駆動されます。
- *5 IICS=0、ICE=0およびKBIOE=0の場合です。パス駆動機能を選択した場合のLowレベル出力は別途定めます。
- *6 ポート6の印加電圧の上限は、CIN入力非選択時は $V_{CC}+0.3V$ 、CIN入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *7 ポートAの印加電圧の上限は、CIN入力非選択時は $V_{CCB}+0.3V$ 、CIN入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *8 ポートAの特性は、 V_{CCB} 依存、その他の端子の特性は、 V_{CC} 依存です。

表 26.17 DC 特性 (2)

暫定

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	ポート 8、9、A* ⁴ 、B						$V_{in} = 0.5 \sim V_{CCB} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	30		300	μA	$V_{in} = 0V$	
	ポート A* ⁴ 、B、 ポート 6 (P6PUE = 0)		60		600			
	ポート 6 (P6PUE = 1)		15		200			
入力容量	RES	(4)	C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI					50		
	P52、P97、P42、 P86、PA7 ~ PA2					20		
	上記(4)以外の入力端子					15		
消費電流* ²	通常動作時	I_{CC}		55	70	mA	$f = 20MHz$	
	スリープ時			36	55		$f = 20MHz$	
	スタンバイ時* ³			1.0	5.0		$T_a = 50$	
					20.0		$50 < T_a$	
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA		
	A/D、D/A 変換待機時			0.01	5.0		μA	$AV_{CC} = 2.0V \sim 5.5V$
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0		μA	$AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧* ¹		AV_{CC}	4.5		5.5	V	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		V_{RAM}	2.0			V		

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 V_{RAM} $V_{CC} < 4.5V$ のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$ とした場合の値です。*4 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。

表 26.17 DC 特性 (3)

暫定

条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件			
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) ^{*2*6} 、 KIN15 ~ KIN8 ^{*7*8} 、 IRQ2 ~ IRQ0 ^{*3} 、 IRQ5 ~ IRQ3	(1)	V_T^-	1.0			V	$V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$		
			V_T^+			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$				
			$V_T^+ - V_T^-$	0.4						
					V_T^-	0.8			V	$V_{CC} = 4.0V \sim 4.5V$ 、 $V_{CCB} = 4.0V \sim 4.5V$
					V_T^+			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
					$V_T^+ - V_T^-$	0.3				
シュミット トリガ入力電圧 (レベル 切替時) ^{*6}	P67 ~ P60 (KWUL = 01)	(1)	V_T^-	$V_{CC} \times 0.3$			V	$V_{CC} = 4.0V \sim 5.5V$		
			V_T^+			$V_{CC} \times 0.7$				
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$						
	P67 ~ P60 (KWUL = 10)		V_T^-	$V_{CC} \times 0.4$						
			V_T^+			$V_{CC} \times 0.8$				
			$V_T^+ - V_T^-$	$V_{CC} \times 0.03$						
	P67 ~ P60 (KWUL = 11)		V_T^-	$V_{CC} \times 0.45$						
			V_T^+			$V_{CC} \times 0.9$				
$V_T^+ - V_T^-$		0.05								
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0 EXTAL PA7 ~ PA0 ^{*7} ポート 7 上記(1)(2)以外の入力端子	(2)	V_{IH}	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V			
				$V_{CC} \times 0.7$		$V_{CC} + 0.3$				
				$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$				
				2.0		$AV_{CC} + 0.3$				
				2.0		$V_{CC} + 0.3$				
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0 PA7 ~ PA0 NMI、EXTAL ほか、 上記(1)(3)以外の入力端子	(3)	V_{IL}	-0.3		0.5	V	$V_{CCB} = 4.5V \sim 5.5V$ $V_{CCB} = 4.0V \sim 4.5V$		
				-0.3		1.0				
				-0.3		0.8				
				-0.3		0.8				

項目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子 (P97、P52 を除く)* ⁴)* ⁵ * ⁸	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
			$V_{CCB} - 0.5$			V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$
			3.5			V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$
						V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.0V \sim 4.5V$ 、 $V_{CCB} = 4.0V \sim 4.5V$
	P97、P52* ⁴		1.5			V	$I_{OH} = -200 \mu A$
出力 Low レベル電圧	全出力端子(\overline{RESO} を除く)* ⁵	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3				1.0	V	$I_{OL} = 10mA$
	\overline{RESO}				0.4	V	$I_{OL} = 2.6mA$

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、AV_{ref} AV_{CC} としてください。

*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

*3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。

*4 H8S/2148 シリーズでは、P52/SCK0/SCL0、P97/SDA0 は NMOS プッシュプル出力です。

SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

H8S/2148 シリーズでは、P52/SCK0、P97 (ICE=0) の High レベルは NMOS で駆動されます。

*5 IICS=0、ICE=0 および KBIOE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

*6 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

*7 ポート A の印加電圧の上限は、CIN 入力非選択時は $V_{CCB}+0.3V$ 、CIN 入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

*8 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。

表 26.17 DC 特性 (4)

暫定

条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	\overline{RES}	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	\overline{STBY} 、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A*4、B	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ 、 $V_{in} = 0.5 \sim V_{CCB} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	30		300	μA	$V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$
	ポート A*4、B、 ポート 6 (P6PUE = 0)		60		600		
	ポート 6 (P6PUE = 1)		15		200		
	ポート 1 ~ 3		20		200	μA	$V_{in} = 0V$ 、 $V_{CC} = 4.0V \sim 4.5V$ 、 $V_{CCB} = 4.0V \sim 4.5V$
	ポート A*4、B、 ポート 6 (P6PUE = 0)		40		500		
	ポート 6 (P6PUE = 1)		10		150		
入力容量	\overline{RES}	C_{in}			80	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				50		
	P52、P97、P42、 P86、PA7 ~ PA2				20		
	上記(4)以外の入力端子				15		
消費電流*2	通常動作時	I_{CC}		45	58	mA	$f = 16MHz$
	スリープ時			30	46		
	スタンバイ時*3			1.0	5.0	μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0		
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA	
	A/D、D/A 変換中			2.0	5.0		
	A/D、D/A 変換待機時			0.01	5.0	μA	$AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧*1		AV_{CC}	4.0		5.5	V	動作時
			2.0		5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0			V	

- 【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源(V_{CC})に接続するなどの方法で2.0V~5.5Vの範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。
- *2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- *3 V_{RAM} $V_{CC} < 4.0V$ のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$ とした場合の値です。
- *4 ポートAの特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。

表 26.17 DC 特性 (5)

暫定

条件 : $V_{CC} = 2.7V \sim 3.6V$ *9、 $V_{CCB} = 2.7V \sim 5.5V$ 、 AV_{CC} *1 = $2.7V \sim 3.6V$ 、

AV_{ref} *1 = $2.7V \sim 3.6V$ 、 $V_{SS} = AV_{SS}$ *1 = $0V$ 、 $T_a = -20 \sim +75$

項目			記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) *2*6、 KIN15 ~ KIN8*7*8、 IRQ2 ~ IRQ0*3、 IRQ5 ~ IRQ3	(1)	V_T^-	$V_{CC} \times 0.2$ $V_{CCB} \times 0.2$			V		
			V_T^+			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$ $V_{CCB} \times 0.05$					
シュミット トリガ入力電圧 (レベル 切替時) *6	P67 ~ P60 (KWUL = 01)		V_T^-	$V_{CC} \times 0.3$			V		
			V_T^+			$V_{CC} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$					
	P67 ~ P60 (KWUL = 10)		V_T^-	$V_{CC} \times 0.4$			V		
			V_T^+			$V_{CC} \times 0.8$			
	P67 ~ P60 (KWUL = 11)			$V_T^+ - V_T^-$	$V_{CC} \times 0.03$			V	
				V_T^-	$V_{CC} \times 0.45$				
V_T^+						$V_{CC} \times 0.9$			
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0 EXTAL PA7 ~ PA0*7 ポート 7 上記(1)(2)以外の入力端子	(2)	V_{IH}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V		
				$V_{CC} \times 0.7$		$V_{CC} + 0.3$			
				$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$			
				$V_{CC} \times 0.7$		$AV_{CC} + 0.3$			
				$V_{CC} \times 0.7$		$V_{CC} + 0.3$			
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0 PA7 ~ PA0 NMI、EXTAL ほか、 上記(1)(3)以外の入力端子	(3)	V_{IL}	-0.3		$V_{CC} \times 0.1$	V	$V_{CCB} = 2.7V \sim 4.0V$	
				-0.3		$V_{CCB} \times 0.2$		$V_{CCB} = 4.0V \sim 5.5V$	
				-0.3		$V_{CC} \times 0.2$		$V_{CC} = 2.7V \sim 3.6V$	
出力 High レベル電圧	全出力端子 (P97、P52 を除く *4) *5*8		V_{OH}	$V_{CC} - 0.5$ $V_{CCB} - 0.5$			V	$I_{OH} = -200 \mu A$	
				$V_{CC} - 1.0$ $V_{CCB} - 1.0$				$I_{OH} = -1mA$ ($V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 4.0V$)	
	P97、P52*4			0.5			V	$I_{OH} = -200 \mu A$	
出力 Low レベル電圧	全出力端子 (RES0 を除く) *5 ポート 1、2、3 RES0		V_{OL}			0.4	V	$I_{OL} = 1.6mA$	
						1.0		$I_{OL} = 5mA$	
						0.4		$I_{OL} = 1.6mA$	

- 【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源(V_{CC})に接続するなどの方法で2.0V~3.6Vの範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。
- *2 P67~P60にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。
- *4 H8S/2148シリーズでは、P52/SCK0/SCL0、P97/SDA0はNMOSプッシュプル出力です。
SCL0、SDA0(ICE=1)からHighレベル出力するためにはプルアップ抵抗を外付けする必要があります。
H8S/2148シリーズでは、P52/SCK0、P97(ICE=0)のHighレベルはNMOSで駆動されます。
- *5 IICS=0、ICE=0およびKBIOE=0の場合です。バス駆動機能を選択した場合のLowレベル出力は別途定めます。
- *6 ポート6の印加電圧の上限は、CIN入力非選択時は $V_{CC}+0.3V$ 、CIN入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *7 ポートAの印加電圧の上限は、CIN入力非選択時は $V_{CCB}+0.3V$ 、CIN入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *8 ポートAの特性は、 V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。
- *9 フラッシュメモリへの書き込み/消去動作は、 $V_{CC}=3.0V\sim 3.6V$ の範囲としてください。

表 26.17 DC 特性 (6)

暫定

条件: $V_{CC} = 2.7V \sim 3.6V^{*5}$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 3.6V$ 、 $AV_{ref}^{*1} = 2.7V \sim 3.6V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A* ⁴ 、B	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ 、 $V_{in} = 0.5 \sim V_{CCB} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	5		150	μA	$V_{in} = 0V$ $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 3.6V$	
	ポート A* ⁴ 、B、 ポート 6 (P6PUE = 0)		30		300			
	ポート 6 (P6PUE = 1)		3		100			
入力容量	RES	(4)	C_{in}		80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI				50			
	P52、P97、P42、 P86、PA7 ~ PA2				20			
	上記(4)以外の入力端子				15			
消費電流* ²	通常動作時	I_{CC}		30	40	mA	$f = 10MHz$	
	スリープ時			20	32			$f = 10MHz$
	スタンバイ時* ³			1.0	5.0			μA
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA		
	A/D、D/A 変換待機時			0.01	5.0			μA
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0			μA
アナログ電源電圧* ¹		AV_{CC}	2.7		3.6	V	動作時	
			2.0		3.6		待機時、非使用時	
RAM スタンバイ電圧		V_{RAM}	2.0			V		

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 3.6V の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 $V_{RAM} = V_{CC} < 2.7V$ のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$ とした場合の値です。*4 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。*5 フラッシュメモリへの書き込み / 消去は $V_{CC} = 3.0V \sim 3.6V$ の範囲としてください。

表 26.18 出力許容電流値

暫定

条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0、PS2AC ~ PS2CC、PS2AD ~ PS2CD、PA7 ~ PA4(バス駆動機能選択)	I_{OL}			20	mA
	ポート 1、2、3				10	
	\overline{RESO}				3	
	上記以外の出力端子				2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			80	mA
	上記を含む、全出力端子の総和				120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			40	mA

条件: $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0、PS2AC ~ PS2CC、PS2AD ~ PS2CD、PA7 ~ PA4(バス駆動機能選択)	I_{OL}			10	mA
	ポート 1、2、3				2	
	\overline{RESO}				1	
	上記以外の出力端子				1	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			40	mA
	上記を含む、全出力端子の総和				60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 26.18 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 26.1、図 26.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

表 26.19 バス駆動特性

暫定

条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$ (3V品)、 $V_{SS} = 0V$

対象端子：SCL1 ~ SCL0、SDA1 ~ SDA0 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
シュミット	V_T^-	$V_{CC} \times 0.3$			V	
トリガ入力電圧	V_T^+			$V_{CC} \times 0.7$		
	$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				
入力 High レベル電圧	V_{IH}	$V_{CC} \times 0.7$		$V_{CC} + 0.5$	V	
入力 Low レベル電圧	V_{IL}	-0.5		$V_{CC} \times 0.3$	V	
出力 Low レベル電圧	V_{OL}			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$
入力容量	C_{in}			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリープステート リーク電流 (オフ状態)	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	t_{of}	$20 + 0.1Cb$		250	ns	

条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$ (3V品)、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$

対象端子：PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD

PA7 ~ PA4 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	V_{OL}			0.8	V	$I_{OL} = 16mA$ 、 $V_{CCB} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$

26.3.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、および内蔵周辺機能タイミングを以下に示します。

AC 特性測定条件は図 26.4 を参照してください。

(1) クロックタイミング

表 26.20 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック () 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 24 章 クロック発振器」を参照してください。

表 26.20 クロックタイミング

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

$f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
クロックサイクル時間	t_{cyc}	100	500	62.5	500	50	500	ns	図 26.5
クロックハイレベルパルス幅	t_{CH}	30		20		17		ns	図 26.5
クロックローレベルパルス幅	t_{CL}	30		20		17		ns	
クロック立ち上がり時間	t_{Cr}		20		10		8	ns	
クロック立ち下がり時間	t_{Cf}		20		10		8	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		10		10		ms	図 26.6
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8		8		8		ms	図 26.7
外部クロック出力安定遅延時間	t_{DEXT}	500		500		500		μs	

(2) 制御信号タイミング

表 26.21 に制御信号タイミングを示します。サブクロック (= 32.768kHz) で動作可能な外部割込みは、NMI、IRQ0 ~ 2、6、7 のみです。

表 26.21 制御信号タイミング

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、
= 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	300		200		200		ns	図 26.8
RES パルス幅	t_{RESW}	20		20		20		t_{cyc}	
NMI セットアップ時間 (NMI)	t_{NMIS}	250		150		150		ns	図 26.9
NMI ホールド時間 (NMI)	t_{NMIH}	10		10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		200		200		ns	
IRQ セットアップ時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQS}	250		150		150		ns	
IRQ ホールド時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQH}	10		10		10		ns	
IRQ パルス幅 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}$) (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200		200		200		ns	

(3) バスタイミング

表 26.22 にバスタイミングを示します。サブクロック (= 32.768kHz) 動作では、外部拡張モードの動作は保証されません。

表 26.22 バスタイミング (1) (ノーマルモード使用時)

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	Max	min	max		
アドレス遅延時間	t_{AD}		40		30		20	ns	図 26.10 ~
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	図 26.14
\overline{CS} 遅延時間 (\overline{IOS})	t_{CSD}		40		30		20	ns	
\overline{AS} 遅延時間	t_{ASD}		60		45		30	ns	
\overline{RD} 遅延時間 1	t_{RSD1}		60		45		30	ns	
\overline{RD} 遅延時間 2	t_{RSD2}		60		45		30	ns	
リードデータセットアップ時間	t_{RDS}	35		20		15		ns	
リードデータホールド時間	t_{RDH}	0		0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 60$		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 60$		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 30$	ns	
\overline{WR} 遅延時間 1	t_{WRD1}		60		45		30	ns	
\overline{WR} 遅延時間 2	t_{WRD2}		60		45		30	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		60		45		30	ns	
ライトデータセットアップ時間	t_{WDS}	0		0		0		ns	
ライトデータホールド時間	t_{WDH}	20		15		10		ns	
WAIT セットアップ時間	t_{WTS}	60		45		30		ns	
WAIT ホールド時間	t_{WTH}	10		5		5		ns	

表 26.22 バスタイミング (2) (アドバンスモード使用時)

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
アドレス遅延時間	t_{AD}		60		45		30	ns	図 26.10 ~ 図 26.14
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 50$		$0.5 \times t_{cyc} - 35$		$0.5 \times t_{cyc} - 25$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
\overline{CS} 遅延時間 (\overline{IOS})	t_{CSD}		60		45		30	ns	
\overline{AS} 遅延時間	t_{ASD}		60		45		30	ns	
\overline{RD} 遅延時間 1	t_{RSD1}		60		45		30	ns	
\overline{RD} 遅延時間 2	t_{RSD2}		60		45		30	ns	
リードデータセットアップ時間	t_{RDS}	35		20		15		ns	
リードデータホールド時間	t_{RDH}	0		0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 80$		$1.0 \times t_{cyc} - 55$		$1.0 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 80$		$2.0 \times t_{cyc} - 55$		$2.0 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 80$		$3.0 \times t_{cyc} - 55$		$3.0 \times t_{cyc} - 40$	ns	
\overline{WR} 遅延時間 1	t_{WRD1}		60		45		30	ns	
\overline{WR} 遅延時間 2	t_{WRD2}		60		45		30	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		60		45		30	ns	
ライトデータセットアップ時間	t_{WDS}	0		0		0		ns	
ライトデータホールド時間	t_{WDH}	20		15		10		ns	
\overline{WAIT} セットアップ時間	t_{WTS}	60		45		30		ns	
\overline{WAIT} ホールド時間	t_{WTH}	10		5		5		ns	

(4) 内蔵周辺モジュールタイミング

表 26.23 ~ 表 26.25 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 (= 32.768kHz) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割込み (NMI、IRQ0 ~ 2、6、7)、ウォッチドッグタイマ、8 ビットタイマ (チャネル 0、1) のみです。

表 26.23 内蔵周辺モジュールタイミング (1) 暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、
= 32.768kHz*1、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz*1、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz*1、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件		
		10MHz		16MHz		20MHz					
		min	max	min	max	min	max				
I/O ポート	出力データ遅延時間	t_{PWD}		100		50		50	ns	図 26.15	
	入力データセットアップ時間	t_{PRS}	50		30		30				
	入力データホールド時間	t_{PRH}	50		30		30				
FRT	タイマ出力遅延時間	t_{FTOD}		100		50		50	ns	図 26.16	
	タイマ入力セットアップ時間	t_{FTIS}	50		30		30				
	タイマクロック入力セットアップ時間	t_{FTCS}	50		30		30		t_{cyc}	図 26.17	
	タイマクロック パルス幅	単エッジ指定	t_{FTCWH}	1.5		1.5		1.5			
		両エッジ指定	t_{FTCWL}	2.5		2.5		2.5			
TMR	タイマ出力遅延時間	t_{TMOD}		100		50		50	ns	図 26.18 図 26.20 図 26.19	
	タイマリセット入力セットアップ時間	t_{TMRS}	50		30		30				
	タイマクロック入力セットアップ時間	t_{TMCS}	50		30		30				
	タイマクロック パルス幅	単エッジ指定	t_{TMCWH}	1.5		1.5		1.5	t_{cyc}		
		両エッジ指定	t_{TMCWL}	2.5		2.5		2.5			
PWM、 PWMX	パルス出力遅延時間	t_{PWOD}		100		50		50	ns	図 26.21	
SCI	入力クロック サイクル	調歩同期	t_{Scyc}	4		4		4	t_{cyc}	図 26.22	
		クロック同期		6		6		6			
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間	t_{SCKr}		1.5		1.5		1.5	t_{cyc}		
	入力クロック立ち下がり時間	t_{SCKf}		1.5		1.5		1.5			
	送信データ遅延時間 (クロック同期)	t_{TXD}		100		50		50	ns		図 26.23
	受信データセットアップ時間 (クロック同期)	t_{RXS}	100		50		50				
受信データホールド時間 (クロック同期)	t_{RXH}	100		50		50					
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	50		30		30	ns	図 26.24		
WDT	RES0 出力遅延時間	t_{RESD}		200		120		100	ns	図 26.25	
	RES0 出力パルス幅	t_{RESOW}	132		132		132	t_{cyc}			

【注】 *1 サブクロック動作時に使用可能な内蔵周辺モジュールのみ

表 26.23 内蔵周辺モジュールタイミング (2)

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CC}B = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC}B = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CC}B = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件	
		10MHz		16MHz		20MHz				
		min	max	min	max	min	max			
HIF リード サイク ル	$\overline{CS}/HA0$ セットアップ時間	t_{HAR}	10		10		10		図 26.26	
	$\overline{CS}/HA0$ ホールド時間	t_{HRA}	10		10		10			
	$\overline{IO\overline{R}}$ パルス幅	t_{HRPW}	220		120		120			
	HDB 遅延時間	t_{HRD}		200		100		100		
	HDB ホールド時間	t_{HRF}	0	40	0	25	0	25		
	HIRQ 遅延時間	t_{HIQ}		200		120		120		
HIF ライト サイク ル	$\overline{CS}/HA0$ セットアップ時間	t_{HAW}	10		10		10		図 26.26	
	$\overline{CS}/HA0$ ホールド時間	t_{HWA}	10		10		10			
	$\overline{IO\overline{W}}$ パルス幅	t_{HWPW}	100		60		60			
	HDB セット アップ時間	t_{HDW}	高速 GATE A20 を使用しない	50		30		30		
			高速 GATE A20 を使用する	85		55		45		
	HDB ホールド時間	t_{HWD}	25		15		15			
	GA20 遅延時間	t_{HGA}		180		90		90		

表 26.24 キーボードバッファコントローラタイミング

暫定

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$ (3V品)、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
 $= 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
KCLK、KD 出力立ち下がり時間	t_{KBF}	$20 + 0.1Cb$		250	ns		図 26.27
KCLK、KD 入力データ ホールド時間	t_{KBIH}	150			ns		
KCLK、KD 入力データ セットアップ時間	t_{KBIS}	150			ns		
KCLK、KD 出力遅延時間	t_{KBOD}			450	ns		
KCLK、KD の容量性負荷	C_b			400	pF		

表 26.25 I²C バスタイミング

暫定

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$ (3V品)、 $V_{SS} = 0V$ 、
= 5MHz ~ 最大動作周波数

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL 入力サイクル時間	t_{SCL}	12			t_{cyc}		図 26.28
SCL 入力 High パルス幅	t_{SCLH}	3			t_{cyc}		
SCL 入力 Low パルス幅	t_{SCLL}	5			t_{cyc}		
SCL、SDA 入力立ち上がり時間	t_{Sr}			7.5* ¹	t_{cyc}		
SCL、SDA 入力立ち下がり時間	t_{Sf}			300	ns		
SCL、SDA 出力立ち下がり時間	t_{of}	20 + 0.1Cb		250	ns		
SCL、SDA 入力 スパイクパルス除去時間	t_{SP}			1	t_{cyc}		
SDA 入力バスフリー時間	t_{BUF}	5			t_{cyc}		
開始条件入力ホールド時間	t_{STAH}	3			t_{cyc}		
再送開始条件入力 セットアップ時間	t_{STAS}	3			t_{cyc}		
停止条件入力 セットアップ時間	t_{STOS}	3			t_{cyc}		
データ入力セットアップ時間	t_{SDAS}	0.5			t_{cyc}		
データ入力ホールド時間	t_{SDAH}	0			ns		
SCL、SDA の容量性負荷	C_b			400	pF		

【注】 *1 I²C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$ とすることが可能です。詳細は「16.4 使用上の注意」を参照してください。

26.3.4 A/D 変換特性

A/D 変換特性を表 26.26、表 26.27 に示します。

表 26.26 A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換)

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $AV_{CC} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*3			13.4			8.4			6.7	μs
アナログ入力容量			20			20			20	pF
許容信号源			5			10^{*1}			10^{*1}	k
インピーダンス				5^{*2}			5^{*2}			
非直線性誤差			± 7.0			± 3.0			± 3.0	LSB
オフセット誤差			± 7.5			± 3.5			± 3.5	LSB
フルスケール誤差			± 7.5			± 3.5			± 3.5	LSB
量子化誤差			± 0.5			± 0.5			± 0.5	LSB
絶対精度			± 8.0			± 4.0			± 4.0	LSB

【注】 *1 変換時間 11.17 μs (CKS=1 で 12MHz、または CKS=0) のとき

*2 変換時間 < 11.17 μs (CKS=1 で > 12MHz) のとき

*3 シングルモードで最大動作周波数のとき

表 26.27 A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換) 暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 3.6V^{*4}$ 、 $AV_{CC} = 3.0V \sim 3.6V^{*4}$ 、 $AV_{ref} = 3.0V \sim AV_{CC}^{*4}$ 、

$V_{CC}B = 3.0V \sim 5.5V^{*4}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*3			13.4			8.4			6.7	μs
アナログ入力容量			20			20			20	pF
許容信号源			5			10^{*1}			10^{*1}	k
インピーダンス							5^{*2}			
非直線性誤差			± 11.0			± 5.0			± 5.0	LSB
オフセット誤差			± 11.5			± 5.5			± 5.5	LSB
フルスケール誤差			± 11.5			± 5.5			± 5.5	LSB
量子化誤差			± 0.5			± 0.5			± 0.5	LSB
絶対精度			± 12.0			± 6.0			± 6.0	LSB

【注】 *1 変換時間 11.17 μs (CKS=1 で 12MHz、または CKS=0) のとき

*2 変換時間 < 11.17 μs (CKS=1 で > 12MHz) のとき

*3 シングルモードで最大動作周波数のとき

*4 CIN を使用する場合は、 $V_{CC} = 3.0V \sim 3.6V$ 、 $AV_{CC} = 3.0V \sim 3.6V$ 、 $AV_{ref} = 3.0V \sim 3.6V$ 、
 $V_{CC}B = 3.0V \sim 5.5V$ の範囲としてください。

26.3.5 D/A 変換特性

D/A 変換特性を表 26.28 に示します。

表 26.28 D/A 変換特性

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $AV_{CC} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位	
	10MHz			16MHz			20MHz				
	min	typ	max	min	typ	max	min	typ	max		
分解能	8			8			8			ビット	
変換時間	負荷容量 20pF		10			10			10	μs	
絶対精度	負荷抵抗 2M		± 2.0	± 3.0		± 1.0	± 1.5		± 1.0	± 1.5	LSB
	負荷抵抗 4M			± 2.0			± 1.0			± 1.0	

26.3.6 フラッシュメモリ特性

表 26.29 にフラッシュメモリ特性を示します。

表 26.29 フラッシュメモリ特性（書き込み / 消去時の動作範囲）

5V 版条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

暫定

$T_a = -20 \sim +75$ （通常仕様品）、 $T_a = -40 \sim +85$ （広温度範囲仕様品）

3V 版条件： $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min.	typ.	max.	単位	測定条件	
書き込み時間 ^{*1*2*4}	tP		10	200	ms/ 128 バイト		
消去時間 ^{*1*3*6}	tE		100	1200	ms/ブロック		
書き替え回数	NWEC			100	回		
書き込み時	SWE-bit セット後のウェイト時間 ^{*1}	x	1		μs		
	PSU-bit セット後のウェイト時間 ^{*1}	y	50		μs		
	P-bit セット後のウェイト時間 ^{*1*4}	z1	28	30	32	μs	1 n 6
		z2	198	200	202	μs	7 n 1000
		z3	8	10	12	μs	追加書き込み
	P-bit クリア後のウェイト時間 ^{*1}		5		μs		
	PSU-bit クリア後のウェイト時間 ^{*1}		5		μs		
	PV-bit セット後のウェイト時間 ^{*1}		4		μs		
	ダミーライト後のウェイト時間 ^{*1}		2		μs		
	PV-bit クリア後のウェイト時間 ^{*1}		2		μs		
	SWE-bit クリア後のウェイト時間 ^{*1}		100		μs		
	最大書き込み回数 ^{*1*4*5}	N			1000	回	
消去時	SWE-bit セット後のウェイト時間 ^{*1}	x	1		μs		
	ESU-bit セット後のウェイト時間 ^{*1}	y	100		μs		
	E-bit セット後のウェイト時間 ^{*1*6}	z	10		100	ms	
	E-bit クリア後のウェイト時間 ^{*1}		10		μs		
	ESU-bit クリア後のウェイト時間 ^{*1}		10		μs		
	EV-bit セット後のウェイト時間 ^{*1}		20		μs		
	H'FFダミーライト後のウェイト時間 ^{*1}		2		μs		
	EV-bit クリア後のウェイト時間 ^{*1}		4		μs		
	SWE-bit クリア後のウェイト時間 ^{*1}		100		μs		
	最大消去回数 ^{*1*6*7}	N			120	回	

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い行ってください。

*2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）

*3 1ブロックを消去する時間(フラッシュメモリコントロールレジスタ(FLMCR1)のE-bitをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。)

*4 書き込み時間の最大値(tP(max))

$$tP(max) = (P\text{-bit セット後のウェイト時間}(z1) + (z3)) \times 6 \\ + P\text{-bit セット後のウェイト時間}(z2) \times ((N) - 6)$$

*5 最大書き込み回数(N)は、実際の(z1、z2、z3)の設定値に合わせ、書き込み時間の最大値(tP(max))以下となるよう設定してください。また、P-bitセット後のウェイト時間(z1、z2、z3)は、下記のように書き込み回数(n)の値によって切り替えてください。

書き込み回数 n

$$1 \quad n \quad 6 \quad z1 = 30 \mu s, z3 = 10 \mu s$$

$$7 \quad n \quad 1000 \quad z2 = 200 \mu s$$

*6 消去時間の最大値(tE(max))

$$tE(max) = E\text{-bit セット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$

*7 最大消去回数(N)は、実際の(z)の設定値に合わせ、消去時間の最大値(tE(max))以下となるよう設定してください。

26.3.7 使用上の注意

(1) F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

(2) 内部降圧品

H8S/2148、H8S/2147、H8S/2144A の F-ZTAT A マスク品 (HD64F2148A、HD64F2147A、HD64F2144A) および H8S/2148、H8S/2147、H8S/2144、H8/2143 のマスク ROM 品 (HD6432148S、HD6432148SW、HD6432147S、HD6443147SW、HD6432144S、HD6432143S) は、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。

この内部降圧端子 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ (0.47 μ F を 1 個または 2 個並列) を接続する必要があります。

外付けコンデンサ接続方法は図 26.3 を参照してください。

電源 (V_{CC}) 電源が 3.6V を超える 5V 品および 4V 品の場合は、内部降圧製品の VCL 端子には、 V_{CC} 電源は接続しないでください。(VCC1 端子には従来どおり、 V_{CC} 電源を接続してください。)

また、電源 (V_{CC}) 電源が 3.6V 以下の 3V 品の場合は、VCL 端子には、VCC1 端子とともにシステムの電源に接続してください。

なお、内部降圧非対応の F-ZTAT 版から内部降圧対応のマスク ROM 版あるいは F-ZTAT A マスク品に切り替えを行う場合には、VCL 端子は、内部降圧非対応品の VCC2 端子と同じピン配置になります。このため、基板パターンを設計する場合には切り替え前後の回路の違いを考慮する必要がありますので、ご注意願います。

26.4 H8S/2147N F-ZTAT の電気的特性

26.4.1 絶対最大定格

絶対最大定格を表 26.30 に示します。

表 26.30 絶対最大定格

項目	記号	定格値	単位
電源電圧*1	V_{CC}	-0.3 ~ +7.0	V
入出力バッファ用電源電圧 (ポート A 用電源)	V_{CCB}	-0.3 ~ +7.0	V
入力電圧 (ポート 6、7、A 以外)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート A で CIN 入力非選択時)	V_{in}	-0.3 ~ $V_{CCB} + 0.3$	V
入力電圧 (ポート 6 で、 CIN 入力選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ のいずれか 低い電圧	V
入力電圧 (ポート A で、 CIN 入力選択時)	V_{in}	-0.3 ~ $V_{CCB} + 0.3$ と $AV_{CC} + 0.3$ のいずれ か低い電圧	V
入力電圧 (ポート 7)	V_{in}	-0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	-20 ~ +75	
動作温度 (FLASH メモリ書込み / 消去時)	T_{opr}	0 ~ +75	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

*1 VCC1、VCC2 端子への印加電圧です。

26.4.2 DC 特性

DC 特性を表 26.31 に示します。また、出力許容電流値、バス駆動特性をそれぞれ表 26.32、表 26.33 に示します。

表 26.31 DC 特性 (1)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ *⁹

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) * ² * ⁶ 、 KIN15 ~ KIN8* ⁷ * ⁸ 、 IRQ2 ~ IRQ0* ³ 、 IRQ5 ~ IRQ3	(1) V_T^-	1.0			V	
		V_T^+			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
		$V_T^+ - V_T^-$	0.4				
シュミット トリガ入力電圧 (レベル 切換時) * ⁶	P67 ~ P60 (KWUL = 01)	V_T^-	$V_{CC} \times 0.3$			V	
		V_T^+			$V_{CC} \times 0.7$		
		$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				
	P67 ~ P60 (KWUL = 10)	V_T^-	$V_{CC} \times 0.4$				
		V_T^+			$V_{CC} \times 0.8$		
		$V_T^+ - V_T^-$	$V_{CC} \times 0.03$				
		P67 ~ P60 (KWUL = 11)	V_T^-	$V_{CC} \times 0.45$			
V_T^+				$V_{CC} \times 0.9$			
$V_T^+ - V_T^-$	0.05						
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0 EXTAL PA7 ~ PA0* ⁷ ポート 7 上記(1)(2)以外の入力端子	(2) V_{IH}	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
		$V_{CC} \times 0.7$		$V_{CC} + 0.3$			
		$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$			
		2.0		$AV_{CC} + 0.3$			
		2.0		$V_{CC} + 0.3$			
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0 PA7 ~ PA0 NMI、EXTAL ほか、 上記(1)(3)以外の入力端子	(3) V_{IL}	-0.3		0.5	V	
		-0.3		1.0			
		-0.3		0.8			
出力 High レベル電圧	全出力端子 (P97、P52 を除く * ⁴)* ⁵ * ⁸ P97、P52* ⁴	V_{OH}	$V_{CC} - 0.5$ $V_{CCB} - 0.5$			V	$I_{OH} = -200 \mu A$
			3.5			V	$I_{OH} = -1mA$
			2.5			V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 (RESO を除く) * ⁵ ポート 1、2、3 RESO	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
					1.0	V	$I_{OL} = 10mA$
					0.4	V	$I_{OL} = 2.6mA$

- 【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源 (V_{CC}) に接続するなどの方法で2.0V ~ 5.5Vの範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。
- *2 P67 ~ P60にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。
- *4 H8S/2147Nでは、P52/SCK0/SCL0、P97/SDA0はNMOSプッシュプル出力です。
SCL0、SDA0 (ICE=1) からHighレベル出力するためにはプルアップ抵抗を外付けする必要があります。
H8S/2147Nでは、P52/SCK0、P97 (ICE=0) のHighレベルはNMOSで駆動されます。
- *5 IICS=0、ICE=0およびKBIOE=0の場合です。バス駆動機能を選択した場合のLowレベル出力は別途定めます。
- *6 ポート6の印加電圧の上限は、CIN入力非選択時は $V_{CC}+0.3V$ 、CIN入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *7 ポートAの印加電圧の上限は、CIN入力非選択時は $V_{CCB}+0.3V$ 、CIN入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *8 ポートAの特性は、 V_{CCB} 依存、その他の端子が出力モードの場合、 V_{CC} 依存です。
- *9 フラッシュメモリへの書き込み/消去動作は、 $T_a = 0 \sim +75$ の範囲としてください。

表 26.31 DC 特性 (2)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ *⁵

項目		記号	min	typ	max	単位	測定条件		
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$		
	STBY、NMI、MD1 ~ MD0				1.0				
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$	
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A* ⁴ 、B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ $V_{in} = 0.5 \sim V_{CCB} - 0.5V$		
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	50		300	μA	$V_{in} = 0V$		
	ポート A* ⁴ 、B、 ポート 6 (P6PUE = 0)		60		500				
	ポート 6 (P6PUE = 1)		15		150				
入力容量	RES	(4)	C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI					50			
	P52、P97、P42、 P86、PA7 ~ PA2					20			
	上記(4)以外の入力端子					15			
消費電流* ²	通常動作時	I_{CC}		75	100	mA	$f = 20MHz$		
	スリープ時			60	85			μA	$T_a = 50$ $50 < T_a$
	スタンバイ時* ³			0.01	5.0				
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA	$AV_{CC} = 2.0V \sim 5.5V$		
	A/D、D/A 変換待機時			0.01	5.0				
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA	$AV_{ref} = 2.0V \sim AV_{CC}$		
	A/D、D/A 変換中			2.0	5.0				
	A/D、D/A 変換待機時			0.01	5.0			μA	
アナログ電源電圧* ¹		AV_{CC}	4.5		5.5	V	動作時		
			2.0		5.5		待機時、非使用時		
RAM スタンバイ電圧		V_{RAM}	2.0			V			

【注】 *¹ A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。

*² 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{CCB} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*³ V_{RAM} $V_{CC} < 4.5V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{CCB} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。

*⁴ ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。

*⁵ フラッシュメモリへの書き込み/消去動作は、 $T_a = 0 \sim +75$ の範囲としてください。

表 26.31 DC 特性 (3)

条件: $V_{CC} = 3.0V \sim 5.5V^{*9}$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ ^{*9}

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) ^{*2*6} 、 $\overline{KIN15} \sim \overline{KIN8}^{*7*8}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$ 、 $\overline{IRQ5} \sim \overline{IRQ3}$	(1)	V_T^-	$V_{CC} \times 0.2$ $V_{CCB} \times 0.2$			V	
			V_T^+			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$ $V_{CCB} \times 0.05$				
シュミット トリガ入力電圧 (レベル切換 時) ^{*6}	P67 ~ P60 (KWUL = 01)	(1)	V_T^-	$V_{CC} \times 0.3$			V	
			V_T^+			$V_{CC} \times 0.7$		
	$V_T^+ - V_T^-$		$V_{CC} \times 0.05$					
	P67 ~ P60 (KWUL = 10)		V_T^-	$V_{CC} \times 0.4$				
			V_T^+			$V_{CC} \times 0.8$		
	$V_T^+ - V_T^-$		$V_{CC} \times 0.03$					
	P67 ~ P60 (KWUL = 11)		V_T^-	$V_{CC} \times 0.45$				
V_T^+				$V_{CC} \times 0.9$				
$V_T^+ - V_T^-$	0.05							
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0	(2)	V_{IH}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL			$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
	PA7 ~ PA0 ^{*7}			$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$		
	ポート 7			$V_{CC} \times 0.7$		$AV_{CC} + 0.3$		
	上記(1)(2)以外の入力端子			$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0	(3)	V_{IL}	-0.3		$V_{CC} \times 0.1$	V	$V_{CCB} = 3.0V \sim 4.0V$
	PA7 ~ PA0			-0.3		$V_{CCB} \times 0.2$		$V_{CCB} = 4.0V \sim 5.5V$
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3		$V_{CC} \times 0.2$		$V_{CC} = 3.0V \sim 4.0V$
				-0.3		0.8		$V_{CC} = 4.0V \sim 5.5V$
出力 High レベル電圧	全出力端子 (P97、P52 を除く ^{*4}) ^{*5*8}	(1)	V_{OH}	$V_{CC} - 0.5$ $V_{CCB} - 0.5$			V	$I_{OH} = -200 \mu A$
				$V_{CC} - 1.0$ $V_{CCB} - 1.0$				$I_{OH} = -1mA$ ($V_{CC} = 3.0V \sim 4.0V$ 、 $V_{CCB} = 3.0V \sim 4.0V$)
	P97、P52 ^{*4}			1.0			V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 (RESO を除く) ^{*5}	(1)	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3					1.0	V	$I_{OL} = 5mA (V_{CC} < 4.0V)$ $I_{OL} = 10mA$ ($4.0V \leq V_{CC} \leq 5.5V$)
	RESO					0.4	V	$I_{OL} = 1.6mA$

- 【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源 (V_{CC}) に接続するなどの方法で2.0V ~ 5.5Vの範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。
- *2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。
- *4 H8S/2147N では、P52/SCK0/SCL0、P97/SDA0 はNMOS プッシュプル出力です。
SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。
H8S/2147N では、P52/SCK0、P97 (ICE=0) の High レベルはNMOS で駆動されます。
- *5 IICS=0、ICE=0 および KBIOE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。
- *6 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *7 ポート A の印加電圧の上限は、CIN 入力非選択時は $V_{CCB}+0.3V$ 、CIN 入力選択時は $V_{CCB}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *8 ポート A の特性は、 V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。
- *9 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC}=3.0V \sim 3.6V$ 、 $T_a=0 \sim +75$ の範囲としてください。

表 26.31 DC 特性 (4)

条件: $V_{CC} = 3.0V \sim 5.5V^{*5}$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ *⁵

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A* ⁴ 、B	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ 、 $V_{in} = 0.5 \sim V_{CCB} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	10		150	μA	$V_{in} = 0V$ $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{CCB} = 3.0V \sim 3.6V$	
	ポート A* ⁴ 、B、 ポート 6 (P6PUE = 0)		30		250			
	ポート 6 (P6PUE = 1)		3		70			
入力容量	RES	(4) C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI				50			
	P52、P97、P42、 P86、PA7 ~ PA2				20			
	上記(4)以外の入力端子				15			
消費電流* ²	通常動作時	I_{CC}		45	60	mA	$f = 10MHz$	
	スリープ時			35	50			$f = 10MHz$
	スタンバイ時* ³			0.01	5.0			μA
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA		
	A/D、D/A 変換待機時			0.01	5.0			μA
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0			μA
アナログ電源電圧* ¹		AV_{CC}	3.0		5.5		動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		V_{RAM}	2.0			V		

【注】 *¹ A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。*² 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{CCB} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*³ V_{RAM} $V_{CC} < 3.0V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{CCB} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。*⁴ ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。*⁵ フラッシュメモリへの書き込み / 消去は $V_{CC} = 3.0V \sim 3.6V$ 、 $T_a = 0 \sim +75$ の範囲としてください。

表 26.32 出力許容電流値

条件： $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0、PS2AC ~ PS2CC、 PS2AD ~ PS2CD、 PA7 ~ PA4(バス駆動機能選択)	I_{OL}			20	mA
	ポート 1、2、3				10	
	\overline{RESO}				3	
	上記以外の出力端子				2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			80	mA
	上記を含む、全出力端子の総和				120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			40	mA

条件： $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0、 PS2AC ~ PS2CC、 PS2AD ~ PS2CD、 PA7 ~ PA4(バス駆動機能選択)	I_{OL}			10	mA
	ポート 1、2、3				2	
	\overline{RESO}				1	
	上記以外の出力端子				1	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			40	mA
	上記を含む、全出力端子の総和				60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 26.32 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 26.1、図 26.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

表 26.33 バス駆動特性

条件： $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$

対象端子：SCL1 ~ SCL0、SDA1 ~ SDA0 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
シュミット	V_T^-	$V_{CC} \times 0.3$			V	$V_{CC} = 3.0V \sim 5.5V$
トリガ入力電圧	V_T^+			$V_{CC} \times 0.7$		$V_{CC} = 3.0V \sim 5.5V$
	$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				$V_{CC} = 3.0V \sim 5.5V$
入力 High レベル電圧	V_{IH}	$V_{CC} \times 0.7$		$V_{CC} + 0.5$	V	$V_{CC} = 3.0V \sim 5.5V$
入力 Low レベル電圧	V_{IL}	-0.5		$V_{CC} \times 0.3$	V	$V_{CC} = 3.0V \sim 5.5V$
出力 Low レベル電圧	V_{OL}			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$
入力容量	C_{in}			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステート リーク電流 (オフ状態)	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	t_{of}	$20 + 0.1Cb$		250	ns	$V_{CC} = 3.0V \sim 5.5V$

条件： $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$

対象端子：PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD

PA7 ~ PA4 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	V_{OL}			0.8	V	$I_{OL} = 16mA$ 、 $V_{CCB} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$

26.4.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、および内蔵周辺機能タイミングを以下に示します。

AC 特性測定条件は図 26.4 を参照してください。

(1) クロックタイミング

表 26.34 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック () 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 24 章 クロック発振器」を参照してください。

表 26.34 クロックタイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$

条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 B		条件 A		単位	測定条件
		10MHz		20MHz			
		min	max	min	max		
クロックサイクル時間	t_{cyc}	100	500	50	500	ns	図 26.5
クロックハイレベルパルス幅	t_{CH}	30		17		ns	図 26.5
クロックローレベルパルス幅	t_{CL}	30		17		ns	
クロック立ち上がり時間	t_{Cr}		20		8	ns	
クロック立ち下がり時間	t_{Cr}		20		8	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		10		ms	
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8		8		ms	図 26.7
外部クロック出力安定遅延時間	t_{DEXT}	500		500		μs	

(2) 制御信号タイミング

表 26.35 に制御信号タイミングを示します。サブクロック (= 32.768kHz) で動作可能な外部割込みは、NMI、IRQ0 ~ 2、6、7 のみです。

表 26.35 制御信号タイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、
= 32.768kHz、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 B		条件 A		単位	測定条件
		10MHz		20MHz			
		min	max	min	max		
RES セットアップ時間	t_{RESS}	300		200		ns	図 26.8
RES パルス幅	t_{RESW}	20		20		t_{cyc}	
NMI セットアップ時間 (NMI)	t_{NMIS}	250		150		ns	図 26.9
NMI ホールド時間 (NMI)	t_{NMIH}	10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		200		ns	
IRQ セットアップ時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQS}	250		150		ns	
IRQ ホールド時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQH}	10		10		ns	
IRQ パルス幅 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}$) (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200		200		ns	

(3) バスタイミング

表 26.36 にバスタイミングを示します。サブクロック (= 32.768kHz) 動作では、外部拡張モードの動作は保証されません。

表 26.36 バスタイミング (1) (ノーマルモード使用時)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CC}B = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CC}B = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 B		条件 A		単位	測定条件
		10MHz		20MHz			
		min	max	min	max		
アドレス遅延時間	t_{AD}		40		20	ns	図 26.10 ~
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 10$		ns	図 26.14
\overline{CS} 遅延時間 (\overline{IOS})	t_{CSD}		40		20	ns	
\overline{AS} 遅延時間	t_{ASD}		60		30	ns	
\overline{RD} 遅延時間 1	t_{RSD1}		60		30	ns	
\overline{RD} 遅延時間 2	t_{RSD2}		60		30	ns	
リードデータセットアップ時間	t_{RDS}	35		15		ns	
リードデータホールド時間	t_{RDH}	0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 60$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 60$		$3.0 \times t_{cyc} - 30$	ns	
\overline{WR} 遅延時間 1	t_{WRD1}		60		30	ns	
\overline{WR} 遅延時間 2	t_{WRD2}		60		30	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 20$		ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		60		30	ns	
ライトデータセットアップ時間	t_{WDS}	0		0		ns	
ライトデータホールド時間	t_{WDH}	20		10		ns	
WAIT セットアップ時間	t_{WTS}	60		30		ns	
WAIT ホールド時間	t_{WTH}	10		5		ns	

表 26.36 バスタイミング (2) (アドバンスモード使用時)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$ 条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$

項目	記号	条件 B		条件 A		単位	測定条件
		10MHz		20MHz			
		min	max	min	max		
アドレス遅延時間	t_{AD}		60		30	ns	図 26.10
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 50$		$0.5 \times t_{cyc} - 25$		ns	~
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 10$		ns	図 26.14
\overline{CS} 遅延時間 (\overline{IOS})	t_{CSD}		60		30	ns	
\overline{AS} 遅延時間	t_{ASD}		60		30	ns	
\overline{RD} 遅延時間 1	t_{RSD1}		60		30	ns	
\overline{RD} 遅延時間 2	t_{RSD2}		60		30	ns	
リードデータセットアップ時間	t_{RDS}	35		15		ns	
リードデータホールド時間	t_{RDH}	0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 80$		$1.0 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 80$		$2.0 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 80$		$3.0 \times t_{cyc} - 40$	ns	
\overline{WR} 遅延時間 1	t_{WRD1}		60		30	ns	
\overline{WR} 遅延時間 2	t_{WRD2}		60		30	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 20$		ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		60		30	ns	
ライトデータセットアップ時間	t_{WDS}	0		0		ns	
ライトデータホールド時間	t_{WDH}	20		10		ns	
WAIT セットアップ時間	t_{WTS}	60		30		ns	
WAIT ホールド時間	t_{WTH}	10		5		ns	

(4) 内蔵周辺モジュールタイミング

表 26.37 ~ 表 26.39 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 (= 32.768kHz) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割込み (NMI、IRQ0 ~ 2、6、7)、ウォッチドッグタイマ、8 ビットタイマ (チャンネル 0、1) のみです。

表 26.37 内蔵周辺モジュールタイミング (1)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、
= 32.768kHz*1、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、
= 32.768kHz*1、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 B		条件 A		単位	測定条件		
		10MHz		20MHz					
		min	max	min	max				
I/O ポート	出力データ遅延時間	t_{PWD}		100		50	ns	図 26.15	
	入力データセットアップ時間	t_{PRS}	50		30				
	入力データホールド時間	t_{PRH}	50		30				
FRT	タイマ出力遅延時間	t_{FTOD}		100		50	ns	図 26.16	
	タイマ入力セットアップ時間	t_{FTIS}	50		30				
	タイマクロック 入力セットアップ時間	t_{FTCS}	50		30		t_{cyc}	図 26.17	
	パルス幅	単エッジ指定 t_{FTCWH}	1.5		1.5				
	両エッジ指定 t_{FTCWL}	2.5		2.5					
TMR	タイマ出力遅延時間	t_{TMOD}		100		50	ns	図 26.18 図 26.20 図 26.19	
	タイマリセット入力セットアップ時間	t_{TMRS}	50		30				
	タイマクロック 入力セットアップ時間	t_{TMCS}	50		30				
	パルス幅	単エッジ指定 t_{TMCWH}	1.5		1.5		t_{cyc}		
	両エッジ指定 t_{TMCWL}	2.5		2.5					
PWM、 PWMX	パルス出力遅延時間	t_{PWOD}		100		50	ns	図 26.21	
SCI	入力クロック サイクル	調歩同期	t_{Soyc}	4		4	t_{cyc}	図 26.22	
		クロック同期		6		6			
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	t_{Soyc}		
	入力クロック立ち上がり時間	t_{SCKr}		1.5		1.5	t_{cyc}		
	入力クロック立ち下がり時間	t_{SCKf}		1.5		1.5			
	送信データ遅延時間 (クロック同期)	t_{TXD}		100		50	ns		図 26.23
	受信データセットアップ時間 (クロック同期)	t_{RXS}	100		50				
受信データホールド時間 (クロック同期)	t_{RXH}	100		50					
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	50		30		ns	図 26.24	
WDT	RES0 出力遅延時間	t_{RESD}		200		100	ns	図 26.25	
	RES0 出力パルス幅	t_{RESOW}	132		132				t_{cyc}

【注】 *1 サブクロック動作時に使用可能な内蔵周辺モジュールのみ

表 26.37 内蔵周辺モジュールタイミング (2)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CC}B = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数 $T_a = -20 \sim +75$ 条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CC}B = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数 $T_a = -20 \sim +75$

項目	記号	条件 B		条件 A		単位	測定条件
		10MHz		20MHz			
		min	max	min	max		
HIF リード サイク ル	$\overline{CS}/HA0$ セットアップ時間	t_{HAR}	10		10		図 26.26
	$\overline{CS}/HA0$ ホールド時間	t_{HRA}	10		10		
	$\overline{IO\overline{R}}$ パルス幅	t_{HRPW}	220		120		
	HDB 遅延時間	t_{HRD}		200		100	
	HDB ホールド時間	t_{HRF}	0	40	0	25	
	HIRQ 遅延時間	t_{HIQ}		200		120	
	HIF ライト サイク ル	$\overline{CS}/HA0$ セットアップ時間	t_{HAW}	10		10	
$\overline{CS}/HA0$ ホールド時間	t_{HWA}	10		10			
$\overline{IO\overline{W}}$ パルス幅	t_{HWPW}	100		60			
HDB セット アップ時間	高速 GATE A20 を使用しない	t_{HDW}	50		30		
			85		45		
	HDB ホールド時間	t_{HWD}	25		15		
	GA20 遅延時間	t_{HGA}		180		90	

表 26.38 キーボードバッファコントローラタイミング

条件 : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数 $T_a = -20 \sim +75$

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
KCLK、KD 出力立ち下がり時間	t_{KBF}	$20 + 0.1Cb$		250	ns		図 26.27
KCLK、KD 入力データ ホールド時間	t_{KBIH}	150			ns		
KCLK、KD 入力データ セットアップ時間	t_{KBIS}	150			ns		
KCLK、KD 出力遅延時間	t_{KBOD}			450	ns		
KCLK、KD の容量性負荷	C_b			400	pF		

表 26.39 I²C バスタイミング条件：V_{CC} = 3.0V ~ 5.5V、V_{SS} = 0V、f_{clk} = 5MHz ~ 最大動作周波数

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL 入力サイクル時間	t _{SCL}	12			t _{cyc}		図 26.28
SCL 入力 High パルス幅	t _{SCLH}	3			t _{cyc}		
SCL 入力 Low パルス幅	t _{SCLL}	5			t _{cyc}		
SCL、SDA 入力立ち上がり時間	t _{Sr}			7.5* ¹	t _{cyc}		
SCL、SDA 入力立ち下がり時間	t _{Sf}			300	ns		
SCL、SDA 入力 スパイクパルス除去時間	t _{SP}			1	t _{cyc}		
SDA 入力バスフリー時間	t _{BUF}	5			t _{cyc}		
開始条件入力ホールド時間	t _{STAH}	3			t _{cyc}		
再送開始条件入力 セットアップ時間	t _{STAS}	3			t _{cyc}		
停止条件入力 セットアップ時間	t _{STOS}	3			t _{cyc}		
データ入力セットアップ時間	t _{SDAS}	0.5			t _{cyc}		
データ入力ホールド時間	t _{SDAH}	0			ns		
SCL、SDA の容量性負荷	C _b			400	pF		

【注】 *1 I²C モジュールで使用するクロックの選択により、17.5t_{cyc} とすることが可能です。詳細は「16.4 使用上の注意」を参照してください。

26.4.4 A/D 変換特性

A/D 変換特性を表 26.40、表 26.41 に示します。

表 26.40 A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 B			条件 A			単位
	10MHz			20MHz			
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間*5			13.4			6.7	μs
アナログ入力容量			20			20	pF
許容信号源			10^{*1}			10^{*3}	k
インピーダンス			5^{*2}			5^{*4}	
非直線性誤差			± 7.0			± 3.0	LSB
オフセット誤差			± 7.5			± 3.5	LSB
フルスケール誤差			± 7.5			± 3.5	LSB
量子化誤差			± 0.5			± 0.5	LSB
絶対精度			± 8.0			± 4.0	LSB

【注】 *1 4.0V $AV_{CC} = 5.5V$ のとき

*2 3.0V $AV_{CC} < 4.0V$ のとき

*3 変換時間 11.17 μs (CKS=1 で 12MHz、または CKS=0) のとき

*4 変換時間 < 11.17 μs (CKS=1 で > 12MHz) のとき

*5 シングルモードで最大動作周波数のとき

表 26.41 A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
 $= 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
 $= 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 B			条件 A			単位
	10MHz			20MHz			
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間*5			13.4			6.7	μs
アナログ入力容量			20			20	pF
許容信号源 インピーダンス			10^{*1} 5^{*2}			10^{*3} 5^{*4}	k
非直線性誤差			± 11.0			± 5.0	LSB
オフセット誤差			± 11.5			± 5.5	LSB
フルスケール誤差			± 11.5			± 5.5	LSB
量子化誤差			± 0.5			± 0.5	LSB
絶対精度			± 12.0			± 6.0	LSB

【注】 *1 4.0V $AV_{CC} = 5.5V$ のとき

*2 3.0V $AV_{CC} < 4.0V$ のとき

*3 変換時間 $11.17 \mu s$ (CKS=1 で $< 12MHz$ 、または CKS=0) のとき

*4 変換時間 $< 11.17 \mu s$ (CKS=1 で $> 12MHz$) のとき

*5 シングルモードで最大動作周波数のとき

26.4.5 D/A 変換特性

D/A 変換特性を表 26.42 に示します。

表 26.42 D/A 変換特性

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

条件 B : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目		条件 B			条件 A			単位
		10MHz			20MHz			
		min	typ	max	min	typ	max	
分解能		8			8			ビット
変換時間	負荷容量 20pF			10			10	μs
絶対精度	負荷抵抗 2M		± 2.0	± 3.0		± 1.0	± 1.5	LSB
	負荷抵抗 4M			± 2.0			± 1.0	

26.4.6 フラッシュメモリ特性

表 26.43 にフラッシュメモリ特性を示します。

表 26.43 フラッシュメモリ特性 (書き込み / 消去時の動作範囲)

5V 版条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 0 \sim +75$

3V 版条件: $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 0 \sim +75$

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間 ^{*1*2*4}		tP		10	200	ms/ 32 バイト	
消去時間 ^{*1*3*6}		tE		100	1200	ms/ブロック	
書き替え回数		NWEC			100	回	
書き込み時	SWE-bit セット後のウェイト時間 ^{*1}	x	10			μs	
	PSU-bit セット後のウェイト時間 ^{*1}	y	50			μs	
	P-bit セット後のウェイト時間 ^{*1*4}	z	150		200	μs	
	P-bit クリア後のウェイト時間 ^{*1}		10			μs	
	PSU-bit クリア後のウェイト時間 ^{*1}		10			μs	
	PV-bit セット後のウェイト時間 ^{*1}		4			μs	
	ダミーライト後のウェイト時間 ^{*1}		2			μs	
	PV-bit クリア後のウェイト時間 ^{*1}		4			μs	
	最大書き込み回数 ^{*1*4*5}	N			1000	回	z = 200 μs のとき
消去時	SWE-bit セット後のウェイト時間 ^{*1}	x	10			μs	
	ESU-bit セット後のウェイト時間 ^{*1}	y	200			μs	
	E-bit セット後のウェイト時間 ^{*1*6}	z	5		10	ms	
	E-bit クリア後のウェイト時間 ^{*1}		10			μs	
	ESU-bit クリア後のウェイト時間 ^{*1}		10			μs	
	EV-bit セット後のウェイト時間 ^{*1}		20			μs	
	ダミーライト後のウェイト時間 ^{*1}		2			μs	
	EV-bit クリア後のウェイト時間 ^{*1}		5			μs	
	最大消去回数 ^{*1*6*7}	N			120	回	z = 10ms のとき

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い行ってください。

*2 32 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。)

*3 1 ブロックを消去する時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の E-bit をセットしているトータル期間を示します。イレースベリファイ時間は含まれません。)

*4 書き込み時間の最大値 ($tP(\max)$)

$$tP(\max) = P\text{-bit セット後のウェイト時間}(z) \times \text{最大書き込み回数}(N)$$

*5 P-bit セット後のウェイト時間 (z) = 200 μ s 時の回数です。書き込み回数は、実際の (z) の設定値に合わせ、書き込み時間の最大値 ($tP(\max)$) 以下となるよう設定してください。

*6 消去時間の最大値 ($tE(\max)$)

$$tE(\max) = E\text{-bit セット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$

*7 E-bit セット後のウェイト時間 (z) = 10ms 時の回数です。消去回数は、実際の (z) の設定値に合わせ、消去時間の最大値 ($tE(\max)$) 以下となるよう設定してください。

26.4.7 使用上の注意

(1) F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

(2) 内部降圧品への切り替え

H8S/2147N F-ZTAT は、内部降圧機能はサポートしていません。

内部降圧対応の F-ZTAT 版あるいは内部降圧対応のマスク ROM 版に切り替えを行う場合には、VCC2 端子は、内部降圧品の VCL 端子と同じピン配置になります(図 26.3 参照)。このため、基板パターンを設計する場合には切り替え前後の回路の違いを考慮する必要がありますので、ご注意願います。

26.5 H8S/2144 F-ZTAT、H8S/2142 F-ZTAT、 H8S/2142 マスク ROM 品の電気的特性

26.5.1 絶対最大定格

絶対最大定格を表 26.44 に示します。

表 26.44 絶対最大定格

項目	記号	定格値	単位
電源電圧*1	V_{CC}	-0.3 ~ +7.0	V
入力電圧 (ポート 6、7、A 以外)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6、A で CIN 入力非選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6、A で、 CIN 入力選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ のいずれか 低い電圧	V
入力電圧 (ポート 7)	V_{in}	-0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
動作温度 (FLASH メモリ書込み / 消去時)	T_{opr}	通常仕様品 : 0 ~ +75 広温度範囲仕様品 : 0 ~ +85	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

*1 VCC1、VCC2 端子への印加電圧です。

26.5.2 DC 特性

DC 特性を表 26.45 に示します。また、出力許容電流値、バス駆動特性をそれぞれ表 26.46、表 26.47 に示します。

表 26.45 DC 特性 (1)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$
 $T_a = -20 \sim +75$ *⁶ (通常仕様品)、 $T_a = -40 \sim +85$ *⁶ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67 ~ P60* ² * ⁵ 、 $\overline{KIN15} \sim \overline{KIN8}$ * ⁵ 、 $\overline{IRQ2} \sim \overline{IRQ0}$ * ³ 、 $\overline{IRQ5} \sim \overline{IRQ3}$	(1) V_T^-	1.0			V	
		V_T^+			$V_{CC} \times 0.7$		
		$V_T^+ - V_T^-$	0.4				
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、NMI、 MD1 ~ MD0	(2) V_{IH}	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
	EXTAL、PA7 ~ PA0* ⁵		$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
	ポート 7		2.0		$AV_{CC} + 0.3$		
	上記(1)(2)以外の入力端子		2.0		$V_{CC} + 0.3$		
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、MD1 ~ MD0	(3) V_{IL}	-0.3		0.5	V	
	PA7 ~ PA0		-0.3		1.0		
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子		-0.3		0.8		
出力 High レベル電圧	全出力端子* ⁴	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
			3.5			V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子(\overline{RESO} を除く)* ⁴	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3				1.0	V	$I_{OL} = 10mA$
	\overline{RESO}				0.4	V	$I_{OL} = 2.6mA$

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。

*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

*3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。

*4 IICS=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

*5 ポート 6、A の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

*6 フラッシュメモリへの書き込み/消去動作は、 $T_a = 0 \sim +75$ (通常仕様品)、 $T_a = 0 \sim +85$ (広温度範囲仕様品) の範囲としてください。

表 26.45 DC 特性 (2)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ *⁴ (通常仕様品)、 $T_a = -40 \sim +85$ *⁴ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A、B	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	50		300	μA	$V_{in} = 0V$
	ポート 6、A、B		60		500		
入力容量	RES	(4)	C_{in}		80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50		
	P52、P97、P42、 P86、PA7 ~ PA2				20		
	上記(4)以外の入力端子				15		
消費電流* ²	通常動作時	I_{CC}		75	100	mA	$f = 20MHz$
	スリープ時			60	85		
	スタンバイ時* ³			0.01	5.0	μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0		
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA	
	A/D、D/A 変換中			2.0	5.0		
	A/D、D/A 変換待機時			0.01	5.0	μA	$AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧* ¹		AV_{CC}	4.5		5.5	V	動作時
			2.0		5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *¹ A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。*² 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*³ $V_{RAM} = V_{CC} < 4.5V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。*⁴ フラッシュメモリへの書き込み / 消去動作は、 $T_a = 0 \sim +75$ (通常仕様品)、 $T_a = 0 \sim +85$ (広温度範囲仕様品) の範囲としてください。

表 26.45 DC 特性 (3)

条件: $V_{CC} = 4.0V \sim 5.5V^{*6}$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ *6 (通常仕様品)、 $T_a = -40 \sim +85$ *6 (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67 ~ P60 *2*5 、 KIN15 ~ KIN8 *5 、 IRQ2 ~ IRQ0 *3 、 IRQ5 ~ IRQ3	(1)	V_T^-	1.0		V	$V_{CC} = 4.5V \sim 5.5V$
			V_T^+		$V_{CC} \times 0.7$		
			$V_T^+ - V_T^-$	0.4		V	$V_{CC} = 4.0V \sim 4.5V$
			V_T^-	0.8			
			V_T^+		$V_{CC} \times 0.7$		
$V_T^+ - V_T^-$	0.3						
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0	(2)	V_{IH}	$V_{CC} - 0.7$		V	
	EXTAL、PA7 ~ PA0 *5			$V_{CC} \times 0.7$	$V_{CC} + 0.3$		
	ポート 7			2.0	$AV_{CC} + 0.3$		
	上記(1)(2)以外の入力端子			2.0	$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0 PA7 ~ PA0	(3)	V_{IL}	-0.3	0.5	V	$V_{CC} = 4.5V \sim 5.5V$
				-0.3	1.0		
				-0.3	0.8		$V_{CC} = 4.0V \sim 4.5V$
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3	0.8		
出力 High レベル電圧	全出力端子 *4		V_{OH}	$V_{CC} - 0.5$		V	$I_{OH} = -200 \mu A$
				3.5			$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				3.0			$I_{OH} = -1mA$ 、 $V_{CC} = 4.0V \sim 4.5V$
出力 Low レベル電圧	全出力端子 (RES0 を除く) *4		V_{OL}		0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3				1.0		$I_{OL} = 10mA$
	RES0				0.4		$I_{OL} = 2.6mA$

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、AVref、AVCC としてください。

*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

*3 IRQ2 には、それと兼用の ADTRG 端子を含みます。

*4 IICS=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

*5 ポート 6、A の印加電圧の上限は、CIN 入力非選択時は $V_{CC} + 0.3V$ 、CIN 入力選択時は $V_{CC} + 0.3V$ と $AV_{CC} + 0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。*6 フラッシュメモリへの書き込み/消去動作は、 $V_{CC} = 4.5V \sim 5.5V$ 、 $T_a = 0 \sim +75$ (通常仕様品)、 $T_a = 0 \sim +85$ (広温度範囲仕様品) の範囲としてください。

表 26.45 DC 特性 (4)

条件: $V_{CC} = 4.0V \sim 5.5V^{*4}$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75^{*4}$ (通常仕様品)、 $T_a = -40 \sim +85^{*4}$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
入力リーク電流	RES	I_{in}			10.0	μA $V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD1 ~ MD0				1.0	
	ポート 7				1.0	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A、B	I_{TSI}			1.0	μA $V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	- I_p	50		300	μA $V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$
	ポート 6、A、B		60		500	
	ポート 1 ~ 3	- I_p	30		200	μA $V_{in} = 0V$ 、 $V_{CC} = 4.0V \sim 4.5V$
	ポート 6、A、B		40		400	
入力容量	RES	(4) C_{in}			80	pF $V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50	
	P52、P97、P42、 P86、PA7 ~ PA2				20	
	上記(4)以外の入力端子				15	
消費電流*2	通常動作時	I_{CC}		65	85	mA $f = 16MHz$
	スリープ時			50	70	mA $f = 16MHz$
	スタンバイ時*3			0.01	5.0	μA $T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA
	A/D、D/A 変換待機時			0.01	5.0	μA $AV_{CC} = 2.0V \sim 5.5V$
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA
	A/D、D/A 変換中			2.0	5.0	
	A/D、D/A 変換待機時			0.01	5.0	μA $AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧*1		AV_{CC}	4.0		5.5	V 動作時
			2.0		5.5	V 待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0			V

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 $V_{RAM} = V_{CC} < 4.0V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。*4 フラッシュメモリへの書き込み/消去動作は、 $V_{CC} = 4.5V \sim 5.5V$ 、 $T_a = 0 \sim +75$ (通常仕様品)、 $T_a = 0 \sim +85$ (広温度範囲仕様品) の範囲としてください。

表 26.45 DC 特性 (5)

条件 (マスク ROM 品) : $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 5.5V$ 、 $AV_{ref}^{*1} = 2.7V \sim 5.5V$ 、

$V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$

条件 (F-ZTAT 品) : $V_{CC} = 3.0V \sim 5.5V^{*6}$ 、 $AV_{CC}^{*1} = 3.0V \sim 5.5V$ 、

$AV_{ref} = 3.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ *6

項目		記号	min	typ	max	単位	測定条件			
シュミット トリガ入力電圧	P67 ~ P60**2*5、	(1)	V_T^-		$V_{CC} \times 0.2$	V				
	$\overline{KIN15} \sim \overline{KIN8}^{*5}$ 、							V_T^+		$V_{CC} \times 0.7$
	$\overline{IRQ2} \sim \overline{IRQ0}^{*3}$ 、 $\overline{IRQ5} \sim \overline{IRQ3}$									
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、NMI、 MD1 ~ MD0	(2)	V_{IH}		$V_{CC} \times 0.9$	V				
	EXTAL、PA7 ~ PA0*5							$V_{CC} \times 0.7$	$V_{CC} + 0.3$	
	ポート 7							$V_{CC} \times 0.7$	$AV_{CC} + 0.3$	
	上記(1)(2)以外の入力端子							$V_{CC} \times 0.7$	$V_{CC} + 0.3$	
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、MD1 ~ MD0	(3)	V_{IL}		-0.3	V				
	PA7 ~ PA0							$V_{CC} \times 0.1$	$V_{CC} \times 0.2$	$V_{CC} < 4.0V$
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子							0.8	$V_{CC} \times 0.2$	$V_{CC} = 4.0V \sim 5.5V$
								0.8	$V_{CC} \times 0.2$	$V_{CC} < 4.0V$
出力 High レベル電圧	全出力端子*4				$V_{OH} - 0.5$	V	$I_{OH} = -200 \mu A$			
							$V_{CC} - 1.0$	$I_{OH} = -1mA$ ($V_{CC} < 4.0V$)		
出力 Low レベル電圧	全出力端子(\overline{RESO} を除く)*4	V_{OL}			0.4	V	$I_{OL} = 1.6mA$			
	ポート 1、2、3						1.0	$I_{OL} = 5mA(V_{CC} < 4.0V)$ $I_{OL} = 10mA$ ($4.0V \leq V_{CC} \leq 5.5V$)		
	\overline{RESO}						0.4	$I_{OL} = 1.6mA$		

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。

*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

*3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。

*4 IICS=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

*5 ポート 6、A の印加電圧の上限は、CIN 入力非選択時は $V_{CC} + 0.3V$ 、CIN 入力選択時は $V_{CC} + 0.3V$ と $AV_{CC} + 0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

*6 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC} = 3.0V \sim 3.6V$ 、 $T_a = 0 \sim +75$ の範囲としてください。

表 26.45 DC 特性 (6)

条件 (マスク ROM 品) : $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 5.5V$ 、 $AV_{ref}^{*1} = 2.7V \sim 5.5V$ 、

$V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$

条件 (F-ZTAT 品) : $V_{CC} = 3.0V \sim 5.5V^{*4}$ 、 $AV_{CC}^{*1} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim 5.5V$ 、

$V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ *4

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A、B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	10		150	μA	$V_{in} = 0V$ $V_{CC} = 2.7V^{*4} \sim 3.6V$	
	ポート 6、A、B		30		250			
入力容量	RES	(4) C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI				50			
	P52、P97、P42、 P86、PA7 ~ PA2				20			
	上記(4)以外の入力端子				15			
消費電流*2	通常動作時	I_{CC}		45	60	mA	$f = 10MHz$	
	スリープ時			35	50			$f = 10MHz$
	スタンバイ時*3			0.01	5.0			μA
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA		
	A/D、D/A 変換待機時			0.01	5.0			μA
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0			μA
アナログ電源電圧*1		AV_{CC}	2.7		5.5	V	動作時(マスク ROM 品)	
			3.0		5.5		動作時(F-ZTAT 品)	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		V_{RAM}	2.0			V		

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} = V_{CC} < 2.7V$ (マスク ROM 品) および $V_{RAM} = V_{CC} < 3.0V$ (F-ZTAT 品) のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。

*4 フラッシュメモリへの書き込み/消去は $V_{CC} = 3.0V \sim 3.6V$ 、 $T_a = 0 \sim +75$ の範囲としてください。また、F-ZTAT 品の測定条件は、 $V_{CC} = 3.0V$ となります。

表 26.46 出力許容電流値

条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	PA7 ~ PA4(バス駆動機能選択)	I_{OL}			20	mA
	ポート 1、2、3				10	
	RESO				3	
	上記以外の出力端子				2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			80	mA
	上記を含む、全出力端子の総和				120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			40	mA

条件： $V_{CC} = 2.7V \sim 5.5V$ (マスク ROM 品)、 $V_{CC} = 3.0V \sim 5.5V$ (F-ZTAT 品)、 $V_{SS} = 0V$ $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	PA7 ~ PA4(バス駆動機能選択)	I_{OL}			10	mA
	ポート 1、2、3				2	
	RESO				1	
	上記以外の出力端子				1	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			40	mA
	上記を含む、全出力端子の総和				60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 26.46 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 26.1、図 26.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

表 26.47 バス駆動特性

条件： $2.7V \sim 5.5V$ (マスク ROM 品)、 $V_{CC} = 3.0V \sim 5.5V$ (F-ZTAT 品)、 $V_{SS} = 0V$

対象端子：PA7 ~ PA4 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	V_{OL}			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$

26.5.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、および内蔵周辺機能タイミングを以下に示します。

AC 特性測定条件は図 26.4 を参照してください。

(1) クロックタイミング

表 26.48 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック () 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 24 章 クロック発振器」を参照してください。

表 26.48 クロックタイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 5.5V$ (マスク ROM 品)、 $V_{CC} = 3.0V \sim 5.5V$ (F-ZTAT 品)、

$V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
クロックサイクル時間	t_{cyc}	100	500	62.5	500	50	500	ns	図 26.5
クロックハイレベルパルス幅	t_{CH}	30		20		17		ns	図 26.5
クロックローレベルパルス幅	t_{CL}	30		20		17		ns	
クロック立ち上がり時間	t_{Cr}		20		10		8	ns	
クロック立ち下がり時間	t_{Cf}		20		10		8	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		10		10		ms	図 26.6
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8		8		8		ms	図 26.7
外部クロック出力安定遅延時間	t_{DEXT}	500		500		500		μs	

(2) 制御信号タイミング

表 26.49 に制御信号タイミングを示します。サブクロック (= 32.768kHz) で動作可能な外部割込みは、NMI、IRQ0~2、6、7のみです。

表 26.49 制御信号タイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 5.5V$ (マスク ROM 品)、 $V_{CC} = 3.0V \sim 5.5V$ (F-ZTAT 品)、

$V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	300		200		200		ns	図 26.8
RES パルス幅	t_{RESW}	20		20		20		t_{cyc}	
NMI セットアップ時間 (NMI)	t_{NMIS}	250		150		150		ns	図 26.9
NMI ホールド時間 (NMI)	t_{NMIH}	10		10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		200		200		ns	
IRQ セットアップ時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQS}	250		150		150		ns	
IRQ ホールド時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQH}	10		10		10		ns	
IRQ パルス幅 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}$) (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200		200		200		ns	

(3) バスタイミング

表 26.50 にバスタイミングを示します。サブクロック (= 32.768kHz) 動作では、外部拡張モードの動作は保証されません。

表 26.50 バスタイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 5.5V$ (マスク ROM 品)、 $V_{CC} = 3.0V \sim 5.5V$ (F-ZTAT 品)、

$V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
アドレス遅延時間	t_{AD}		40		30		20	ns	図 26.10 ~ 図 26.14
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
CS 遅延時間 (IOS)	t_{CSD}		40		30		20	ns	
AS 遅延時間	t_{ASD}		60		45		30	ns	
RD 遅延時間 1	t_{RSD1}		60		45		30	ns	
RD 遅延時間 2	t_{RSD2}		60		45		30	ns	
リードデータセットアップ時間	t_{RDS}	35		20		15		ns	
リードデータホールド時間	t_{RDH}	0		0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 60$		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 60$		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 30$	ns	
WR 遅延時間 1	t_{WRD1}		60		45		30	ns	
WR 遅延時間 2	t_{WRD2}		60		45		30	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		60		45		30	ns	
ライトデータセットアップ時間	t_{WDS}	0		0		0		ns	
ライトデータホールド時間	t_{WDH}	20		15		10		ns	
WAIT セットアップ時間	t_{WTS}	60		45		30		ns	
WAIT ホールド時間	t_{WTH}	10		5		5		ns	

(4) 内蔵周辺モジュールタイミング

表 26.51 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ($f_{CLK} = 32.768\text{kHz}$) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割込み (NMI、IRQ0 ~ 2、6、7)、ウォッチドッグタイマ、8ビットタイマ (チャンネル0、1) のみです。

表 26.51 内蔵周辺モジュールタイミング

条件 A : $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $f_{CLK} = 32.768\text{kHz}^*1$ 、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $f_{CLK} = 32.768\text{kHz}^*1$ 、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ (マスク ROM 品)、 $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$ (F-ZTAT 品)、

$V_{SS} = 0\text{V}$ 、 $f_{CLK} = 32.768\text{kHz}^*1$ 、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件	
		10MHz		16MHz		20MHz				
		min	max	min	max	min	max			
I/O ポート	出力データ遅延時間	t_{PWD}	100		50		50	ns	図 26.15	
	入力データセットアップ時間	t_{PRS}	50		30		30			
	入力データホールド時間	t_{PRH}	50		30		30			
FRT	タイマ出力遅延時間	t_{FTOD}	100		50		50	ns	図 26.16	
	タイマ入力セットアップ時間	t_{FTIS}	50		30		30			
	タイマクロック入力セットアップ時間	t_{FTCS}	50		30		30			
	タイマクロック パルス幅	単エッジ指定	t_{FTCWH}	1.5		1.5		1.5	t_{cyc}	図 26.17
		両エッジ指定	t_{FTCWL}	2.5		2.5		2.5		
TMR	タイマ出力遅延時間	t_{TMOD}	100		50		50	ns	図 26.18	
	タイマリセット入力セットアップ時間	t_{TMRS}	50		30		30			
	タイマクロック入力セットアップ時間	t_{TMCS}	50		30		30			
	タイマクロック パルス幅	単エッジ指定	t_{TMCWH}	1.5		1.5		1.5	t_{cyc}	図 26.19
		両エッジ指定	t_{TMCWL}	2.5		2.5		2.5		
PWMX	パルス出力遅延時間	t_{PWOD}	100		50		50	ns	図 26.21	
SCI	入力クロック サイクル	調歩同期	t_{Syc}	4		4		4	t_{cyc}	図 26.22
		クロック同期		6		6		6		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6		
	入力クロック立ち上がり時間	t_{SCKr}		1.5		1.5		1.5	t_{cyc}	
	入力クロック立ち下がり時間	t_{SCKf}		1.5		1.5		1.5	t_{cyc}	
	送信データ遅延時間 (クロック同期)	t_{TXD}		100		50		50	ns	図 26.23
	受信データセットアップ時間 (クロック同期)	t_{RXS}	100		50		50			
受信データホールド時間 (クロック同期)	t_{RXH}	100		50		50				
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	50		30		30	ns	図 26.24	
WDT	RESO 出力遅延時間	t_{RESD}		200		120		100	ns	図 26.25
	RESO 出力パルス幅	t_{RESOW}	132		132		132	t_{cyc}		

【注】 *1 サブクロック動作時に使用可能な内蔵周辺モジュールのみ

26.5.4 A/D 変換特性

A/D 変換特性を表 26.52、表 26.53 に示します。

表 26.52 A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C (マスク ROM 品) : $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$

条件 C (F-ZTAT 品) : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*5			13.4			8.4			6.7	μs
アナログ入力容量			20			20			20	pF
許容信号源			10^{*1}			10^{*3}			10^{*3}	k
インピーダンス			5^{*2}			5^{*4}			5^{*4}	
非直線性誤差			± 7.0			± 3.0			± 3.0	LSB
オフセット誤差			± 7.5			± 3.5			± 3.5	LSB
フルスケール誤差			± 7.5			± 3.5			± 3.5	LSB
量子化誤差			± 0.5			± 0.5			± 0.5	LSB
絶対精度			± 8.0			± 4.0			± 4.0	LSB

【注】 *1 4.0V $AV_{CC} = 5.5V$ のとき

*2 2.7V $AV_{CC} < 4.0V$ (マスク ROM 品) または 3.0V $AV_{CC} < 4.0V$ (F-ZTAT 品) のとき

*3 変換時間 $11.17 \mu s$ (CKS=1 で $> 12MHz$ 、または CKS=0) のとき

*4 変換時間 $< 11.17 \mu s$ (CKS=1 で $> 12MHz$) のとき

*5 シングルモードで最大動作周波数のとき

表 26.53 A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換)

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C (マスク ROM 品) : $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$

条件 C (F-ZTAT 品) : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*5			13.4			8.4			6.7	μs
アナログ入力容量			20			20			20	pF
許容信号源			10*1			10*3			10*3	k
インピーダンス			5*2			5*4			5*4	
非直線性誤差			± 11.0			± 5.0			± 5.0	LSB
オフセット誤差			± 11.5			± 5.5			± 5.5	LSB
フルスケール誤差			± 11.5			± 5.5			± 5.5	LSB
量子化誤差			± 0.5			± 0.5			± 0.5	LSB
絶対精度			± 12.0			± 6.0			± 6.0	LSB

【注】 *1 4.0V AV_{CC} 5.5V のとき

*2 2.7V $AV_{CC} < 4.0V$ (マスク ROM 品) または 3.0V $AV_{CC} < 4.0V$ (F-ZTAT 品) のとき

*3 変換時間 11.17 μs (CKS=1 で 12MHz、または CKS=0) のとき

*4 変換時間 $< 11.17 \mu s$ (CKS=1 で $> 12MHz$) のとき

*5 シングルモードで最大動作周波数のとき

26.5.5 D/A 変換特性

D/A 変換特性を表 26.54 に示します。

表 26.54 D/A 変換特性

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C (マスク ROM 品) : $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$

条件 C (F-ZTAT 品) : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	8			8			8			ビット
変換時間	負荷容量 20pF		10			10			10	μs
絶対精度	負荷抵抗 2M		± 3.0		± 1.0	± 1.5		± 1.0	± 1.5	LSB
	負荷抵抗 4M		± 2.0			± 1.0			± 1.0	

26.5.6 フラッシュメモリ特性

表 26.55 にフラッシュメモリ特性を示します。

表 26.55 フラッシュメモリ特性（書き込み / 消去時の動作範囲）

5V 版条件： $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、

$T_a = 0 \sim +75$ （通常仕様品）、 $T_a = 0 \sim +85$ （広温度範囲仕様品）

3V 版条件： $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 0 \sim +75$

項目	記号	min.	typ.	max.	単位	測定条件
書き込み時間*1*2*4	tP		10	200	ms/ 32 バイト	
消去時間*1*3*6	tE		100	1200	ms/ブロック	
書き替え回数	NWEC			100	回	
書き込み時	SWE-bit セット後のウェイト時間*1	x	10		μs	
	PSU-bit セット後のウェイト時間*1	y	50		μs	
	P-bit セット後のウェイト時間*1*4	z	150	200	μs	
	P-bit クリア後のウェイト時間*1		10		μs	
	PSU-bit クリア後のウェイト時間*1		10		μs	
	PV-bit セット後のウェイト時間*1		4		μs	
	ダミーライト後のウェイト時間*1		2		μs	
	PV-bit クリア後のウェイト時間*1		4		μs	
	最大書き込み回数*1*4*5	N			1000	回
消去時	SWE-bit セット後のウェイト時間*1	x	10		μs	
	ESU-bit セット後のウェイト時間*1	y	200		μs	
	E-bit セット後のウェイト時間*1*6	z	5	10	ms	
	E-bit クリア後のウェイト時間*1		10		μs	
	ESU-bit クリア後のウェイト時間*1		10		μs	
	EV-bit セット後のウェイト時間*1		20		μs	
	ダミーライト後のウェイト時間*1		2		μs	
	EV-bit クリア後のウェイト時間*1		5		μs	
	最大消去回数*1*6*7	N			120	回

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従って行ってください。

*2 32 バイト当たりの書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）

*3 1ブロックを消去する時間(フラッシュメモリコントロールレジスタ(FLMCR1)のE-bitをセットしているトータル期間を示します。イレースペリファイ時間は含まれません。)

*4 書き込み時間の最大値 (tP (max))

$$tP (max) = P\text{-bit セット後のウェイト時間 (z)} \times \text{最大書き込み回数 (N)}$$

*5 P-bit セット後のウェイト時間 (z) = 200 μ s 時の回数です。書き込み回数は、実際の (z) の設定値に合わせ、書き込み時間の最大値 (tP (max)) 以下となるよう設定してください。

*6 消去時間の最大値 (tE (max))

$$tE (max) = E\text{-bit セット後のウェイト時間 (z)} \times \text{最大消去回数 (N)}$$

*7 E-bit セット後のウェイト時間 (z) = 10ms 時の回数です。消去回数は、実際の (z) の設定値に合わせ、消去時間の最大値 (tE (max)) 以下となるよう設定してください。

26.5.7 使用上の注意

(1) F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

(2) 内部降圧品への切り替え

H8S/2144 F-ZTAT、H8S/2142 F-ZTAT、H8S/2142 マスク ROM 版は、内部降圧機能はサポートしていません。

内部降圧対応の F-ZTAT 版あるいは内部降圧対応のマスク ROM 版に切り替えを行う場合には、VCC2 端子は、内部降圧品の VCL 端子と同じピン配置になります(図 26.3 参照)。このため、基板パターンを設計する場合には切り替え前後の回路の違いを考慮する必要がありますので、ご注意願います。

26.6 H8S/2144 F-ZTAT (A マスク品)、 H8S/2144 マスク ROM 品、 H8S/2143 マスク ROM 品の電気的特性

26.6.1 絶対最大定格

絶対最大定格を表 26.56 に示します。

項目	記号	定格値	暫定 単位
電源電圧* ¹	V_{CC}	-0.3 ~ +7.0	V
電源電圧 (3V 品) * ¹	V_{CC}	-0.3 ~ +4.3	V
電源電圧 (VCL 端子) * ²	V_{CL}	-0.3 ~ +4.3	V
入力電圧 (ポート 6、7、A 以外)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6、A で CIN 入力非選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6、A で、 CIN 入力選択時)	V_{in}	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ のいずれか 低い電圧	V
入力電圧 (ポート 7)	V_{in}	-0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ電源電圧 (3V 品)	AV_{CC}	-0.3 ~ +4.3	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
動作温度 (FLASH メモリ書込み / 消去時)	T_{opr}	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

- 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
- 5V / 4V 品の入力端子への印加電圧は、最大でも 7.0V 以下としてください。また、3V 品の入力端子 (ポート A を除く) への印加電圧は、最大でも 4.3V 以下としてください。

*1 VCC1 端子への印加電圧です。

低電圧品 (3V 品) では VCC1 端子と VCL 端子をともに V_{CC} 電源に接続して使用するため、絶対に V_{CL} の定格値を超えないようにしてください。

*2 チップ内部の動作電源電圧端子です。

5V 品 / 4V 品では VCL 端子には電源電圧を印加しないでください。VCL 端子と GND との間には、内部電圧安定化のため必ず外付けのコンデンサを接続してください。

26.6.2 DC 特性

DC 特性を表 26.57 に示します。また、出力許容電流値、バス駆動特性をそれぞれを表 26.58、表 26.59 に示します。

表 26.57 DC 特性 (1)

暫定

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件				
シュミット トリガ入力電圧	P67 ~ P60*2*5、 KIN15 ~ KIN8*5、 IRQ2 ~ IRQ0*3、 IRQ5 ~ IRQ3	(1) V_T^-	1.0			V					
		V_T^+			$V_{CC} \times 0.7$						
		$V_T^+ - V_T^-$	0.4								
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0	(2)	V_{IH}		$V_{CC} - 0.7$	$V_{CC} + 0.3$	V				
	EXTAL、PA7 ~ PA0*5								$V_{CC} \times 0.7$	$V_{CC} + 0.3$	
	ポート 7								2.0	$AV_{CC} + 0.3$	
	上記(1)(2)以外の入力端子								2.0	$V_{CC} + 0.3$	
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0 PA7 ~ PA0	(3)	V_{IL}		-0.3	0.5	V				
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子								-0.3	1.0	
									-0.3	0.8	
出力 High レベル電圧	全出力端子*4	V_{OH}			$V_{CC} - 0.5$		V	$I_{OH} = -200 \mu A$			
								3.5			$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子(RESO を除く)*4	V_{OL}				0.4	V	$I_{OL} = 1.6mA$			
	ポート 1、2、3									1.0	$I_{OL} = 10mA$
	RESO									0.4	$I_{OL} = 2.6mA$

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。

*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

*3 IRQ2 には、それと兼用の ADTRG 端子を含みます。

*4 IICS=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

*5 ポート 6、A の印加電圧の上限は、CIN 入力非選択時は $V_{CC} + 0.3V$ 、CIN 入力選択時は $V_{CC} + 0.3V$ と $AV_{CC} + 0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

表 26.57 DC 特性 (2)

暫定

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A、B	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	30		300	μA	$V_{in} = 0V$
	ポート 6、A、B		60		600		
入力容量	RES	(4) C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50		
	P52、P97、P42、 P86、PA7 ~ PA2				20		
	上記(4)以外の入力端子				15		
消費電流*2	通常動作時	I_{CC}		55	70	mA	$f = 20MHz$
	スリープ時			36	55		
	スタンバイ時*3			1.0	5.0	μA	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0		
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA	
	A/D、D/A 変換中			2.0	5.0		
	A/D、D/A 変換待機時			0.01	5.0	μA	$AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧*1		AV_{CC}	4.5		5.5	V	動作時
			2.0		5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 $V_{RAM} = V_{CC} < 4.5V$ のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ とした場合の値です。

表 26.57 DC 特性 (3)

暫定

条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件			
シュミット トリガ入力電圧	P67 ~ P60 ^{*2*5} 、 $\overline{KIN15} \sim \overline{KIN8}^{*5}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$ 、 $\overline{IRQ5} \sim \overline{IRQ3}$	(1)	V_T^-	1.0			V	$V_{CC} = 4.5V \sim 5.5V$		
			V_T^+			$V_{CC} \times 0.7$				
			$V_T^+ - V_T^-$	0.4						
					V_T^-	0.8			V	$V_{CC} < 4.5V$
					V_T^+			$V_{CC} \times 0.7$		
					$V_T^+ - V_T^-$	0.3				
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0	(2)	V_{IH}	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V			
	EXTAL、PA7 ~ PA0 ^{*5}			$V_{CC} \times 0.7$		$V_{CC} + 0.3$				
	ポート 7			2.0		$AV_{CC} + 0.3$				
	上記(1)(2)以外の入力端子			2.0		$V_{CC} + 0.3$				
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0	(3)	V_{IL}	-0.3		0.5	V			
	PA7 ~ PA0			-0.3		1.0			$V_{CC} = 4.5V \sim 5.5V$	
				-0.3		0.8			$V_{CC} < 4.5V$	
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3		0.8				
出力 High レベル電圧	全出力端子 ^{*4}		V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$		
				3.5			V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$		
				3.0			V	$I_{OH} = -1mA$ 、 $V_{CC} < 4.5V$		
出力 Low レベル電圧	全出力端子(RESOを除く) ^{*4}		V_{OL}			0.4	V	$I_{OL} = 1.6mA$		
	ポート 1、2、3					1.0	V	$I_{OL} = 10mA$		
	RESO					0.4	V	$I_{OL} = 2.6mA$		

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、AVref AV_{CC} としてください。

*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

*3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。

*4 IICS=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

*5 ポート 6、A の印加電圧の上限は、CIN 入力非選択時は $V_{CC} + 0.3V$ 、CIN 入力選択時は $V_{CC} + 0.3V$ と $AV_{CC} + 0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

表 26.57 DC 特性 (4)

条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	\overline{RES}	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	\overline{STBY} 、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A、B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	30		300	μA	$V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$
	ポート 6、A、B		60		600		
	ポート 1 ~ 3		20		200	μA	$V_{in} = 0V$ 、 $V_{CC} < 4.5V$
	ポート 6、A、B		40		500		
入力容量	\overline{RES}	(4) C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50		
	P52、P97、P42、 P86、PA7 ~ PA2				20		
	上記(4)以外の入力端子				15		
消費電流*2	通常動作時	I_{CC}		45	58	mA	$f = 16MHz$
	スリープ時			30	46	mA	$f = 16MHz$
	スタンバイ時*3			1.0	5.0	μA	$T_a = 50$
					20.0		$50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	$AV_{CC} = 2.0V \sim 5.5V$
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA	
	A/D、D/A 変換中			2.0	5.0		
	A/D、D/A 変換待機時			0.01	5.0	μA	$AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧*1		AV_{CC}	4.0		5.5	V	動作時
			2.0		5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0			V	

- 【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源(V_{CC})に接続するなどの方法で2.0V~5.5Vの範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。
- *2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。
- *3 V_{RAM} $V_{CC} < 4.0V$ のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ とした場合の値です。

表 26.57 DC 特性 (5)

暫定

条件: $V_{CC} = 2.7V \sim 3.6V^{*6}$ 、 $AV_{CC}^{*1} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim 3.6V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位	測定条件		
シュミット トリガ入力電圧	P67 ~ P60 ^{*2*5} 、	(1)	V_T^-	$V_{CC} \times 0.2$		V			
	$\overline{KIN15} \sim \overline{KIN8}^{*5}$ 、		V_T^+		$V_{CC} \times 0.7$				
	$\overline{IRQ2} \sim \overline{IRQ0}^{*3}$ 、		$V_T^+ - V_T^-$	$V_{CC} \times 0.05$					
	$\overline{IRQ5} \sim \overline{IRQ3}$								
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、NMI、	(2)	V_{IH}	$V_{CC} \times 0.9$	$V_{CC} + 0.3$	V			
	MD1 ~ MD0								
	EXTAL、PA7 ~ PA0 ^{*5}								
	ポート 7								
上記(1)(2)以外の入力端子			$V_{CC} \times 0.7$	$AV_{CC} + 0.3$					
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、MD1 ~ MD0	(3)	V_{IL}	-0.3	$V_{CC} \times 0.1$	V			
	PA7 ~ PA0								
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子								
出力 High レベル電圧	全出力端子 ^{*4}	V_{OH}	$V_{CC} - 0.5$		V	V	$I_{OH} = -200 \mu A$		
							$V_{CC} - 1.0$		V
出力 Low レベル電圧	全出力端子(\overline{RESO} を除く) ^{*4}	V_{OL}			V	V	$I_{OL} = 1.6mA$		
	ポート 1、2、3						0.4	V	$I_{OL} = 5mA$
	\overline{RESO}						0.4	V	$I_{OL} = 1.6mA$

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 3.6V の範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。

*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

*3 $\overline{IRQ2}$ には、それと兼用の \overline{ADTRG} 端子を含みます。

*4 IICS=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

*5 ポート 6、A の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。*6 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC}=3.0V \sim 3.6V$ の範囲としてください。

表 26.57 DC 特性 (6)

暫定

条件: $V_{CC} = 2.7V \sim 3.6V^{*4}$ 、 $AV_{CC}^{*1} = 2.7V \sim 3.6V$ 、 $AV_{ref}^{*1} = 2.7V \sim 3.6V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $			10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6 ポート 8、9、A、B	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	5		150	μA	$V_{in} = 0V$
	ポート 6、A、B		30		300		$V_{CC} = 2.7V \sim 3.6V$
入力容量	RES	(4) C_{in}			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50		
	P52、P97、P42、 P86、PA7 ~ PA2				20		
	上記(4)以外の入力端子				15		
消費電流*2	通常動作時	I_{CC}		30	40	mA	$f = 10MHz$
	スリープ時			20	32		$f = 10MHz$
	スタンバイ時*3			1.0	5.0	μA	$T_a = 50$
			20.0	$50 < T_a$			
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		1.2	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0		μA
リファレンス 電源電流	A/D 変換中	AI_{ref}		0.5	1.0	mA	
	A/D、D/A 変換中			2.0	5.0		
	A/D、D/A 変換待機時			0.01	5.0		μA
アナログ電源電圧*1		AV_{CC}	2.7		3.6	V	動作時
			2.0		3.6		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 3.6V$ の範囲の電圧を印加してください。このとき、 $AV_{ref} = AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} = V_{CC} < 2.7V$ のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ とした場合の値です。

*4 フラッシュメモリへの書き込み / 消去は $V_{CC} = 3.0V \sim 3.6V$ の範囲としてください。

表 26.58 出力許容電流値

暫定

条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	PA7 ~ PA4(バス駆動機能選択)	I_{OL}			20	mA
	ポート 1、2、3				10	
	\overline{RESO}				3	
	上記以外の出力端子				2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			80	mA
	上記を含む、全出力端子の総和				120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			40	mA

条件： $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	PA7 ~ PA4(バス駆動機能選択)	I_{OL}			10	mA
	ポート 1、2、3				2	
	\overline{RESO}				1	
	上記以外の出力端子				1	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	I_{OL}			40	mA
	上記を含む、全出力端子の総和				60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 26.58 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 26.1、図 26.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

表 26.59 バス駆動特性

条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$ (3V 品)、 $V_{SS} = 0V$

対象端子：PA7 ~ PA4 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	V_{OL}			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$

26.6.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、および内蔵周辺機能タイミングを以下に示します。

AC 特性測定条件は図 26.4 を参照してください。

(1) クロックタイミング

表 26.60 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック () 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 24 章 クロック発振器」を参照してください。

表 26.60 クロックタイミング

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	Max	min	max	min	max		
クロックサイクル時間	t_{cyc}	100	500	62.5	500	50	500	ns	図 26.5
クロックハイレベルパルス幅	t_{CH}	30		20		17		ns	図 26.5
クロックローレベルパルス幅	t_{CL}	30		20		17		ns	
クロック立ち上がり時間	t_{Cr}		20		10		8	ns	
クロック立ち下がり時間	t_{Cf}		20		10		8	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		10		10		ms	図 26.6
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8		8		8		ms	図 26.7
外部クロック出力安定遅延時間	t_{DEXT}	500		500		500		μs	

(2) 制御信号タイミング

表 26.61 に制御信号タイミングを示します。サブクロック (= 32.768kHz) で動作可能な外部割込みは、NMI、IRQ0~2、6、7のみです。

表 26.61 制御信号タイミング

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	300		200		200		ns	図 26.8
RES パルス幅	t_{RESW}	20		20		20		t_{cyc}	
NMI セットアップ時間 (NMI)	t_{NMIS}	250		150		150		ns	図 26.9
NMI ホールド時間 (NMI)	t_{NMIH}	10		10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		200		200		ns	
IRQ セットアップ時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQS}	250		150		150		ns	
IRQ ホールド時間 ($\overline{IRQ7} \sim \overline{IRQ0}$)	t_{IRQH}	10		10		10		ns	
IRQ パルス幅 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}$) (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200		200		200		ns	

(3) バスタイミング

表 26.62 にバスタイミングを示します。サブクロック (= 32.768kHz) 動作では、外部拡張モードの動作は保証されません。

表 26.62 バスタイミング

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	Max	min	max		
アドレス遅延時間	t_{AD}		40		30		20	ns	図 26.10 ~
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	図 26.14
\overline{CS} 遅延時間 (\overline{IOS})	t_{CSD}		40		30		20	ns	
\overline{AS} 遅延時間	t_{ASD}		60		45		30	ns	
\overline{RD} 遅延時間 1	t_{RSD1}		60		45		30	ns	
\overline{RD} 遅延時間 2	t_{RSD2}		60		45		30	ns	
リードデータセットアップ時間	t_{RDS}	35		20		15		ns	
リードデータホールド時間	t_{RDH}	0		0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 60$		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 60$		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 30$	ns	
\overline{WR} 遅延時間 1	t_{WRD1}		60		45		30	ns	
\overline{WR} 遅延時間 2	t_{WRD2}		60		45		30	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		60		45		30	ns	
ライトデータセットアップ時間	t_{WDS}	0		0		0		ns	
ライトデータホールド時間	t_{WDH}	20		15		10		ns	
WAIT セットアップ時間	t_{WTS}	60		45		30		ns	
WAIT ホールド時間	t_{WTH}	10		5		5		ns	

(4) 内蔵周辺モジュールタイミング

表 26.63 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 (= 32.768kHz) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割込み (NMI、IRQ0 ~ 2、6、7)、ウォッチドッグタイマ、8ビットタイマ (チャンネル0、1) のみです。

表 26.63 内蔵周辺モジュールタイミング 暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 32.768kHz*1、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz*1、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz*1、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件			
		10MHz		16MHz		20MHz						
		min	max	min	max	min	max					
I/O ポート	出力データ遅延時間	t_{PWD}	100		50		50	ns	図 26.15			
	入力データセットアップ時間	t_{PRS}	50		30		30					
	入力データホールド時間	t_{PRH}	50		30		30					
FRT	タイマ出力遅延時間	t_{FTOD}	100		50		50	ns	図 26.16			
	タイマ入力セットアップ時間	t_{FTIS}	50		30		30					
	タイマクロック	単エッジ指定	t_{FTCWS}	50		30		t_{cyc}	図 26.17			
	パルス幅		両エッジ指定	t_{FTCWL}	1.5		1.5					
				2.5		2.5				2.5		
TMR	タイマ出力遅延時間	t_{TMOD}	100		50		50			ns	図 26.18	
	タイマリセット入力セットアップ時間	t_{TMRS}	50		30		30					
	タイマクロック入力セットアップ時間	t_{TMCS}	50		30		30					
	タイマクロック	単エッジ指定	t_{TMCWS}	1.5		1.5		1.5				
	パルス幅	両エッジ指定	t_{TMCWL}	2.5		2.5		2.5				
PWMX	パルス出力遅延時間	t_{PWOD}	100		50		50	ns	図 26.21			
SCI	入力クロック サイクル	調歩同期	t_{Scyc}	4		4		4	t_{cyc}	図 26.22		
		クロック同期		6		6		6				
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6				
	入力クロック立ち上がり時間	t_{SCKr}		1.5		1.5		1.5				
	入力クロック立ち下がり時間	t_{SCKf}		1.5		1.5		1.5				
	送信データ遅延時間 (クロック同期)	t_{TXD}		100		50		50			ns	図 26.23
	受信データセットアップ時間 (クロック同期)	t_{RXS}	100		50		50					
受信データホールド時間 (クロック同期)	t_{RXH}	100		50		50						
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	50		30		30	ns	図 26.24			
WDT	RES0 出力遅延時間	t_{RESD}		200		120		100	ns	図 26.25		
	RES0 出力パルス幅	t_{RESOW}	132		132		132	t_{cyc}				

【注】 *1 サブクロック動作時に使用可能な内蔵周辺モジュールのみ

26.6.4 A/D 変換特性

A/D 変換特性を表 26.64、表 26.65 に示します。

表 26.64 A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換)

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $AV_{CC} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*3			13.4			8.4			6.7	μs
アナログ入力容量			20			20			20	pF
許容信号源 インピーダンス			5			10*1 5*2			10*1 5*2	k
非直線性誤差			±7.0			±3.0			±3.0	LSB
オフセット誤差			±7.5			±3.5			±3.5	LSB
フルスケール誤差			±7.5			±3.5			±3.5	LSB
量子化誤差			±0.5			±0.5			±0.5	LSB
絶対精度			±8.0			±4.0			±4.0	LSB

【注】 *1 変換時間 11.17 μs (CKS=1 で 12MHz、または CKS=0) のとき

*2 変換時間 < 11.17 μs (CKS=1 で > 12MHz) のとき

*3 シングルモードで最大動作周波数のとき

表 26.65 A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換) 暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 3.0V \sim 3.6V^{*4}$ 、 $AV_{CC} = 3.0V \sim 3.6V^{*4}$ 、 $AV_{ref} = 3.0V \sim AV_{CC}^{*4}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*3			13.4			8.4			6.7	μs
アナログ入力容量			20			20			20	pF
許容信号源 インピーダンス			5			10^{*1} 5^{*2}			10^{*1} 5^{*2}	k
非直線性誤差			± 11.0			± 5.0			± 5.0	LSB
オフセット誤差			± 11.5			± 5.5			± 5.5	LSB
フルスケール誤差			± 11.5			± 5.5			± 5.5	LSB
量子化誤差			± 0.5			± 0.5			± 0.5	LSB
絶対精度			± 12.0			± 6.0			± 6.0	LSB

【注】 *1 変換時間 11.17 μs (CKS=1 で 12MHz、または CKS=0) のとき

*2 変換時間 < 11.17 μs (CKS=1 で > 12MHz) のとき

*3 シングルモードで最大動作周波数のとき

*4 CIN を使用する場合は、 $V_{CC} = 3.0V \sim 3.6V$ 、 $AV_{CC} = 3.0V \sim 3.6V$ 、 $AV_{ref} = 3.0V \sim 3.6V$ の範囲としてください。

26.6.5 D/A 変換特性

D/A 変換特性を表 26.66 に示します。

表 26.66 D/A 変換特性

暫定

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = 2.7V \sim 3.6V$ 、 $AV_{CC} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位	
	10MHz			16MHz			20MHz				
	min	typ	max	min	typ	max	min	typ	max		
分解能	8			8			8			ビット	
変換時間	負荷容量 20pF		10			10			10	μs	
絶対精度	負荷抵抗 2M		± 2.0	± 3.0		± 1.0	± 1.5		± 1.0	± 1.5	LSB
	負荷抵抗 4M			± 2.0			± 1.0			± 1.0	

26.6.6 フラッシュメモリ特性

表 26.67 にフラッシュメモリ特性を示します。

表 26.67 フラッシュメモリ特性（書き込み / 消去時の動作範囲）

5V 版条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

$T_a = -20 \sim +75$ （通常仕様品）、 $T_a = -40 \sim +85$ （広温度範囲仕様品）

3V 版条件： $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min.	typ.	max.	単位	測定条件	
書き込み時間* ¹ * ² * ⁴	tP		10	200	ms/ 128 バイト		
消去時間* ¹ * ³ * ⁶	tE		100	1200	ms/ブロック		
書き替え回数	NWEC			100	回		
書き込み時	SWE-bit セット後のウェイト時間* ¹	x	1		μs		
	PSU-bit セット後のウェイト時間* ¹	y	50		μs		
	P-bit セット後のウェイト時間* ¹ * ⁴	z1	28	30	32	μs	1 n 6
		z2	198	200	202	μs	7 n 1000
		z3	8	10	12	μs	追加書き込み
	P-bit クリア後のウェイト時間* ¹		5		μs		
	PSU-bit クリア後のウェイト時間* ¹		5		μs		
	PV-bit セット後のウェイト時間* ¹		4		μs		
	ダミーライト後のウェイト時間* ¹		2		μs		
	PV-bit クリア後のウェイト時間* ¹		2		μs		
	SWE-bit クリア後のウェイト時間* ¹		100		μs		
	最大書き込み回数* ¹ * ⁴ * ⁵	N			1000	回	
消去時	SWE-bit セット後のウェイト時間* ¹	x	1		μs		
	ESU-bit セット後のウェイト時間* ¹	y	100		μs		
	E-bit セット後のウェイト時間* ¹ * ⁶	z	10		100	ms	
	E-bit クリア後のウェイト時間* ¹		10		μs		
	ESU-bit クリア後のウェイト時間* ¹		10		μs		
	EV-bit セット後のウェイト時間* ¹		20		μs		
	H'FFダミーライト後のウェイト時間* ¹		2		μs		
	EV-bit クリア後のウェイト時間* ¹		4		μs		
	SWE-bit クリア後のウェイト時間* ¹		100		μs		
	最大消去回数* ¹ * ⁶ * ⁷	N			120	回	

- 【注】 *1 各時間の設定は、書き込み/消去のアルゴリズムに従って行ってください。
- *2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）
- *3 1 ブロックを消去する時間（フラッシュメモリコントロールレジスタ（FLMCR1）の E-bit をセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）
- *4 書き込み時間の最大値（ $t_P(\max)$ ）
- $$t_P(\max) = (P\text{-bit セット後のウェイト時間}(z_1) + (z_3)) \times 6$$
- $$+ P\text{-bit セット後のウェイト時間}(z_2) \times ((N) - 6)$$
- *5 最大書き込み回数（ N ）は、実際の（ z_1 、 z_2 、 z_3 ）の設定値に合わせ、書き込み時間の最大値（ $t_P(\max)$ ）以下となるよう設定してください。また、P-bit セット後のウェイト時間（ z_1 、 z_2 、 z_3 ）は、下記のように書き込み回数（ n ）の値によって切り替えてください。
- 書き込み回数 n
- | | | | |
|---|-----|------|-------------------------------------|
| 1 | n | 6 | $z_1 = 30 \mu s$ 、 $z_3 = 10 \mu s$ |
| 7 | n | 1000 | $z_2 = 200 \mu s$ |
- *6 消去時間の最大値（ $t_E(\max)$ ）
- $$t_E(\max) = E\text{-bit セット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$
- *7 最大消去回数（ N ）は、実際の（ z ）の設定値に合わせ、消去時間の最大値（ $t_E(\max)$ ）以下となるよう設定してください。

26.6.7 使用上の注意

(1) F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

(2) 内部降圧品

H8S/2144 FZTAT の A マスク品 (HD64F2144A)、H8S/2144 および H8S/2143 のマスク ROM 品 (HD6432144S、HD6432143S) は、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。

この内部降圧端子 (VCL 端子) と V_{SS} 端子間には、内部電圧安定用のコンデンサ (0.47 μ F を 1 個または 2 個並列) を接続する必要があります。

外付けコンデンサ接続方法は、図 26.3 を参照してください。

5V 品 / 4V 品では、内部降圧製品の VCL 端子には V_{CC} 電源を接続しないでください。

(VCC1 端子には従来どおり、 V_{CC} 電源を接続してください。)

また、低電圧品 (3V 品) では、VCL 端子を VCC1 端子とともにシステムの電源に接続してください。

なお、内部降圧非対応の F-ZTAT 版から内部降圧対応のマスク ROM 版に切り替えを行う場合には、VCL 端子は、内部降圧非対応品の VCC2 端子と同じピン配置になります。このため、基板パターンを設計する場合には切り替え前後の回路の違いを考慮する必要がありますので、ご注意願います。

26.7 動作タイミング

26.7.1 AC 特性測定条件

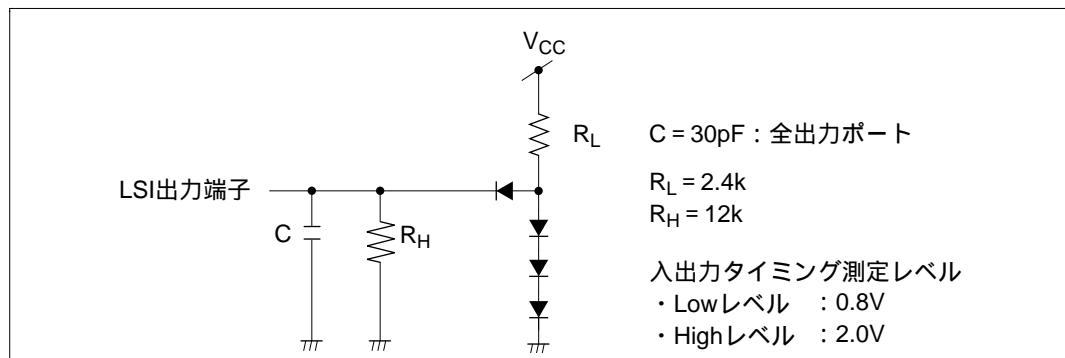


図 26.4 出力負荷回路

26.7.2 クロックタイミング

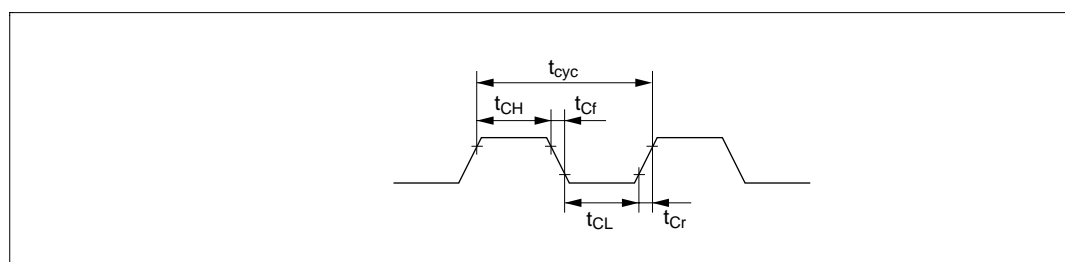


図 26.5 システムクロックタイミング

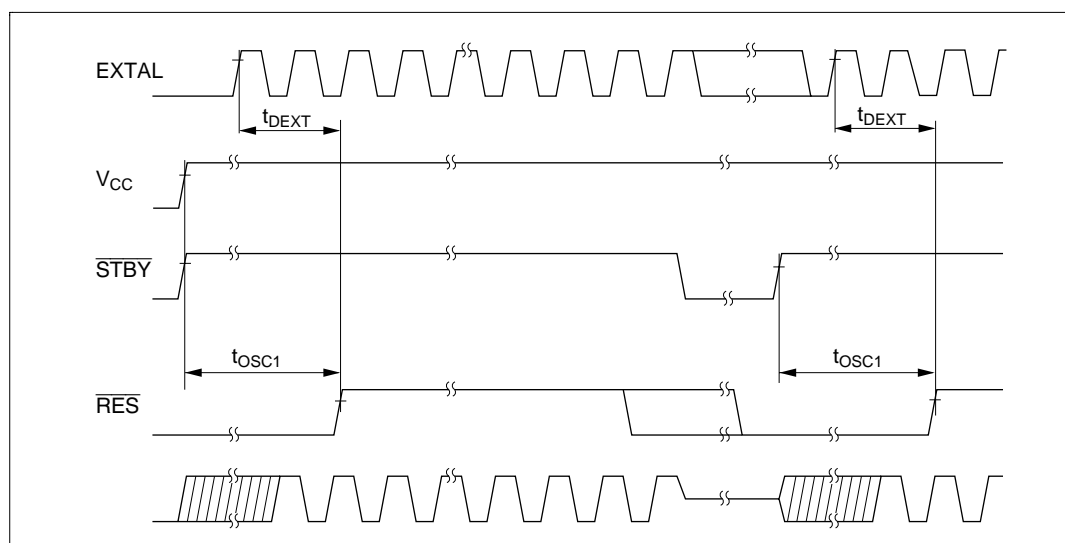


図 26.6 発振安定時間タイミング

26.7.3 制御信号タイミング

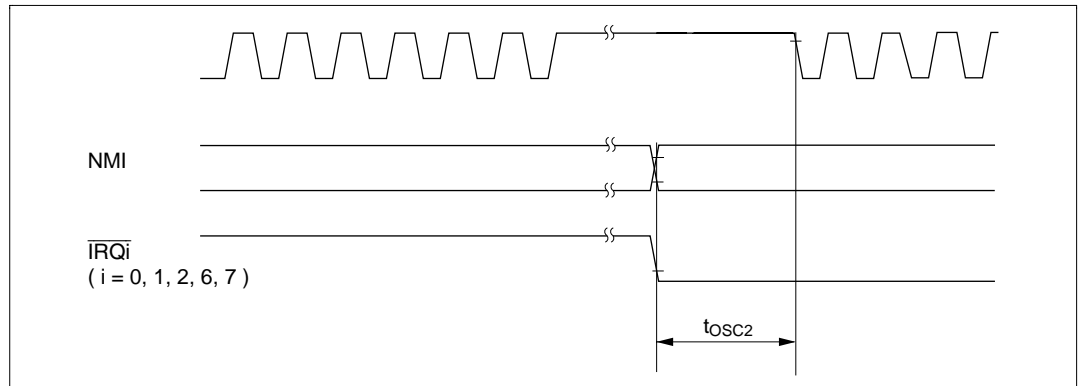


図 26.7 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

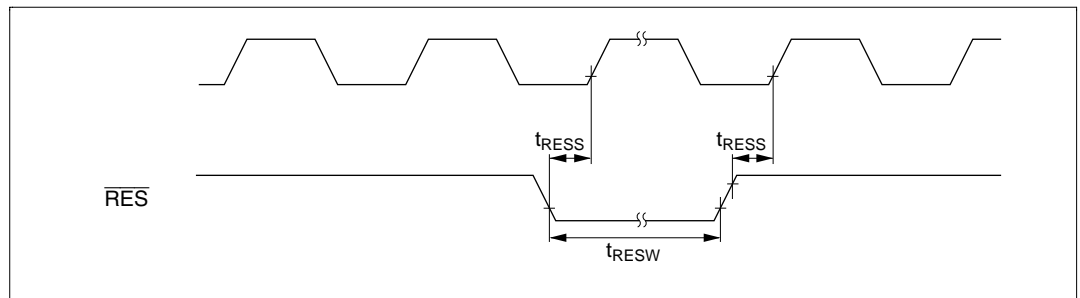


図 26.8 リセット入力タイミング

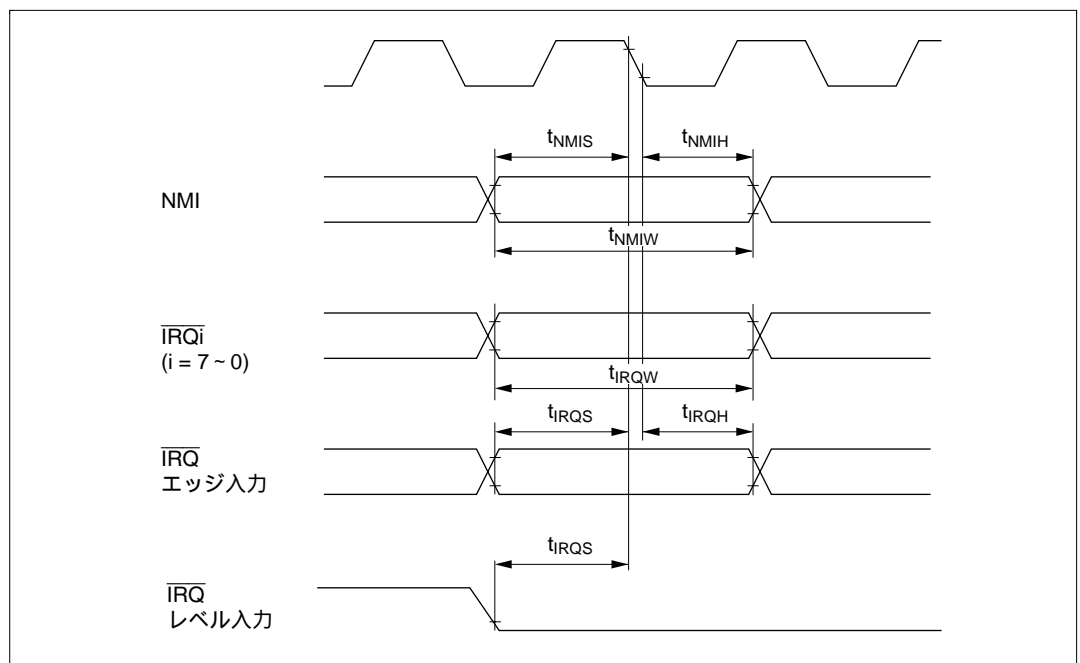


図 26.9 割込み入力タイミング

26.7.4 バスタイミング

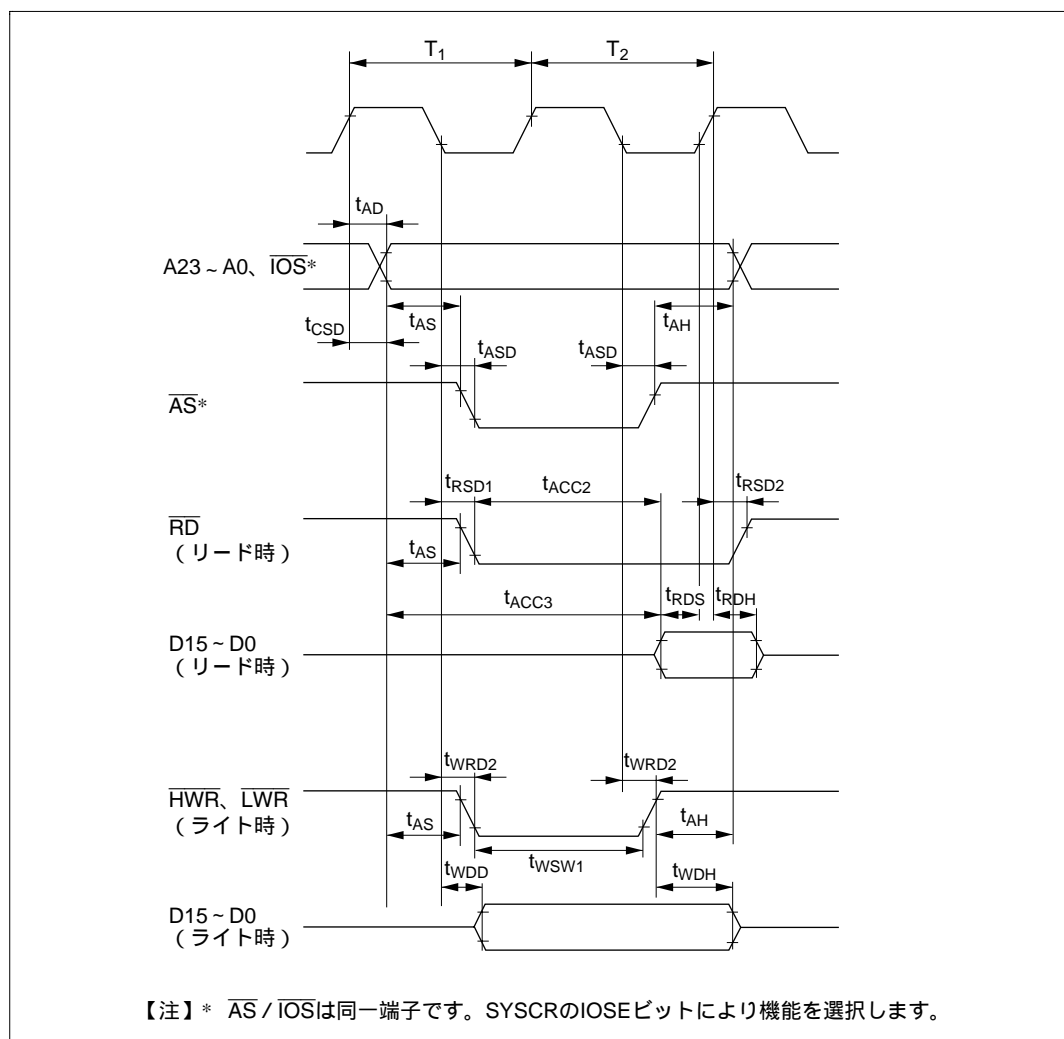


図 26.10 基本バスタイミング / 2 ステートアクセス

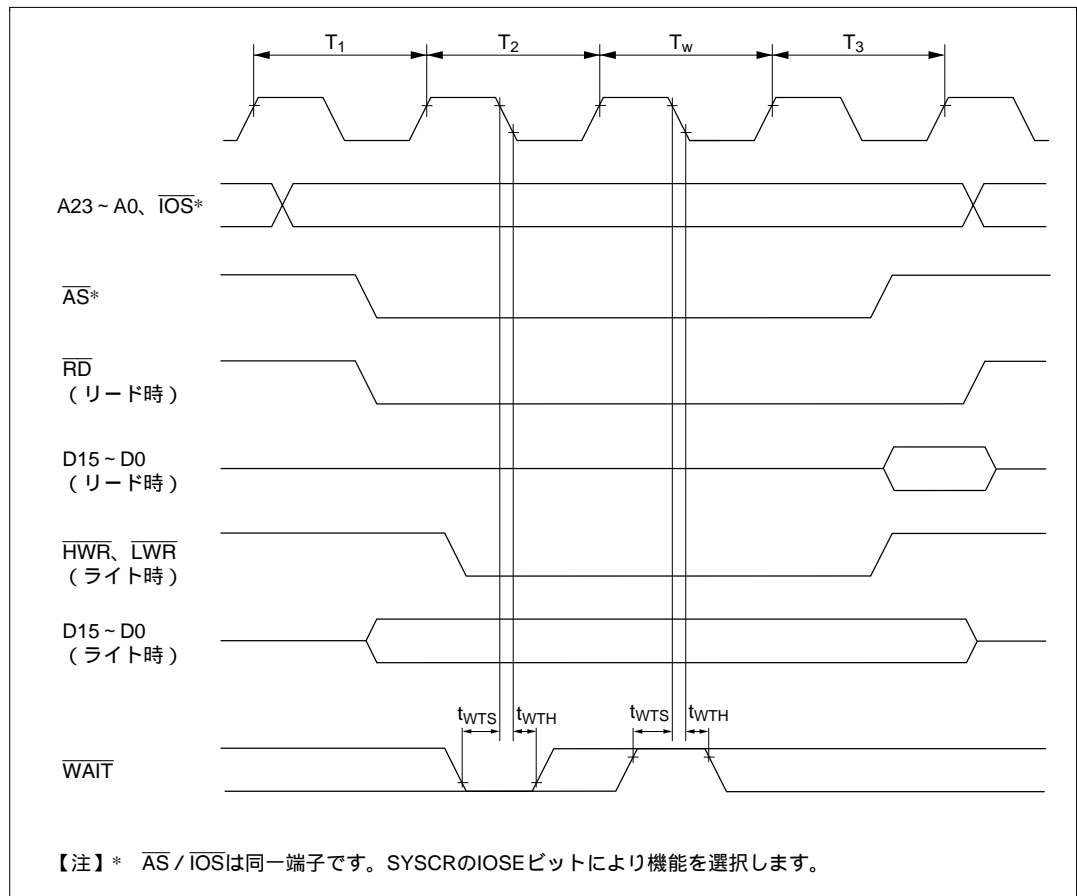


図 26.12 基本バスタイミング / 3 ステートアクセス 1 ウェイト

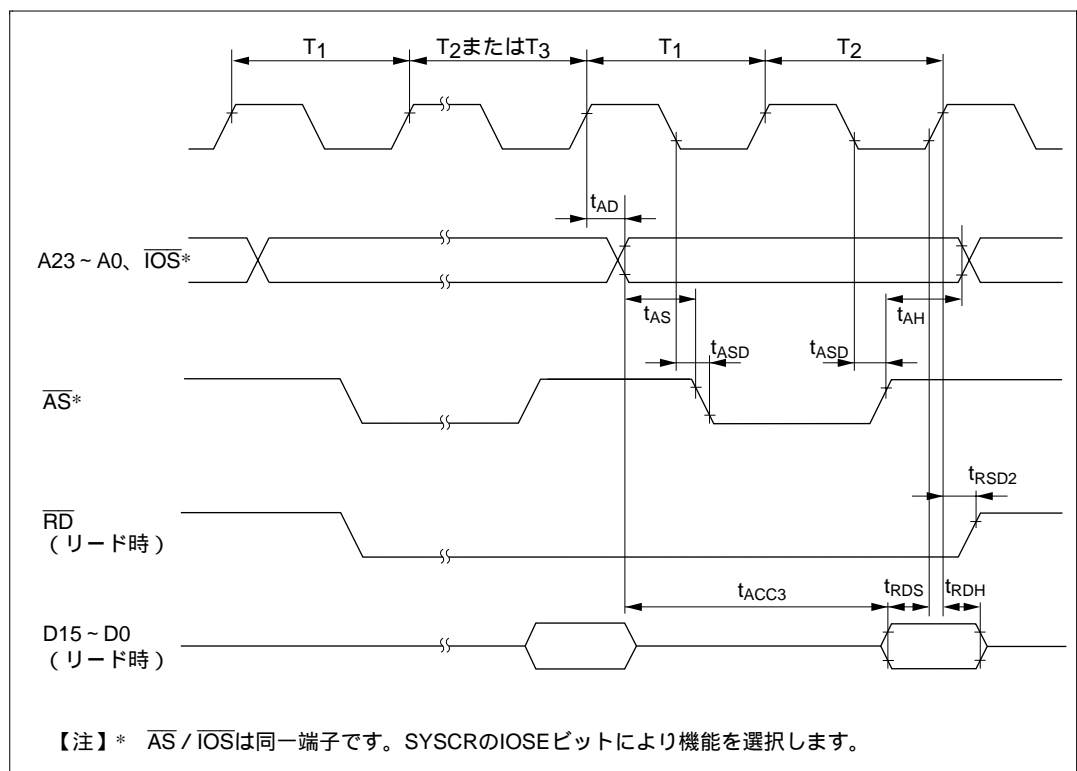


図 26.13 バーストROMアクセスタイミング / 2 ステートアクセス

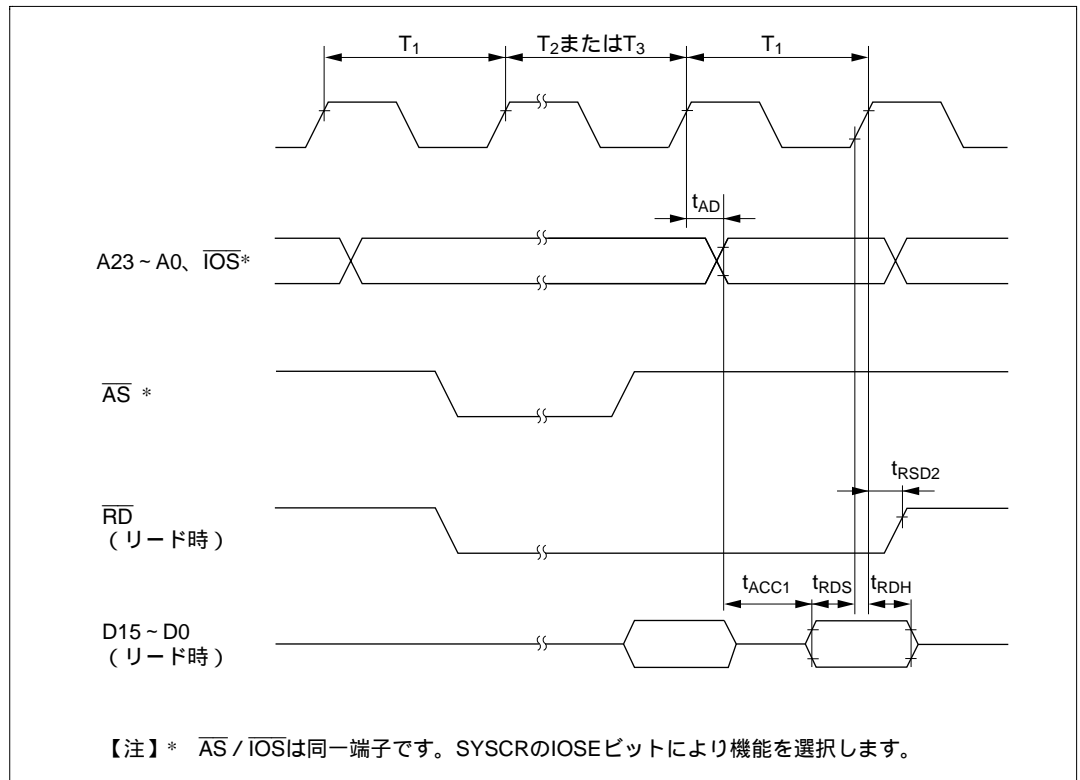


図 26.14 バーストROMアクセスタイミング / 1 ステートアクセス

26.7.5 内蔵周辺モジュールタイミング

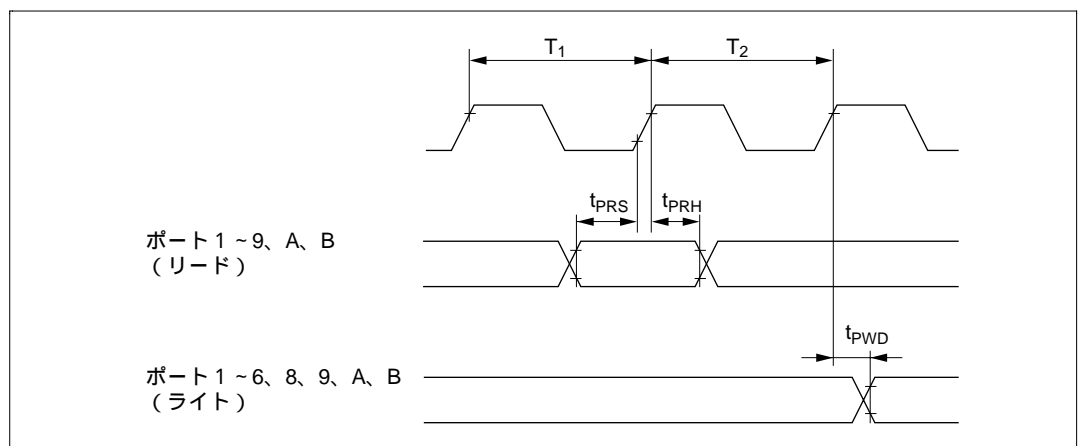


図 26.15 I/Oポート入出力タイミング

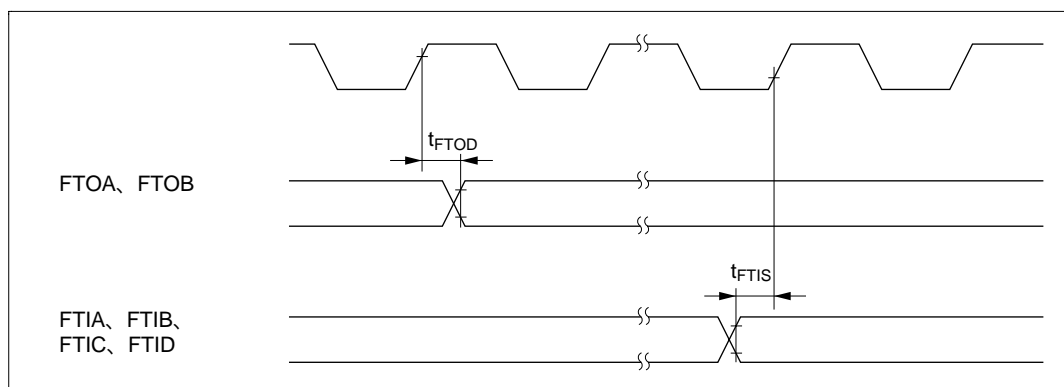


図 26.16 FRT 入出力タイミング

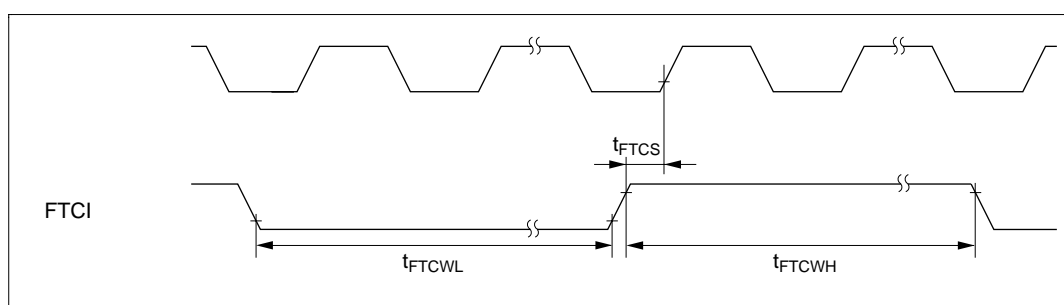


図 26.17 FRT クロック入力タイミング

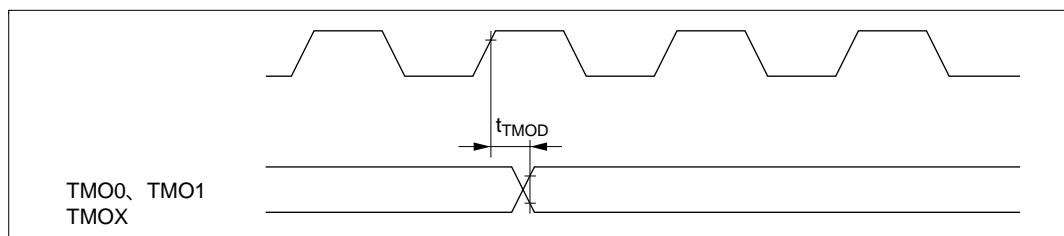


図 26.18 8 ビットタイマ出力タイミング

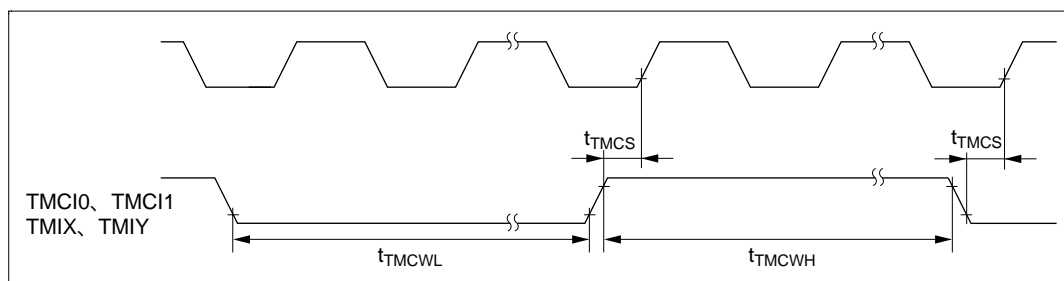


図 26.19 8 ビットタイマクロック入力タイミング

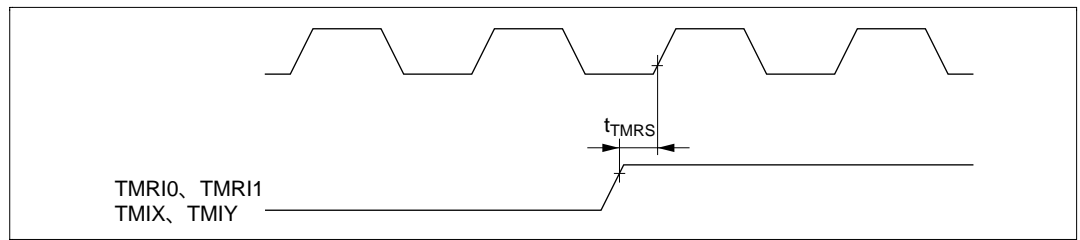


図 26.20 8ビットタイマリセット入力タイミング

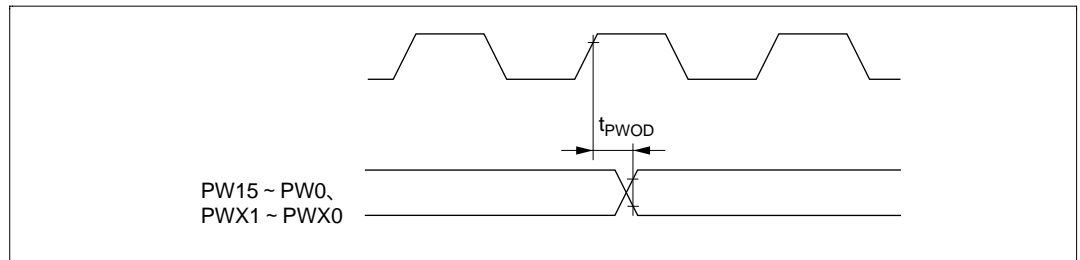


図 26.21 PWM、PWMX 出力タイミング

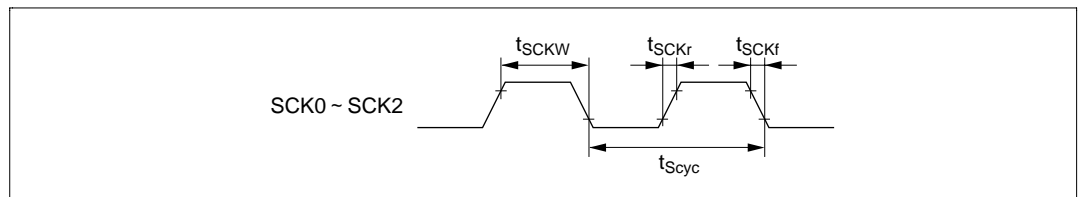


図 26.22 SCK クロック入力タイミング

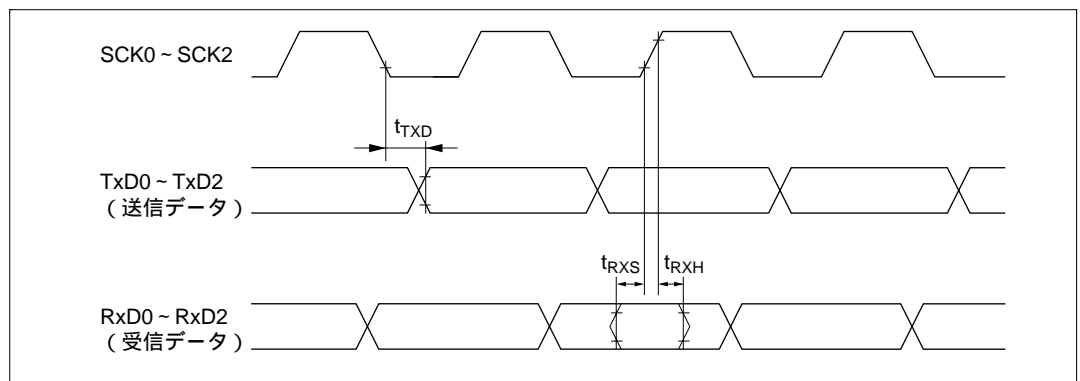


図 26.23 SCI 入出力タイミング / クロック同期式モード

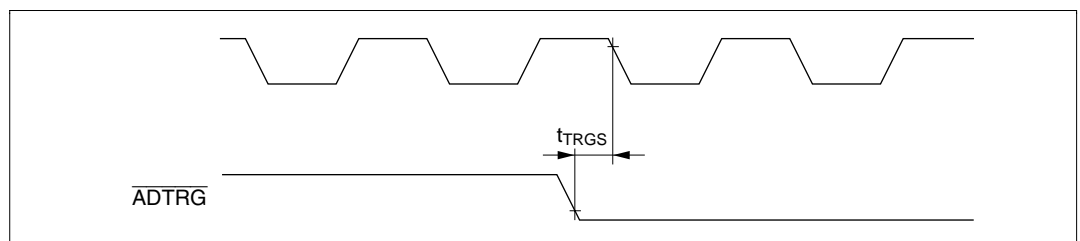


図 26.24 A/D 変換器外部トリガ入力タイミング

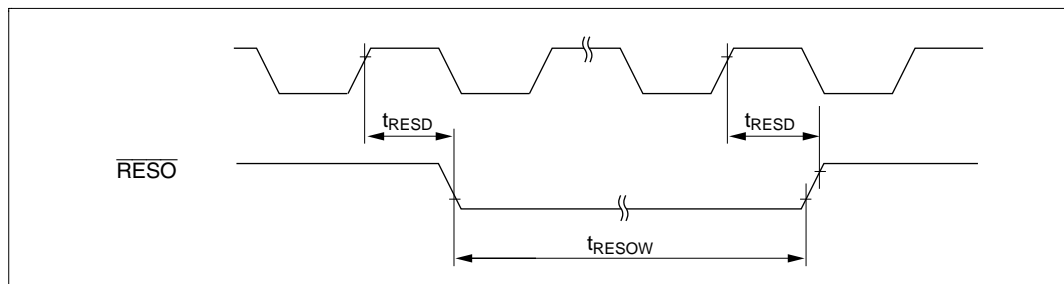
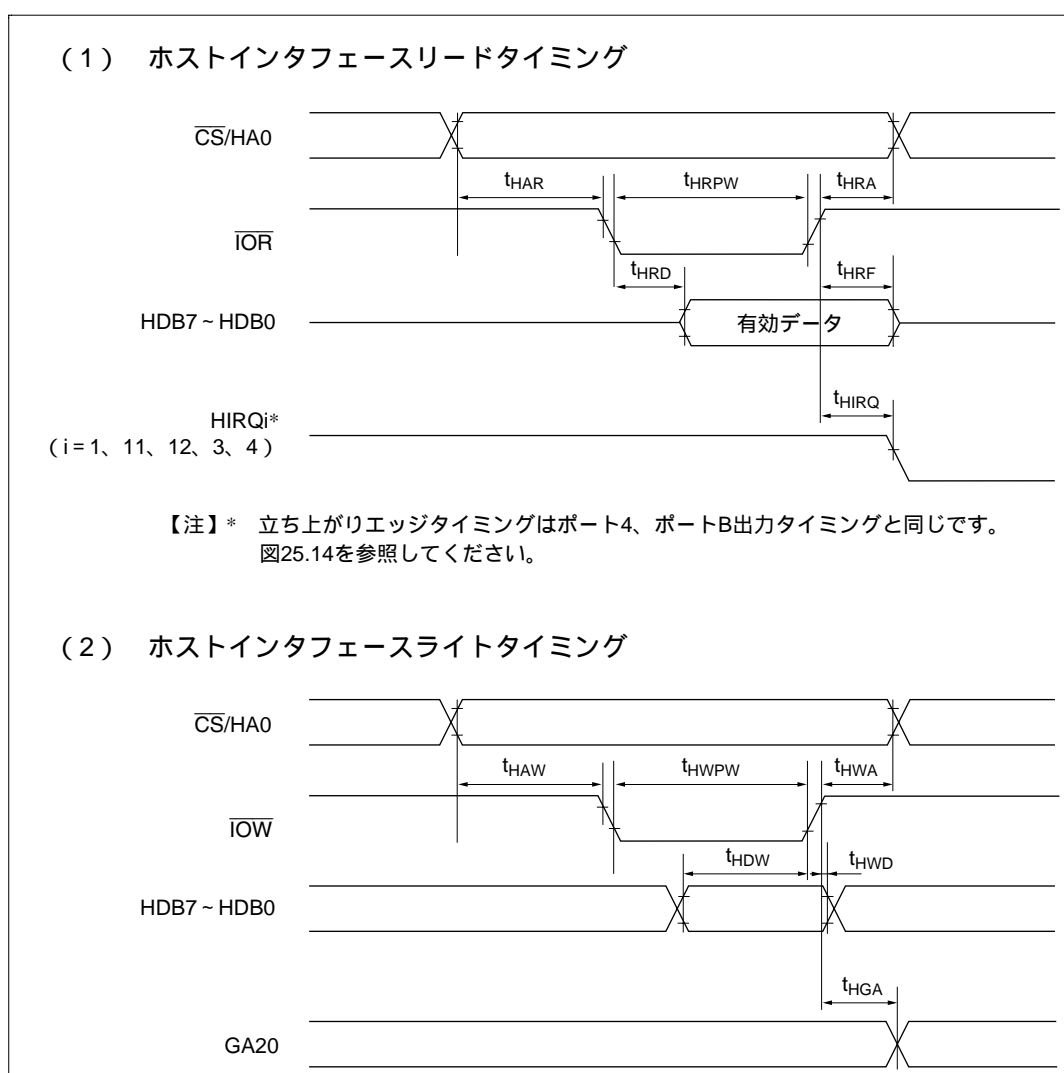
図 26.25 WDT 出力タイミング ($\overline{\text{RESO}}$)

図 26.26 ホストインタフェースタイミング

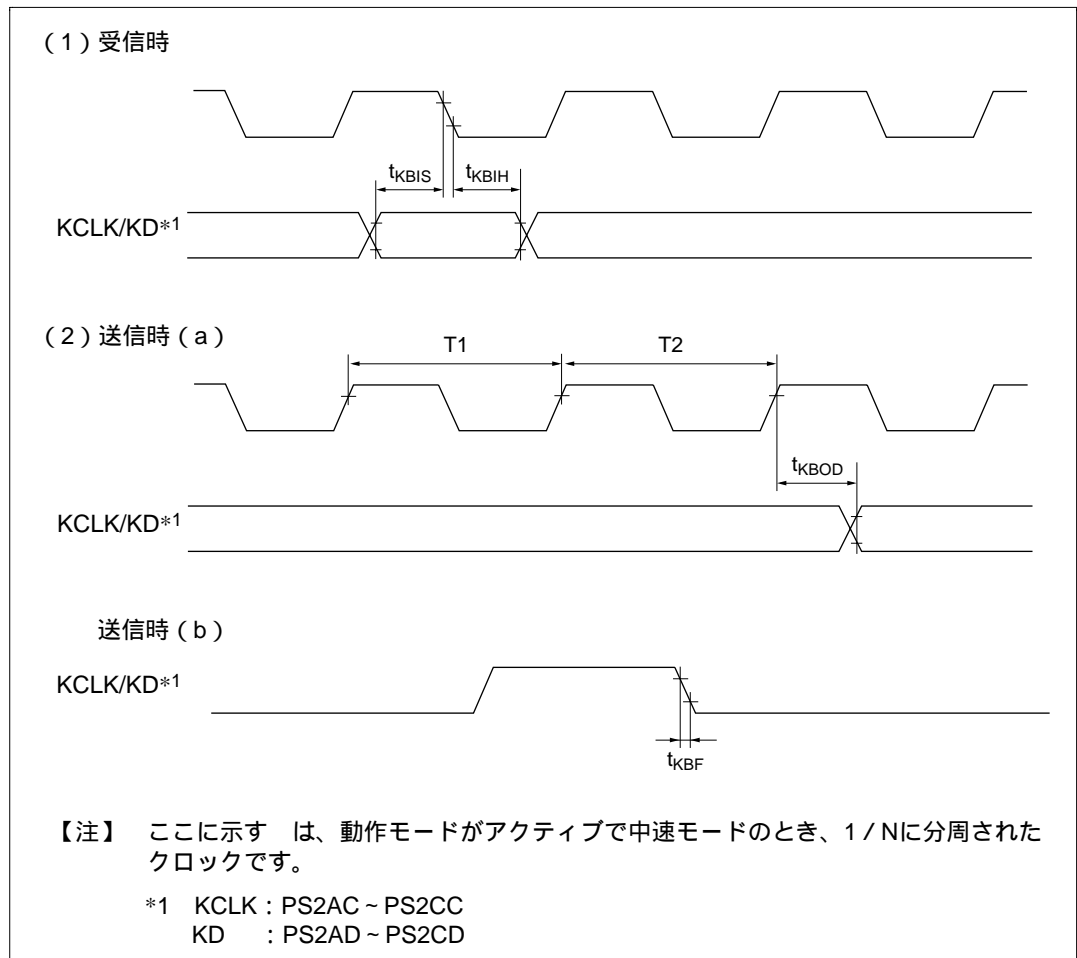


図 26.27 キーボードバッファコントローラタイミング

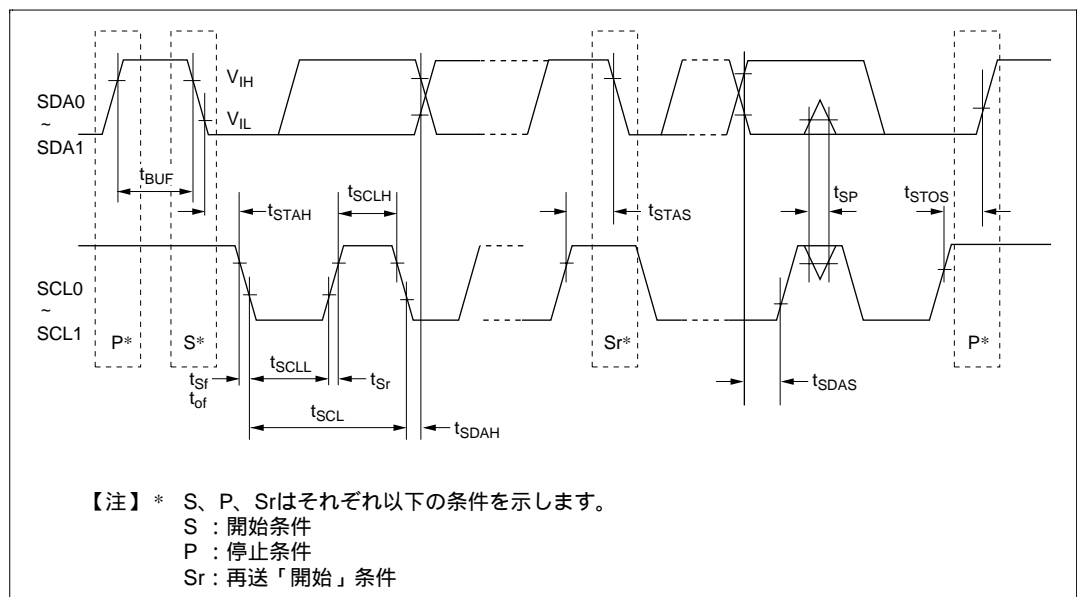


図 26.28 I²C バスインタフェース入出力タイミング【オプション】

付録

付録 目次

A.	命令	923
	A.1 命令セット一覧.....	923
	A.2 命令コード一覧.....	934
	A.3 オペレーションコードマップ.....	944
	A.4 命令実行ステート数.....	948
	A.5 命令実行中のバス状態.....	958
B.	内部 I/O レジスタ	968
	B.1 アドレス一覧.....	968
	B.2 レジスタ選択条件	974
	B.3 機能一覧.....	981
C.	I/O ポートのブロック図.....	1060
	C.1 ポート 1 ブロック図	1060
	C.2 ポート 2 ブロック図	1061
	C.3 ポート 3 ブロック図	1064
	C.4 ポート 4 ブロック図	1065
	C.5 ポート 5 ブロック図	1072
	C.6 ポート 6 ブロック図	1075
	C.7 ポート 7 ブロック図	1080
	C.8 ポート 8 ブロック図	1081
	C.9 ポート 9 ブロック図	1087
	C.10 ポート A ブロック図.....	1092
	C.11 ポート B ブロック図.....	1095
D.	端子状態.....	1098
	D.1 各処理状態におけるポートの状態.....	1098
E.	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて	1100
	E.1 ハードウェアスタンバイモードの遷移タイミング.....	1100
	E.2 ハードウェアスタンバイモードからの復帰タイミング.....	1100

F.	ROM 発注手順	1101
	F.1 ROM 書き換え品開発の流れ（発注手順）	1101
	F.2 ROM 発注時の注意事項	1102
G.	型名一覧	1103
H.	外形寸法図	1105

A. 命令

A.1 命令セット一覧

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側) * ¹
Rs	汎用レジスタ (ソース側) * ¹
Rn	汎用レジスタ* ¹
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ) * ²
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理 (論理的補数)
() < >	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 *¹ 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L)、16 ビット (R0~R7、E0~E7) または 32 ビット (ER0~ER7) です。

*² MAC レジスタは本 LSI では使用できません。

《コンディションコード》

記 号	内 容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

(1) データ転送命令

二ノミック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
MOV	MOV.B #xx:8,Rd	B	2							#xx:8 Rd8							1	
	MOV.B Rs,Rd	B	2							Rs8 Rd8							1	
	MOV.B @ERs,Rd	B		2						@ERs Rd8							2	
	MOV.B @ (d:16,ERs),Rd	B			4					@ (d:16,ERs) Rd8							3	
	MOV.B @ (d:32,ERs),Rd	B			8					@ (d:32,ERs) Rd8							5	
	MOV.B @ERs+,Rd	B				2				@ERs Rd8,ERs32+1 ERs32							3	
	MOV.B @aa:8,Rd	B					2			@aa:8 Rd8							2	
	MOV.B @aa:16,Rd	B					4			@aa:16 Rd8							3	
	MOV.B @aa:32,Rd	B					6			@aa:32 Rd8							4	
	MOV.B Rs,@ERd	B		2						Rs8 @ERd							2	
	MOV.B Rs,@ (d:16,ERd)	B			4					Rs8 @ (d:16,ERd)							3	
	MOV.B Rs,@ (d:32,ERd)	B			8					Rs8 @ (d:32,ERd)							5	
	MOV.B Rs,@-ERd	B				2				ERd32-1 ERd32,Rs8 @ERd							3	
	MOV.B Rs,@aa:8	B					2			Rs8 @aa:8							2	
	MOV.B Rs,@aa:16	B					4			Rs8 @aa:16							3	
	MOV.B Rs,@aa:32	B					6			Rs8 @aa:32							4	
	MOV.W #xx:16,Rd	W	4							#xx:16 Rd16							2	
	MOV.W Rs,Rd	W		2						Rs16 Rd16							1	
	MOV.W @ERs,Rd	W			2					@ERs Rd16							2	
	MOV.W @ (d:16,ERs),Rd	W			4					@ (d:16,ERs) Rd16							3	
	MOV.W @ (d:32,ERs),Rd	W			8					@ (d:32,ERs) Rd16							5	
	MOV.W @ERs+,Rd	W				2				@ERs Rd16,ERs32+2 ERs32							3	
	MOV.W @aa:16,Rd	W					4			@aa:16 Rd16							3	
	MOV.W @aa:32,Rd	W					6			@aa:32 Rd16							4	
	MOV.W Rs,@ERd	W		2						Rs16 @ERd							2	
	MOV.W Rs,@ (d:16,ERd)	W			4					Rs16 @ (d:16,ERd)							3	
	MOV.W Rs,@ (d:32,ERd)	W			8					Rs16 @ (d:32,ERd)							5	
	MOV.W Rs,@-ERd	W				2				ERd32-2 ERd32,Rs16 @ERd							3	
	MOV.W Rs,@aa:16	W					4			Rs16 @aa:16							3	
	MOV.W Rs,@aa:32	W					6			Rs16 @aa:32							4	
	MOV.L #xx:32,ERd	L	6							#xx:32 ERd32							3	
	MOV.L ERs,ERd	L		2						ERs32 ERd32							1	
MOV.L @ERs,ERd	L			4					@ERs ERd32							4		
MOV.L @ (d:16,ERs),ERd	L			6					@ (d:16,ERs) ERd32							5		
MOV.L @ (d:32,ERs),ERd	L			10					@ (d:32,ERs) ERd32							7		
MOV.L @ERs+,ERd	L				4				@ERs ERd32,ERs32+4 ERs32							5		
MOV.L @aa:16,ERd	L					6			@aa:16 ERd32							5		
MOV.L @aa:32,ERd	L					8			@aa:32 ERd32							6		
MOV.L ERs,@ERd	L		4						ERs32 @ERd							4		
MOV.L ERs,@ (d:16,ERd)	L			6					ERs32 @ (d:16,ERd)							5		
MOV.L ERs,@ (d:32,ERd)	L			10					ERs32 @ (d:32,ERd)							7		
MOV.L ERs,@-ERd	L				4				ERd32-4 ERd32,ERs32 @ERd							5		
MOV.L ERs,@aa:16	L					6			ERs32 @aa:16							5		
MOV.L ERs,@aa:32	L					8			ERs32 @aa:32							6		
POP	POP.W Rn	W					2	@SP Rn16,SP+2 SP								3		
	POP.L ERn	L					4	@SP ERn32,SP+4 SP								5		
PUSH	PUSH.W Rn	W					2	SP-2 SP,Rn16 @SP								3		
	PUSH.L ERn	L					4	SP-4 SP,ERn32 @SP								5		
LDM*4	LDM @SP+,(ERm-ERn)	L					4	(@SP ERn32,SP+4 SP) 復帰本数分繰り返し								7/9/11 [1]		
STM*4	STM (ERm-ERn),@-SP	L					4	(SP-4 SP,ERn32 @SP) 退避本数分繰り返し								7/9/11 [1]		
MOVFP	MOVFP @aa:16,Rd															[2]		
MOVTP	MOVTP Rs,@aa:16															[2]		

本LSIでは使用できません。

(2) 算術演算命令

二モニック	オペレーション	サイズ	アドレッシングモード/命令長(バイト)								コンディションコード	実行ステート数*1							
			#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
ADD	ADD.B #xx:8,Rd	B	2															1	
	ADD.B Rs,Rd	B	2															1	
	ADD.W #xx:16,Rd	W	4															2	
	ADD.W Rs,Rd	W	2															1	
	ADD.L #xx:32,ERd	L	6															3	
ADDD	ADDD.L ERs,ERd	L	2															1	
	ADDD #xx:8,Rd	B	2															1	
ADDS	ADDS #1,ERd	L	2															1	
	ADDS #2,ERd	L	2															1	
	ADDS #4,ERd	L	2															1	
INC	INC.B Rd	B	2															1	
	INC.W #1,Rd	W	2															1	
	INC.W #2,Rd	W	2															1	
	INC.L #1,ERd	L	2															1	
DAA	DAA Rd	B	2									*		*				1	
	SUB.B Rs,Rd	B	2															1	
	SUB.W #xx:16,Rd	W	4															2	
	SUB.W Rs,Rd	W	2															1	
	SUB.L #xx:32,ERd	L	6															3	
	SUB.L ERs,ERd	L	2															1	
	SUBX #xx:8,Rd	B	2															1	
	SUBX Rs,Rd	B	2															1	
	SUBS #1,ERd	L	2															1	
	SUBS #2,ERd	L	2															1	
DEC	DEC.B Rd	B	2															1	
	DEC.W #1,Rd	W	2															1	
	DEC.W #2,Rd	W	2															1	
	DEC.L #1,ERd	L	2															1	
DAS	DAS Rd	B	2									*		*				1	
	MULXU.B Rs,Rd	B	2															12	
MULXS	MULXU.W Rs,ERd	W	2															20	
	MULXS.B Rs,Rd	B	4															13	
DIVXU	MULXS.W Rs,ERd	W	4															21	
	DIVXU.B Rs,Rd	B	2															12	
DIVXS	DIVXU.W Rs,ERd	W	2															20	
	DIVXS.B Rs,Rd	B	4															13	
CMP	DIVXS.W Rs,ERd	W	4															21	
	CMP.B #xx:8,Rd	B	2															1	
	CMP.B Rs,Rd	B	2															1	
	CMP.W #xx:16,Rd	W	4															2	
	CMP.W Rs,Rd	W	2															1	
NEG	CMP.L #xx:32,ERd	L	6															3	
	NEG.B Rd	B	2															1	
	NEG.W Rd	W	2															1	
EXTU	NEG.L ERd	L	2															1	
	EXTU.W Rd	W	2															1	
EXTS	EXTU.L ERd	L	2															1	
	EXTS.W Rd	W	2															1	
TAS	EXTS.L ERd	L	2															1	
	TAS @ERd*3	B			4													4	
MAC	MAC @ERn+,@ERm+																		
CLRMAC	CLRMAC																		
LDMAC	LDMAC ERs,MACH																		
STMAC	LDMAC ERs,MACL																		
	STMAC MACH,ERd																		
	STMAC MACL,ERd																		

本LSIでは使用できません。

[2]

(3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行 ステート数*1		
		#xx	Rn	@ERn	@t(ERn)	@-ERn/@ERn+	@aa	@t(PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
AND	AND.B #xx:8,Rd	B	2															1
	AND.B Rs,Rd	B	2															1
	AND.W #xx:16,Rd	W	4															2
	AND.W Rs,Rd	W	2															1
	AND.L #xx:32,ERd	L	6															3
	AND.L ERs,ERd	L	4															2
OR	OR.B #xx:8,Rd	B	2															1
	OR.B Rs,Rd	B	2															1
	OR.W #xx:16,Rd	W	4															2
	OR.W Rs,Rd	W	2															1
	OR.L #xx:32,ERd	L	6															3
	OR.L ERs,ERd	L	4															2
XOR	XOR.B #xx:8,Rd	B	2															1
	XOR.B Rs,Rd	B	2															1
	XOR.W #xx:16,Rd	W	4															2
	XOR.W Rs,Rd	W	2															1
	XOR.L #xx:32,ERd	L	6															3
	XOR.L ERs,ERd	L	4															2
NOT	NOT.B Rd	B	2															1
	NOT.W Rd	W	2															1
	NOT.L ERd	L	2															1

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
SHAL	SHAL.B Rd	B	2														1	
	SHAL.B #2,Rd	B	2														1	
	SHAL.W Rd	W	2														1	
	SHAL.W #2,Rd	W	2														1	
	SHAL.L ERd	L	2														1	
SHAR	SHAL.L #2,ERd	L	2													1		
	SHAR.B Rd	B	2														1	
	SHAR.B #2,Rd	B	2														1	
	SHAR.W Rd	W	2														1	
	SHAR.W #2,Rd	W	2														1	
SHAR.L ERd	L	2														1		
SHLL	SHAR.L #2,ERd	L	2													1		
	SHLL.B Rd	B	2														1	
	SHLL.B #2,Rd	B	2														1	
	SHLL.W Rd	W	2														1	
	SHLL.W #2,Rd	W	2														1	
SHLL.L ERd	L	2														1		
SHLR	SHLL.L #2,ERd	L	2													1		
	SHLR.B Rd	B	2														1	
	SHLR.B #2,Rd	B	2														1	
	SHLR.W Rd	W	2														1	
	SHLR.W #2,Rd	W	2														1	
SHLR.L ERd	L	2														1		
ROTXL	SHLR.L #2,ERd	L	2													1		
	ROTXL.B Rd	B	2														1	
	ROTXL.B #2,Rd	B	2														1	
	ROTXL.W Rd	W	2														1	
	ROTXL.W #2,Rd	W	2														1	
ROTXL.L ERd	L	2														1		
ROTXR	ROTXL.L #2,ERd	L	2													1		
	ROTXR.B Rd	B	2														1	
	ROTXR.B #2,Rd	B	2														1	
	ROTXR.W Rd	W	2														1	
	ROTXR.W #2,Rd	W	2														1	
ROTXR.L ERd	L	2														1		
ROTL	ROTXR.L #2,ERd	L	2													1		
	ROTL.B Rd	B	2														1	
	ROTL.B #2,Rd	B	2														1	
	ROTL.W Rd	W	2														1	
	ROTL.W #2,Rd	W	2														1	
ROTL.L ERd	L	2														1		
ROTR	ROTL.L #2,ERd	L	2													1		
	ROTR.B Rd	B	2														1	
	ROTR.B #2,Rd	B	2														1	
	ROTR.W Rd	W	2														1	
	ROTR.W #2,Rd	W	2														1	
ROTR.L ERd	L	2														1		
ROTR.L #2,ERd	L	2													1			

(5) ビット操作命令

二一モニック	サイズ	アドレッシングモード/ 命令長 (バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@@aa		I	H	N	Z	V	C	ノ一マル	アドバンスト
BSET	BSET #xx:3,Rd	B	2							(#xx:3 of Rd8) 1							1	
	BSET #xx:3,@ERd	B		4						(#xx:3 of @ERd) 1							4	
	BSET #xx:3,@aa:8	B					4			(#xx:3 of @aa:8) 1							4	
	BSET #xx:3,@aa:16	B					6			(#xx:3 of @aa:16) 1							5	
	BSET #xx:3,@aa:32	B					8			(#xx:3 of @aa:32) 1							6	
	BSET Rn,Rd	B	2							(Rn8 of Rd8) 1							1	
	BSET Rn,@ERd	B		4						(Rn8 of @ERd) 1							4	
	BSET Rn,@aa:8	B					4			(Rn8 of @aa:8) 1							4	
	BSET Rn,@aa:16	B					6			(Rn8 of @aa:16) 1							5	
BSET Rn,@aa:32	B					8			(Rn8 of @aa:32) 1							6		
BCLR	BCLR #xx:3,Rd	B	2							(#xx:3 of Rd8) 0							1	
	BCLR #xx:3,@ERd	B		4						(#xx:3 of @ERd) 0							4	
	BCLR #xx:3,@aa:8	B					4			(#xx:3 of @aa:8) 0							4	
	BCLR #xx:3,@aa:16	B					6			(#xx:3 of @aa:16) 0							5	
	BCLR #xx:3,@aa:32	B					8			(#xx:3 of @aa:32) 0							6	
	BCLR Rn,Rd	B	2							(Rn8 of Rd8) 0							1	
	BCLR Rn,@ERd	B		4						(Rn8 of @ERd) 0							4	
	BCLR Rn,@aa:8	B					4			(Rn8 of @aa:8) 0							4	
	BCLR Rn,@aa:16	B					6			(Rn8 of @aa:16) 0							5	
BCLR Rn,@aa:32	B					8			(Rn8 of @aa:32) 0							6		
BNOT	BNOT #xx:3,Rd	B	2							(#xx:3 of Rd8) [- (#xx:3 of Rd8)]							1	
	BNOT #xx:3,@ERd	B		4						(#xx:3 of @ERd) [- (#xx:3 of @ERd)]							4	
	BNOT #xx:3,@aa:8	B					4			(#xx:3 of @aa:8) [- (#xx:3 of @aa:8)]							4	
	BNOT #xx:3,@aa:16	B					6			(#xx:3 of @aa:16) [- (#xx:3 of @aa:16)]							5	
	BNOT #xx:3,@aa:32	B					8			(#xx:3 of @aa:32) [- (#xx:3 of @aa:32)]							6	
	BNOT Rn,Rd	B	2							(Rn8 of Rd8) [- (Rn8 of Rd8)]							1	
	BNOT Rn,@ERd	B		4						(Rn8 of @ERd) [- (Rn8 of @ERd)]							4	
	BNOT Rn,@aa:8	B					4			(Rn8 of @aa:8) [- (Rn8 of @aa:8)]							4	
	BNOT Rn,@aa:16	B					6			(Rn8 of @aa:16) [- (Rn8 of @aa:16)]							5	
BNOT Rn,@aa:32	B					8			(Rn8 of @aa:32) [- (Rn8 of @aa:32)]							6		
BTST	BTST #xx:3,Rd	B	2							~ (#xx:3 of Rd8) Z							1	
	BTST #xx:3,@ERd	B		4						~ (#xx:3 of @ERd) Z							3	
	BTST #xx:3,@aa:8	B					4			~ (#xx:3 of @aa:8) Z							3	
	BTST #xx:3,@aa:16	B					6			~ (#xx:3 of @aa:16) Z							4	
	BTST #xx:3,@aa:32	B					8			~ (#xx:3 of @aa:32) Z							5	
	BTST Rn,Rd	B	2							~ (Rn8 of Rd8) Z							1	
	BTST Rn,@ERd	B		4						~ (Rn8 of @ERd) Z							3	
	BTST Rn,@aa:8	B					4			~ (Rn8 of @aa:8) Z							3	
	BTST Rn,@aa:16	B					6			~ (Rn8 of @aa:16) Z							4	
BTST Rn,@aa:32	B					8			~ (Rn8 of @aa:32) Z							5		
BLD	BLD #xx:3,Rd	B	2							(#xx:3 of Rd8) C							1	
	BLD #xx:3,@ERd	B		4						(#xx:3 of @ERd) C							3	
	BLD #xx:3,@aa:8	B					4			(#xx:3 of @aa:8) C							3	
	BLD #xx:3,@aa:16	B					6			(#xx:3 of @aa:16) C							4	
	BLD #xx:3,@aa:32	B					8			(#xx:3 of @aa:32) C							5	
BILD	BILD #xx:3,Rd	B	2							~ (#xx:3 of Rd8) C							1	
	BILD #xx:3,@ERd	B		4						~ (#xx:3 of @ERd) C							3	
	BILD #xx:3,@aa:8	B					4			~ (#xx:3 of @aa:8) C							3	
	BILD #xx:3,@aa:16	B					6			~ (#xx:3 of @aa:16) C							4	
	BILD #xx:3,@aa:32	B					8			~ (#xx:3 of @aa:32) C							5	
BST	BST #xx:3,Rd	B	2							C (#xx:3 of Rd8)							1	
	BST #xx:3,@ERd	B		4						C (#xx:3 of @ERd)							4	
	BST #xx:3,@aa:8	B					4			C (#xx:3 of @aa:8)							4	
	BST #xx:3,@aa:16	B					6			C (#xx:3 of @aa:16)							5	
	BST #xx:3,@aa:32	B					8			C (#xx:3 of @aa:32)							6	
BIST	BIST #xx:3,Rd	B	2							~ C (#xx:3 of Rd8)							1	
	BIST #xx:3,@ERd	B		4						~ C (#xx:3 of @ERd)							4	
	BIST #xx:3,@aa:8	B					4			~ C (#xx:3 of @aa:8)							4	
	BIST #xx:3,@aa:16	B					6			~ C (#xx:3 of @aa:16)							5	
BIST #xx:3,@aa:32	B					8			~ C (#xx:3 of @aa:32)							6		
BAND	BAND #xx:3,Rd	B	2							C^(#xx:3 of Rd8) C							1	
	BAND #xx:3,@ERd	B		4						C^(#xx:3 of @ERd) C							3	
	BAND #xx:3,@aa:8	B					4			C^(#xx:3 of @aa:8) C							3	
	BAND #xx:3,@aa:16	B					6			C^(#xx:3 of @aa:16) C							4	
	BAND #xx:3,@aa:32	B					8			C^(#xx:3 of @aa:32) C							5	

(5) ビット操作命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@d.ERn	@-ERn/@ERn+	@aa	@d.PC	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
BIAND	BIAND #xx:3,Rd	B	2														1	
	BIAND #xx:3,@ERd	B		4													3	
	BIAND #xx:3,@aa:8	B					4										3	
	BIAND #xx:3,@aa:16	B						6									4	
	BIAND #xx:3,@aa:32	B							8								5	
BOR	BOR #xx:3,Rd	B	2														1	
	BOR #xx:3,@ERd	B		4													3	
	BOR #xx:3,@aa:8	B					4										3	
	BOR #xx:3,@aa:16	B						6									4	
	BOR #xx:3,@aa:32	B							8								5	
BIOR	BIOR #xx:3,Rd	B	2														1	
	BIOR #xx:3,@ERd	B		4													3	
	BIOR #xx:3,@aa:8	B					4										3	
	BIOR #xx:3,@aa:16	B						6									4	
	BIOR #xx:3,@aa:32	B							8								5	
BXOR	BXOR #xx:3,Rd	B	2														1	
	BXOR #xx:3,@ERd	B		4													3	
	BXOR #xx:3,@aa:8	B					4										3	
	BXOR #xx:3,@aa:16	B						6									4	
	BXOR #xx:3,@aa:32	B							8								5	
BIXOR	BIXOR #xx:3,Rd	B	2														1	
	BIXOR #xx:3,@ERd	B		4													3	
	BIXOR #xx:3,@aa:8	B					4										3	
	BIXOR #xx:3,@aa:16	B						6									4	
	BIXOR #xx:3,@aa:32	B							8								5	

(6) 分岐命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード						実行ステート数*1		
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn@ERn+	@aa	@ (d,PC)	@@aa		分岐条件	I	H	N	Z	V	C	ノーマル	アドバンスト
Bcc	BRA d:8(BT d:8)							2		if condition is true then PC PC + d else next;	Always							2	
	BRA d:16(BT d:16)							4			Never							2	
	BRN d:8(BF d:8)							2			CvZ=0							2	
	BRN d:16(BF d:16)							4			CvZ=1							2	
	BHI d:8							2			C=0							2	
	BHI d:16							4			C=1							2	
	BLS d:8							2			Z=0							2	
	BLS d:16							4			Z=1							2	
	BCC d:8(BHS d:8)							2			C=0							2	
	BCC d:16(BHS d:16)							4			C=1							2	
	BCC d:8(BLO d:8)							2			Z=0							2	
	BCC d:16(BLO d:16)							4			Z=1							2	
	BNE d:8							2			V=0							2	
	BNE d:16							4			V=1							2	
	BEQ d:8							2			N=0							2	
	BEQ d:16							4			N=1							2	
	BVC d:8							2			N@V=0							2	
	BVC d:16							4			N@V=1							2	
	BVS d:8							2			Zv(N@V)=0							2	
	BVS d:16							4			Zv(N@V)=1							2	
	BPL d:8							2										2	
	BPL d:16							4										2	
	BMI d:8							2										2	
	BMI d:16							4										2	
	BGE d:8							2										2	
	BGE d:16							4										2	
	BLT d:8							2										2	
	BLT d:16							4										2	
	BGT d:8							2										2	
	BGT d:16							4										2	
	BLE d:8							2										2	
	BLE d:16							4										2	
JMP	JMP @ERn			2						PC ERn							2		
	JMP @aa:24						4			PC aa:24							3		
	JMP @@aa:8							2		PC @aa:8						4	5		
BSR	BSR d:8						2			PC @-SP,PC PC+d:8						3	4		
	BSR d:16						4			PC @-SP,PC PC+d:16						4	5		
JSR	JSR @ERn			2						PC @-SP,PC ERn						3	4		
	JSR @aa:24						4			PC @-SP,PC aa:24						4	5		
	JSR @@aa:8							2		PC @-SP,PC @aa:8						4	6		
RTS	RTS							2		PC @SP+						4	5		

(7) システム制御命令

二一モニツク	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@ (d.ERn)	@.ERn/@ERn+	@aa	@ (d.PC)	@@aa		I	H	N	Z	V	C	ノ一マル	アドバンスト
TRAPA	TRAPA #xx:2									PC @-SP,CCR @-SP,EXR @-SP,<ベクタ> PC	1						7 [9]	8 [9]
RTE	RTE									EXR @SP+,CCR @SP+,PC @SP+	↑	↑	↑	↑	↑	↑	5 [9]	
SLEEP	SLEEP									低消費電力状態に遷移								2
LDC	LDC #xx:8,CCR	B	2							#xx:8 CCR	↑	↑	↑	↑	↑	↑		1
	LDC #xx:8,EXR	B	4							#xx:8 EXR								2
	LDC Rs,CCR	B		2						Rs8 CCR	↑	↑	↑	↑	↑	↑		1
	LDC Rs,EXR	B		2						Rs8 EXR								1
	LDC @ERs,CCR	W			4					@ERs CCR	↑	↑	↑	↑	↑	↑		3
	LDC @ERs,EXR	W			4					@ERs EXR								3
	LDC @ (d:16,ERs),CCR	W				6				@ (d:16,ERs) CCR	↑	↑	↑	↑	↑	↑		4
	LDC @ (d:16,ERs),EXR	W				6				@ (d:16,ERs) EXR								4
	LDC @ (d:32,ERs),CCR	W				10				@ (d:32,ERs) CCR	↑	↑	↑	↑	↑	↑		6
	LDC @ (d:32,ERs),EXR	W				10				@ (d:32,ERs) EXR								6
	LDC @ERs+,CCR	W					4			@ERs CCR,ERs32+2 ERs32	↑	↑	↑	↑	↑	↑		4
	LDC @ERs+,EXR	W					4			@ERs EXR,ERs32+2 ERs32								4
	LDC @aa:16,CCR	W						6		@aa:16 CCR	↑	↑	↑	↑	↑	↑		4
	LDC @aa:16,EXR	W						6		@aa:16 EXR								4
LDC @aa:32,CCR	W							8	@aa:32 CCR	↑	↑	↑	↑	↑	↑		5	
LDC @aa:32,EXR	W							8	@aa:32 EXR								5	
STC	STC CCR,Rd	B		2						CCR Rd8								1
	STC EXR,Rd	B		2						EXR Rd8								1
	STC CCR,@ERd	W			4					CCR @ERd								3
	STC EXR,@ERd	W			4					EXR @ERd								3
	STC CCR,@ (d:16,ERd)	W				6				CCR @ (d:16,ERd)								4
	STC EXR,@ (d:16,ERd)	W				6				EXR @ (d:16,ERd)								4
	STC CCR,@ (d:32,ERd)	W				10				CCR @ (d:32,ERd)								6
	STC EXR,@ (d:32,ERd)	W				10				EXR @ (d:32,ERd)								6
	STC CCR,@-ERd	W					4			ERd32-2 ERd32,CCR @ERd								4
	STC EXR,@-ERd	W					4			ERd32-2 ERd32,EXR @ERd								4
	STC CCR,@aa:16	W						6		CCR @aa:16								4
	STC EXR,@aa:16	W						6		EXR @aa:16								4
	STC CCR,@aa:32	W							8	CCR @aa:32								5
	STC EXR,@aa:32	W							8	EXR @aa:32								5
ANDC	ANDC #xx:8,CCR	B	2							CCR^#xx:8 CCR	↑	↑	↑	↑	↑	↑		1
	ANDC #xx:8,EXR	B	4							EXR^#xx:8 EXR								2
ORC	ORC #xx:8,CCR	B	2							CCR v#xx:8 CCR	↑	↑	↑	↑	↑	↑		1
	ORC #xx:8,EXR	B	4							EXR v#xx:8 EXR								2
XORC	XORC #xx:8,CCR	B	2							CCR @#xx:8 CCR	↑	↑	↑	↑	↑	↑		1
	XORC #xx:8,EXR	B	4							EXR @#xx:8 EXR								2
NOP	NOP								2	PC PC+2								1

(8) ブロック転送命令

二一モニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード						実行ステート数*1		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト	
		EEPMOV	EEPMOV.B										4	if R4L≠0 Repeat @ER5 @ER6 R5+1 R5 R6+1 R6 R4L-1 R4L Until R4L=0 else next;					
	EEPMOV.W									4	if R4≠0 Repeat @ER5 @ER6 R5+1 R5 R6+1 R6 R4-1 R4 Until R4=0 else next;								4+2n *2

【注】 *1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。

*2 nはR4LまたはR4の初期設定値です。

*3 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

*4 STM/LDM命令を使用する場合は、レジスタER0～ER6を使用してください。

[1] 復帰/退避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。

[2] 本LSIでは使用できません。

[3] ビット11から桁上がりまたはビット11へ桁下がりが発生したときにセットされ、それ以外のとき0にクリアされます。

[4] ビット27から桁上がりまたはビット27へ桁下がりが発生したときにセットされ、それ以外のとき0にクリアされます。

[5] 演算結果が0(ゼロ)のとき、演算前の値を保持し、それ以外のとき0にクリアされます。

[6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

[7] 除数が0(ゼロ)のとき1にセットされ、それ以外のとき0にクリアされます。

[8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

[9] EXRが有効のとき、実行ステート数は1ステート多くなります。

A.2 命令コード一覧

A.2 命令コード一覧(1)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
ADD	ADD.B #xx:8,Rd	B	8	rd	IMM															
	ADD.B Rs,Rd	B	0	8	rs	rd														
	ADD.W #xx:16,Rd	W	7	9	1	rd	IMM													
	ADD.W Rs,Rd	W	0	9	rs	rd														
	ADD.L #xx:32,ERd	L	7	A	1	0	erd	IMM												
ADDS	ADD.L ERs,ERd	L	0	A	1	ers	0	erd												
	ADDS #1,ERd	L	0	B	0	0	erd													
	ADDS #2,ERd	L	0	B	8	0	erd													
	ADDS #4,ERd	L	0	B	9	0	erd													
	ADDS #8,ERd	L	0	B	9	rd	IMM													
AND	ADDX Rs,Rd	B	0	E	rs	rd														
	AND.B #xx:8,Rd	B	E	rd	IMM															
	AND.B Rs,Rd	B	1	6	rs	rd														
	AND.W #xx:16,Rd	W	7	9	6	rd	IMM													
	AND.W Rs,Rd	W	6	6	rs	rd														
ANDC	AND.L #xx:32,ERd	L	7	A	6	0	erd	IMM												
	AND.L ERs,ERd	L	0	1	F	0	ers	0	erd											
	ANDC #xx:8,CCR	B	0	6	IMM															
	ANDC #xx:8,EXR	B	0	1	4	1	IMM													
	ANDC #xx:3,Rd	B	7	6	0	IMM	rd													
BAND	BAND #xx:3,@ERd	B	7	C	0	erd	0	7	6	0	IMM	0								
	BAND #xx:3,@aa:8	B	7	E	abs	0	7	6	0	IMM	0									
	BAND #xx:3,@aa:16	B	6	A	1	0	abs	7	6	0	IMM	0								
	BAND #xx:3,@aa:32	B	6	A	3	0	abs	7	6	0	IMM	0								
	BAND #xx:3,@aa:64	B	6	A	3	0	abs	7	6	0	IMM	0								
Bcc	BRA d:8 (BT d:8)	-	4	0	disp															
	BRA d:16 (BT d:16)	-	5	8	0	0	disp													
	BRN d:8 (BF d:8)	-	4	1	disp															
	BRN d:16 (BF d:16)	-	5	8	1	0	disp													
	BHI d:8	-	4	2	disp															
	BHI d:16	-	5	8	2	0	disp													
	BLS d:8	-	4	3	disp															
	BLS d:16	-	5	8	3	0	disp													
	BCC d:8 (BHS d:8)	-	4	4	disp															
	BCC d:16 (BHS d:16)	-	5	8	4	0	disp													
	BCS d:8 (BLO d:8)	-	4	5	disp															
	BCS d:16 (BLO d:16)	-	5	8	5	0	disp													
	BNE d:8	-	4	6	disp															
	BNE d:16	-	5	8	6	0	disp													
	BEQ d:8	-	4	7	disp															
	BEQ d:16	-	5	8	7	0	disp													
BVC d:8	-	4	8	disp																
BVC d:16	-	5	8	8	0	disp														
BVS d:8	-	4	9	disp																
BVS d:16	-	5	8	9	0	disp														

A.2 命令コード一覧 (2)

命令	二モニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
Bcc (続き)	BPL d:8	-	4	A																	
	BPL d:16	-	5	8	A	0	disp														
	BMI d:8	-	4	B				disp													
	BMI d:16	-	5	8	B	0	disp														
	BGE d:8	-	4	C				disp													
	BGE d:16	-	5	8	C	0	disp														
	BLT d:8	-	4	D				disp													
	BLT d:16	-	5	8	D	0	disp														
	BGT d:8	-	4	E				disp													
	BGT d:16	-	5	8	E	0	disp														
	BLE d:8	-	4	F				disp													
	BLE d:16	-	5	8	F	0	disp														
	BCLR	BCLR #xx:3,Rd	B	7	2	0:IMM	rd														
		BCLR #xx:3,@ERd	B	7	D	0:erd	0	0:IMM	0												
		BCLR #xx:3,@aa:8	B	7	F	abs		0:IMM	0												
BCLR #xx:3,@aa:16		B	6	A	1	8	abs		7	2	0:IMM	0									
BCLR #xx:3,@aa:32		B	6	A	3	8	abs		abs												
BCLR Rn,Rd		B	6	2	rn	rd															
BCLR Rn,@ERd		B	7	D	0:erd	0	6	2	rn	0											
BCLR Rn,@aa:8		B	7	F	abs		6	2	rn	0											
BCLR Rn,@aa:16		B	6	A	1	8	abs		abs		6	2	rn	0							
BCLR Rn,@aa:32		B	6	A	3	8	abs		abs		abs										
BIAND		BIAND #xx:3,Rd	B	7	6	1:IMM	rd														
		BIAND #xx:3,@ERd	B	7	C	0:erd	0	7	6	1:IMM	0										
		BIAND #xx:3,@aa:8	B	7	E	abs		7	6	1:IMM	0										
		BIAND #xx:3,@aa:16	B	6	A	1	0	abs		abs		7	6	1:IMM	0						
		BIAND #xx:3,@aa:32	B	6	A	3	0	abs		abs		abs									
	BILD #xx:3,Rd	B	7	7	1:IMM	rd															
BILD	BILD #xx:3,@ERd	B	7	C	0:erd	0	7	7	1:IMM	0											
	BILD #xx:3,@aa:8	B	7	E	abs		7	7	1:IMM	0											
	BILD #xx:3,@aa:16	B	6	A	1	0	abs		abs		7	7	1:IMM	0							
	BILD #xx:3,@aa:32	B	6	A	3	0	abs		abs		abs										
	BIOR #xx:3,Rd	B	7	4	1:IMM	rd															
	BIOR #xx:3,@ERd	B	7	C	0:erd	0	7	4	1:IMM	0											
BIOR	BIOR #xx:3,@aa:8	B	7	E	abs		7	4	1:IMM	0											
	BIOR #xx:3,@aa:16	B	6	A	1	0	abs		abs		7	4	1:IMM	0							
	BIOR #xx:3,@aa:32	B	6	A	3	0	abs		abs		abs										
	BIST #xx:3,Rd	B	6	7	1:IMM	rd															
	BIST #xx:3,@ERd	B	7	D	0:erd	0	6	7	1:IMM	0											
	BIST #xx:3,@aa:8	B	7	F	abs		6	7	1:IMM	0											
BIST	BIST #xx:3,@aa:16	B	6	A	1	8	abs		abs		6	7	1:IMM	0							
	BIST #xx:3,@aa:32	B	6	A	3	8	abs		abs		abs										

A.2 命令コード一覧 (3)

命令	二モニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BIXOR	BIXOR #xx:3,Rd	B 7	5	1:IMM# rd																
	BIXOR #xx:3,@ERd	B 7	C	0:erd 0	7	5	1:IMM# 0													
	BIXOR #xx:3,@aa:8	B 7	E	abs	7	5	1:IMM# 0													
	BIXOR #xx:3,@aa:16	B 6	A	1 0 0	abs	7	5	1:IMM# 0												
	BIXOR #xx:3,@aa:32	B 6	A	3 0	abs															
BLD	BLD #xx:3,Rd	B 7	7	0:IMM# rd																
	BLD #xx:3,@ERd	B 7	C	0:erd 0	7	7	0:IMM# 0													
	BLD #xx:3,@aa:8	B 7	E	abs	7	7	0:IMM# 0													
	BLD #xx:3,@aa:16	B 6	A	1 0 0	abs	7	7	0:IMM# 0												
	BLD #xx:3,@aa:32	B 6	A	3 0	abs															
BNOT	BNOT #xx:3,Rd	B 7	1	0:IMM# rd																
	BNOT #xx:3,@ERd	B 7	D	0:erd 0	7	1	0:IMM# 0													
	BNOT #xx:3,@aa:8	B 7	F	abs	7	1	0:IMM# 0													
	BNOT #xx:3,@aa:16	B 6	A	1 8	abs	7	1	0:IMM# 0												
	BNOT #xx:3,@aa:32	B 6	A	3 8	abs															
	BNOT Rn,Rd	B 6	1	rd																
	BNOT Rn,@ERd	B 7	D	0:erd 0	6	1	rd													
	BNOT Rn,@aa:8	B 7	F	abs	6	1	rd													
	BNOT Rn,@aa:16	B 6	A	1 8	abs	6	1	rd												
	BNOT Rn,@aa:32	B 6	A	3 8	abs															
BOR	BOR #xx:3,Rd	B 7	4	0:IMM# rd																
	BOR #xx:3,@ERd	B 7	C	0:erd 0	7	4	0:IMM# 0													
	BOR #xx:3,@aa:8	B 7	E	abs	7	4	0:IMM# 0													
	BOR #xx:3,@aa:16	B 6	A	1 0	abs	7	4	0:IMM# 0												
	BOR #xx:3,@aa:32	B 6	A	3 0	abs															
	BSET #xx:3,Rd	B 7	0	0:IMM# rd																
	BSET #xx:3,@ERd	B 7	D	0:erd 0	7	0	0:IMM# 0													
	BSET #xx:3,@aa:8	B 7	F	abs	7	0	0:IMM# 0													
	BSET #xx:3,@aa:16	B 6	A	1 8	abs	7	0	0:IMM# 0												
	BSET #xx:3,@aa:32	B 6	A	3 8	abs															
BSET	BSET Rn,Rd	B 6	0	rd																
	BSET Rn,@ERd	B 7	D	0:erd 0	6	0	rd													
	BSET Rn,@aa:8	B 7	F	abs	6	0	rd													
	BSET Rn,@aa:16	B 6	A	1 8	abs	6	0	rd												
	BSET Rn,@aa:32	B 6	A	3 8	abs															
	BSR d:8	-	5	disp																
	BSR d:16	-	5	C 0 0	disp															
	BST #xx:3,Rd	B 6	7	0:IMM# rd																
	BST #xx:3,@ERd	B 7	D	0:erd 0	6	7	0:IMM# 0													
	BST #xx:3,@aa:8	B 7	F	abs	6	7	0:IMM# 0													
BST #xx:3,@aa:16	B 6	A	1 8	abs	6	7	0:IMM# 0													
BST #xx:3,@aa:32	B 6	A	3 8	abs																

A.2 命令コード一覧 (4)

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
BTST	BTST #xx:3,Rd	B	7	3	0:IMM; rd																
	BTST #xx:3,@ERd	B	7	C	0:erd	0	7	3	0:IMM; 0												
	BTST #xx:3,@aa:8	B	7	E	abs		7	3	0:IMM; 0												
	BTST #xx:3,@aa:16	B	6	A	1	0	abs	7	3	0:IMM; 0											
	BTST #xx:3,@aa:32	B	6	A	3	0	abs														
	BTST Rn,Rd	B	6	3	rm	rd															
BXOR	BTST Rn,@ERd	B	7	C	0:erd	0	6	3	rm	0											
	BTST Rn,@aa:8	B	7	E	abs		6	3	rm	0											
	BTST Rn,@aa:16	B	6	A	1	0	abs														
	BTST Rn,@aa:32	B	6	A	3	0	abs														
	BXOR #xx:3,Rd	B	7	5	0:IMM; rd																
	BXOR #xx:3,@ERd	B	7	C	0:erd	0	7	5	0:IMM; 0												
CLRMAC	BXOR #xx:3,@aa:8	B	7	E	abs		7	5	0:IMM; 0												
	BXOR #xx:3,@aa:16	B	6	A	1	0	abs														
	BXOR #xx:3,@aa:32	B	6	A	3	0	abs														
	CLRMAC	-	本LSIでは使用できません。																		
	CMP	CMP.B #xx:8,Rd	B	A	rd	IMM															
	CMP	CMP.B Rs,Rd	B	1	C	rs	rd														
CMP.W #xx:16,Rd		W	7	9	2	rd			IMM												
CMP.W Rs,Rd		W	1	D	rs	rd															
CMP.L #xx:32,ERd		L	7	A	2	0:erd															
CMP.L ERs,ERd		L	1	F	1:ers	0:erd				IMM											
DAA		DAA Rd	B	0	F	0	rd														
DEC	DAS Rd	B	1	F	0	rd															
	DEC.B Rd	B	1	A	0	rd															
	DEC.W #1,Rd	W	1	B	5	rd															
	DEC.W #2,Rd	W	1	B	D	rd															
	DEC.L #1,ERd	L	1	B	7	0:erd															
	DEC.L #2,ERd	L	1	B	F	0:erd															
DIVXS	DIVXS.B Rs,Rd	B	0	1	D	0	5	1	rs	rd											
	DIVXS.W Rs,ERd	W	0	1	D	0	5	3	rs	0:erd											
DIVXU	DIVXU.B Rs,Rd	B	5	1	rs	rd															
	DIVXU.W Rs,ERd	W	5	3	rs	0:erd															
EEMOV	EEMOV.B	-	7	B	5	C	5	9	8	F											
	EEMOV.W	-	7	B	D	4	5	9	8	F											
EXTS	EXTS.W Rd	W	1	7	D	rd															
	EXTS.L ERd	L	1	7	F	0:erd															
EXTU	EXTU.W Rd	W	1	7	5	rd															
	EXTU.L ERd	L	1	7	7	0:erd															

A.2 命令コード一覧 (5)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
INC	INC.B Rd	B	0	A	0	rd														
	INC.W #1, Rd	W	0	B	5	rd														
	INC.W #2, Rd	W	0	B	D	rd														
	INC.L #1, ERd	L	0	B	7	0:erd														
	INC.L #2, ERd	L	0	B	F	0:erd														
JMP	JMP @ERn	-	5	9	0:ern	0	abs													
	JMP @aa:24	-	5	A			abs													
	JMP @aa:8	-	5	B	abs															
JSR	JSR @ERn	-	5	D	0:ern	0	abs													
	JSR @aa:24	-	5	E			abs													
	JSR @aa:8	-	5	F	abs															
LDC	LDC #xx:8, CCR	B	0	7	IMM															
	LDC #xx:8, EXR	B	0	1	4	1	0	7	IMM											
	LDC Rs, CCR	B	0	3	0	rs														
	LDC Rs, EXR	B	0	3	1	rs														
	LDC @ERS, CCR	W	0	1	4	0	6	9	0:ers	0										
	LDC @ERS, EXR	W	0	1	4	1	6	9	0:ers	0										
	LDC @(d:16, ERs), CCR	W	0	1	4	0	6	F	0:ers	0										
	LDC @(d:16, ERs), EXR	W	0	1	4	1	6	F	0:ers	0										
	LDC @(d:32, ERs), CCR	W	0	1	4	0	7	8	0:ers	0										
	LDC @(d:32, ERs), EXR	W	0	1	4	1	7	8	0:ers	0										
	LDC @ERS+, CCR	W	0	1	4	0	6	D	0:ers	0										
	LDC @ERS+, EXR	W	0	1	4	1	6	D	0:ers	0										
	LDC @aa:16, CCR	W	0	1	4	0	6	B	0	0	abs									
	LDC @aa:16, EXR	W	0	1	4	1	6	B	0	0	abs									
	LDC @aa:32, CCR	W	0	1	4	0	6	B	2	0	abs									
LDC @aa:32, EXR	W	0	1	4	1	6	B	2	0	abs										
LDM#3	LDM.L @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0:ern+1										
	LDM.L @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0:ern+2										
	LDM.L @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0:ern+3										
LDMAC	LDMAC ERs, MACH	L																		
	LDMAC ERs, MACL	L																		
MAC	MAC @ERn+, @ERn+	L																		
	MOV.B #xx:8, Rd	B	F	rd	IMM															
	MOV.B Rs, Rd	B	0	C	rs	rd														
	MOV.B @ERS, Rd	B	6	8	0:ers	rd														
	MOV.B @(d:16, ERs), Rd	B	6	E	0:ers	rd														
	MOV.B @(d:32, ERs), Rd	B	7	8	0:ers	rd														
	MOV.B @ERS+, Rd	B	6	C	0:ers	rd														
	MOV.B @aa:8, Rd	B	2	rd	abs															
	MOV.B @aa:16, Rd	B	6	A	0	rd														
	MOV.B @aa:32, Rd	B	6	A	2	rd														
	MOV.B Rs, @ERd	B	6	8	1:erd	rs														
	MOV.B Rs, @(d:16, ERd)	B	6	E	1:erd	rs														
	MOV.B Rs, @(d:32, ERd)	B	7	8	0:erd	rs														

本LSIでは使用できません。

A.2 命令コード一覧 (6)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
MOV (続き)	MOV.B Rs, @ERd	B	6	C	1:erd	rs														
	MOV.B Rs, @aa:8	B	3	rs	abs															
	MOV.B Rs, @aa:16	B	6	A	8	rs	abs													
	MOV.B Rs, @aa:32	B	6	A	A	rs	abs													
	MOV.W #xx:16,Rd	W	7	9	0	rd	IMM													
	MOV.W Rs,Rd	W	0	D	rs	rd														
	MOV.W @ERSs,Rd	W	6	9	0:ers	rd														
	MOV.W @(d:16,ERS),Rd	W	6	F	0:ers	rd	disp													
	MOV.W @(d:32,ERS),Rd	W	7	8	0:ers	0	6	B	2	rd	disp									
	MOV.W @ERS+,Rd	W	6	D	0:ers	rd														
	MOV.W @aa:16,Rd	W	6	B	0	rd	abs													
	MOV.W @aa:32,Rd	W	6	B	2	rd	abs													
	MOV.W Rs,@ERd	W	6	9	1:erd	rs														
	MOV.W Rs@(d:16,ERd)	W	6	F	1:erd	rs	disp													
	MOV.W Rs@(d:32,ERd)	W	7	8	0:erd	0	6	B	A	rs	disp									
	MOV.W Rs@-ERd	W	6	D	1:erd	rs														
	MOV.W Rs,@aa:16	W	6	B	8	rs	abs													
	MOV.W Rs,@aa:32	W	6	B	A	rs	abs													
	MOV.L #xx:32,Rd	L	7	A	0	0:erd	IMM													
MOV.L ERs,ERd	L	0	F	1:ers	0:erd															
MOV.L @ERSs,ERd	L	0	1	0	0	6	9	0	ers	0:erd										
MOV.L @(d:16,ERS),ERd	L	0	1	0	0	6	F	0	ers	0:erd	disp									
MOV.L @(d:32,ERS),ERd	L	0	1	0	0	7	8	0	ers	0	disp									
MOV.L @ERS+,ERd	L	0	1	0	0	6	D	0	ers	0:erd										
MOV.L @aa:16,ERd	L	0	1	0	0	6	B	0	0:erd		abs									
MOV.L @aa:32,ERd	L	0	1	0	0	6	B	2	0:erd		abs									
MOV.L ERs,@ERd	L	0	1	0	0	6	9	1	erd	0:ers										
MOV.L ERs@(d:16,ERd)	L	0	1	0	0	6	F	1	erd	0:ers	disp									
MOV.L ERs@(d:32,ERd) #1	L	0	1	0	0	7	8	0	erd	0	disp									
MOV.L ERs@-ERd	L	0	1	0	0	6	D	1	erd	0:ers										
MOV.L ERs,@ERd	L	0	1	0	0	6	B	8	0:ers		abs									
MOV.L ERs,@aa:16	L	0	1	0	0	6	B	A	0:ers		abs									
MOV.L ERs,@aa:32	L	0	1	0	0	6	B	A	0:ers		abs									
MOVFPPE	B																			
MOVFPPE	B																			
MULXS	B	0	1	C	0	5	0	rs	rd											
MULXS	B	5	0	1	C	0	5	2	rs	0:erd										
MULXS	B	5	0	rs	rd															
MULXS	B	5	2	rs	0:erd															
MULXS	B	1	7	8	rd															
NEG	W	1	7	9	rd															
NEG	L	1	7	B	0:erd															
NOP	-	0	0	0	0															
NOP																				

本LSIでは使用できません。

A.2 命令コード一覧(7)

命令	ニーモニック	サイズ	インスタレーションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
NOT	NOT.B Rd	B	1	7	0	rd														
	NOT.W Rd	W	1	7	1	rd														
	NOT.L ERd	L	1	7	3	:0:erd														
OR	OR.B #xx:8,Rd	B	C	rd	IMM															
	OR.B Rs,Rd	B	1	4	rs	rd														
	OR.W #xx:16,Rd	W	7	9	4	rd														
	OR.W Rs,Rd	W	6	4	rs	rd														
	OR.L #xxx:32,ERd	L	7	A	4	:0:erd														
	OR.L ERs,ERd	L	0	1	F	0			6	4	0	ers:0:erd								
ORC	ORC #xxx:8,CCR	B	0	4	IMM															
	ORC #xx:8,EXR	B	0	1	4	1	0	4	IMM											
POP	POP.W Rn	W	6	D	7	m														
	POP.L ERn	L	0	1	0	0	6	D	7	0:ern										
PUSH	PUSH.W Rn	W	6	D	F	m														
	PUSH.L ERn	L	0	1	0	0	6	D	F	0:ern										
ROTL	ROTL.B Rd	B	1	2	8	rd														
	ROTL.B #2, Rd	B	1	2	C	rd														
	ROTL.W Rd	W	1	2	9	rd														
	ROTL.W #2, Rd	W	1	2	D	rd														
	ROTL.L ERd	L	1	2	B	:0:erd														
	ROTL.L #2, ERd	L	1	2	F	:0:erd														
ROTR	ROTR.B Rd	B	1	3	8	rd														
	ROTR.B #2, Rd	B	1	3	C	rd														
	ROTR.W Rd	W	1	3	9	rd														
	ROTR.W #2, Rd	W	1	3	D	rd														
	ROTR.L ERd	L	1	3	B	:0:erd														
	ROTR.L #2, ERd	L	1	3	F	:0:erd														
ROTXL	ROTXL.B Rd	B	1	2	0	rd														
	ROTXL.B #2, Rd	B	1	2	4	rd														
	ROTXL.W Rd	W	1	2	1	rd														
	ROTXL.W #2, Rd	W	1	2	5	rd														
	ROTXL.L ERd	L	1	2	3	:0:erd														
	ROTXL.L #2, ERd	L	1	2	7	:0:erd														
ROTXR	ROTXR.B Rd	B	1	3	0	rd														
	ROTXR.B #2, Rd	B	1	3	4	rd														
	ROTXR.W Rd	W	1	3	1	rd														
	ROTXR.W #2, Rd	W	1	3	5	rd														
	ROTXR.L ERd	L	1	3	3	:0:erd														
	ROTXR.L #2, ERd	L	1	3	7	:0:erd														
RTE		-	5	6	7	0														
RTS		-	5	4	7	0														

A.2 命令コード一覧(8)

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
SHAL	SHALB Rd	B	1	0	8	rd															
	SHALB #2, Rd	B	1	0	C	rd															
	SHALW Rd	W	1	0	9	rd															
	SHALW #2, Rd	W	1	0	D	rd															
	SHALL ERd	L	1	0	B	:0	erd														
	SHALL #2, ERd	L	1	0	F	:0	erd														
SHAR	SHARB Rd	B	1	1	8	rd															
	SHARB #2, Rd	B	1	1	C	rd															
	SHARW Rd	W	1	1	9	rd															
	SHARW #2, Rd	W	1	1	D	rd															
	SHARL ERd	L	1	1	B	:0	erd														
	SHARL #2, ERd	L	1	1	F	:0	erd														
SHLL	SHLLB Rd	B	1	0	0	rd															
	SHLLB #2, Rd	B	1	0	4	rd															
	SHLLW Rd	W	1	0	1	rd															
	SHLLW #2, Rd	W	1	0	5	rd															
	SHLLL ERd	L	1	0	3	:0	erd														
	SHLLL #2, ERd	L	1	0	7	:0	erd														
SHLR	SHLRB Rd	B	1	1	0	rd															
	SHLRB #2, Rd	B	1	1	4	rd															
	SHLRW Rd	W	1	1	1	rd															
	SHLRW #2, Rd	W	1	1	5	rd															
	SHLRL ERd	L	1	1	3	:0	erd														
	SHLRL #2, ERd	L	1	1	7	:0	erd														
SLEEP	SLEEP	-	0	1	8	0															
STC	STC.B CCR, Rd	B	0	2	0	rd															
	STC.B EXR, Rd	B	0	2	1	rd															
	STC.W CCR, @ERd	W	0	1	4	0	6	9	1	erd	0										
	STC.W EXR, @ERd	W	0	1	4	1	6	9	1	erd	0										
	STC.W CCR, @(d:16, ERd)	W	0	1	4	0	6	F	1	erd	0										
	STC.W EXR, @(d:16, ERd)	W	0	1	4	1	6	F	1	erd	0										
	STC.W CCR, @(d:32, ERd)	W	0	1	4	0	7	8	0	erd	0	6	B	A	0						
	STC.W EXR, @(d:32, ERd)	W	0	1	4	1	7	8	0	erd	0	6	B	A	0						
	STC.W CCR, @-ERd	W	0	1	4	0	6	D	1	erd	0										
	STC.W EXR, @-ERd	W	0	1	4	1	6	D	1	erd	0										
	STC.W CCR, @aa:16	W	0	1	4	0	6	B	8	0											
	STC.W EXR, @aa:16	W	0	1	4	1	6	B	8	0											
	STC.W CCR, @aa:32	W	0	1	4	0	6	B	A	0											
	STC.W EXR, @aa:32	W	0	1	4	1	6	B	A	0											
	STM ^{*3}	STML(ERn-ERn+1), @-SP	L	0	1	1	0	6	D	F	0:	ern									
		STML(ERn-ERn+2), @-SP	L	0	1	2	0	6	D	F	0:	ern									
	STML(ERn-ERn+3), @-SP	L	0	1	3	0	6	D	F	0:	ern										
STMAC	STMAC MACH, ERd	L																			
	STMAC MACL, ERd	L																			

*3 本LSIでは使用できません。

A.2 命令コード一覧(9)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SUB	SUB.B Rs,Rd	B	1	8	rs	rd														
	SUB.W #xx:16,Rd	W	7	9	3	rd	IMM													
	SUB.W Rs,Rd	W	1	9	rs	rd														
	SUB.L #xx:32,ERd	L	7	A	3	0	erd				IMM									
	SUB.L ERs,ERd	L	1	A	1	ers	0	erd												
SUBS	SUBS #1,ERd	L	1	B	0	0	erd													
	SUBS #2,ERd	L	1	B	8	0	erd													
	SUBS #4,ERd	L	1	B	9	0	erd													
	SUBX #xx:8,Rd	B	B	rd	IMM															
TAS	SUBX Rs,Rd	B	1	E	rs	rd														
	TAS @ERd#2	B	0	1	E	0	7	B	0	erd	C									
XOR	TRAPA #x:2	-	5	7	00	IMM	0													
	XOR.B #xx:8,Rd	B	D	rd	IMM															
	XOR.B Rs,Rd	B	1	5	rs	rd														
	XOR.W #xx:16,Rd	W	7	9	5	rd	IMM													
	XOR.W Rs,Rd	W	6	5	rs	rd														
	XOR.L #xx:32,ERd	L	7	A	5	0	erd				IMM									
	XOR.L ERs,ERd	L	0	1	F	0	6	5	0	ers	0	erd								
XORC	XORC #xx:8,CCR	B	0	5	IMM															
	XORC #xx:8,EXR	B	0	1	4	1	0	5	IMM											

- 【注】 *1 MOV, L, ERs, @ (d : 32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。
 *2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。
 *3 STM/LDMM命令を使用する場合は、レジスタER0～ER6を使用してください。

《記号説明》

IMM :	イミディエイトデータ (2、3、8、16、32 ビット)
abs :	絶対アドレス (8、16、24、32 ビット)
disp :	ディスプレイースメント (8、16、32 ビット)
rs、rd、m :	レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、m はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
ers、erd、ern、erm :	レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

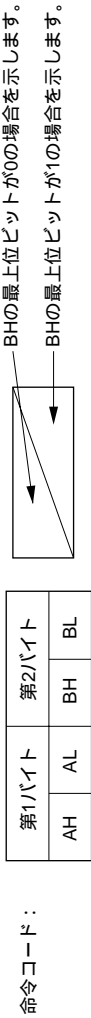
レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

A.3 オペレーションコードマップ

表A.3 にオペレーションコードマップを示します。

表A.3 オペレーションコードマップ(1)



AL/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.3(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	表A.3(2)	表A.3(2)	MOV	ADDX	表A.3(2)	表A.3(2)
1	表A.3(2)	表A.3(2)	STM*	LDMAC*	OR	XOR	AND	表A.3(2)	SUB	SUB	表A.3(2)	表A.3(2)	CMP	SUBX	表A.3(2)	表A.3(2)
2	MOV.B															
3	MOV.B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.3(2)	JMP	JMP	BSR	BSR	JSR	JSR	JSR
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV	MOV	表A.3(2)	MOV	MOV	MOV	MOV	MOV
7					BOR	BXOR	BAND	BLD	BAND	BAND	BAND	EPMOV	EPMOV	表A.3(3)	表A.3(3)	表A.3(3)
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ (2)

第1バイト		第2バイト	
AH	AL	BH	BL

命令コード：

BH	AH	AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
			MOV	LDM		LDC STM	STC		MAC*		SLEEP		CLRMAC*		表A.3(3)	表A.3(3)	TAS	表A.3(3)
			INC												ADD			
			ADDS					INC		INC	ADDS					INC		INC
			DAA												MOV			
			SHLL				SHLL			SHLL	SHAL				SHAL			SHAL
			SHLR				SHLR			SHLR	SHAR				SHAR			SHAR
			ROTXL				ROTXL			ROTXL	ROTL				ROTL			ROTL
			ROTXR				ROTXR			ROTXR	ROTR				ROTR			ROTR
			NOT				NOT	EXTU		EXTU	NEG			NEG		EXTS		EXTS
			DEC												SUB			
			SUBS					DEC		DEC	SUBS					DEC		DEC
			DAS												CMP			
			BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
			MOV	表A.3(4)	MOV	表A.3(4)	MOVFP*				MOV		MOV		MOVTP*			
			MOV	ADD	CMP	SUB	OR	XOR	AND									
			MOV	ADD	CMP	SUB	OR	XOR	AND									

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ(3)

命令コード:	第1バイト		第2バイト			第3バイト			第4バイト							
	AH	AL	BH	BL	CH	CL	DH	DL								
AH-ALBH-CH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01C05	MULXS		MULXS													
01D05		DIVXS		DIVXS												
01F06					OR	XOR	AND									
7Cr06 *1				BTST												
7Cr07 *1				BTST	BOR	BXOR	BAND	BLD								
7Dr06 *1	BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD								
7Dr07 *1	BSET	BNOT	BCLR					BST								
7Eaa6 *2				BTST												
7Eaa7 *2				BTST	BOR	BXOR	BAND	BLD								
7Faa6 *2	BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD								
7Faa7 *2	BSET	BNOT	BCLR					BST								



【注】 *1 rはレジスタ指定部
 *2 aaは絶対アドレス指定

表A.3 オペレーションコードマップ (4)

命令コード：

	第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト					
	AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL				
EL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AHALBHLCLEHLEH																
6A10aaaa6*				BTST												
6A10aaaa7*					BOR	BXOR	BAND	BLD								
6A18aaaa6*					BIOR	BIXOR	BIAND	BILD	BST							
6A18aaaa7*									BIST							
	BSET	BNOT	BCLR													

FHの最上位ビットが0の場合を示します。
 FHの最上位ビットが1の場合を示します。

命令コード：

	第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト	
	AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL	GH	GL	HH	HL
GL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AHALHBL...FHFLGH																
6A30aaaaaa6*				BTST												
6A30aaaaaa7*					BOR	BXOR	BAND	BLD								
6A38aaaaaa6*					BIOR	BIXOR	BIAND	BILD	BST							
6A38aaaaaa7*									BIST							
	BSET	BNOT	BCLR													

HHの最上位ビットが0の場合を示します。
 HHの最上位ビットが1の場合を示します。

【注】 * aaは絶対アドレス指定

A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.4 に各々のサイズに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

アドバンスモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFFC7:8

表 A.5 より

$$I = L = 2, J = K = M = N = 0$$

表 A.4 より

$$S_I = 4, S_L = 2$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 2 = 12$$

2. JSR @@30

表 A.5 より

$$I = J = K = 2, L = M = N = 0$$

表 A.4 より

$$S_I = S_J = S_K = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.4 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺 モジュール		外部デバイス			
		8ビット バス	16ビット バス	8ビットバス		16ビットバス	
				2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S_i	1	4	2	4	6+2m	2	3+m
分岐アドレスリード S_j							
スタック操作 S_k							
バイトデータアクセス S_l		2	2	3+m			
ワードデータアクセス S_m		4	4	6+2m			
内部動作 S_n	1						

《記号説明》

m : 外部デバイスアクセス時のウェイトステート数。

表 A.5 命令実行状態 (サイクル数)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					1
	BRN d:8 (BF d:8)	2					1
	BHI d:8	2					1
	BLS d:8	2					1
	BCC d:8 (BHS d:8)	2					1
	BCS d:8 (BLO d:8)	2					1
	BNE d:8	2					1
	BEQ d:8	2					1
	BVC d:8	2					1
	BVS d:8	2					1
	BPL d:8	2					1
	BMI d:8	2					1
	BGE d:8	2					1
	BLT d:8	2					1
	BGT d:8	2					1
	BLE d:8	2					1
	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
BGE d:16	2					1	
BLT d:16	2					1	

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:16	2					1
	BLE d:16	2					1
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
	BCLR Rn,@aa:16	3			2		
BCLR Rn,@aa:32	4			2			
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		
BLD	BLD #xx:3,Rd	1					
	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2			2		
	BNOT Rn,@aa:8	2			2		
	BNOT Rn,@aa:16	3			2		

命令	ニーモニック	命令フェッチ	分岐アドレス	スタック操作	バイトデータ	ワードデータ	内部動作
		I	J	K	アクセス	アクセス	
		L	M	N			
BNOT	BNOT Rn,@aa:32	4			2		
BOR	BOR #xx:3,Rd	1					
	BOR #xx:3,@ERd	2			1		
	BOR #xx:3,@aa:8	2			1		
	BOR #xx:3,@aa:16	3			1		
	BOR #xx:3,@aa:32	4			1		
BSET	BSET #xx:3,Rd	1					
	BSET #xx:3,@ERd	2			2		
	BSET #xx:3,@aa:8	2			2		
	BSET #xx:3,@aa:16	3			2		
	BSET #xx:3,@aa:32	4			2		
	BSET Rn,Rd	1					
	BSET Rn,@ERd	2			2		
	BSET Rn,@aa:8	2			2		
	BSET Rn,@aa:16	3			2		
BSET Rn,@aa:32	4			2			
BSR	BSR d:8	ノーマル	2		1		
		アドバンスト	2		2		
	BSR d:16	ノーマル	2		1		1
		アドバンスト	2		2		1
BST	BST #xx:3,Rd	1					
	BST #xx:3,@ERd	2			2		
	BST #xx:3,@aa:8	2			2		
	BST #xx:3,@aa:16	3			2		
	BST #xx:3,@aa:32	4			2		
BTST	BTST #xx:3,Rd	1					
	BTST #xx:3,@ERd	2			1		
	BTST #xx:3,@aa:8	2			1		
	BTST #xx:3,@aa:16	3			1		
	BTST #xx:3,@aa:32	4			1		
	BTST Rn,Rd	1					
	BTST Rn,@ERd	2			1		
	BTST Rn,@aa:8	2			1		
	BTST Rn,@aa:16	3			1		
BTST Rn,@aa:32	4			1			
BXOR	BXOR #xx:3,Rd	1					
	BXOR #xx:3,@ERd	2			1		
	BXOR #xx:3,@aa:8	2			1		
	BXOR #xx:3,@aa:16	3			1		
	BXOR #xx:3,@aa:32	4			1		
CLRMAC	CLRMAC	本 LSI では使用できません。					
CMP	CMP.B #xx:8,Rd	1					
	CMP.B Rs,Rd	1					
	CMP.W #xx:16,Rd	2					
	CMP.W Rs,Rd	1					
	CMP.L #xx:32,ERd	3					
	CMP.L ERs,ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					

命令	二一モニツク	命令フェツチ	分岐アドレス リード	スタツク操作	バイトデータ アクセス	ワードデータ アクセス	内部動作	
		I	J	K	L	M	N	
DEC	DEC.B Rd	1						
	DEC.W #1/2,Rd	1						
	DEC.L #1/2,ERd	1						
DIVXS	DIVXS.B Rs,Rd	2					11	
	DIVXS.W Rs,ERd	2					19	
DIVXU	DIVXU.B Rs,Rd	1					11	
	DIVXU.W Rs,ERd	1					19	
EEPMOV	EEPMOV.B	2			2n+2 * ²			
	EEPMOV.W	2			2n+2 * ²			
EXTS	EXTS.W Rd	1						
	EXTS.L ERd	1						
EXTU	EXTU.W Rd	1						
	EXTU.L ERd	1						
INC	INC.B Rd	1						
	INC.W #1/2,Rd	1						
	INC.L #1/2,ERd	1						
JMP	JMP @ERn	2						
	JMP @aa:24	2					1	
	JMP @@aa:8	ノ一マル	2	1				1
アドバンスツ		2	2				1	
JSR	JSR @ERn	ノ一マル	2		1			
		アドバンスツ	2		2			
	JSR @aa:24	ノ一マル	2			1		1
		アドバンスツ	2			2		1
	JSR @@aa:8	ノ一マル	2	1	1			
		アドバンスツ	2	2	2			
LDC	LDC #xx:8,CCR	1						
	LDC #xx:8,EXR	2						
	LDC Rs,CCR	1						
	LDC Rs,EXR	1						
	LDC @ERs,CCR	2				1		
	LDC @ERs,EXR	2				1		
	LDC @(d:16,ERs),CCR	3				1		
	LDC @(d:16,ERs),EXR	3				1		
	LDC @(d:32,ERs),CCR	5				1		
	LDC @(d:32,ERs),EXR	5				1		
	LDC @ERs+,CCR	2				1	1	
	LDC @ERs+,EXR	2				1	1	
	LDC @aa:16,CCR	3				1		
	LDC @aa:16,EXR	3				1		
	LDC @aa:32,CCR	4				1		
	LDC @aa:32,EXR	4				1		
LDM* ⁴	LDM.L @SP+, (ERn-ERn+1)	2		4			1	
	LDM.L @SP+, (ERn-ERn+2)	2		6			1	
	LDM.L @SP+, (ERn-ERn+3)	2		8			1	
LDMAC	LDMAC ERs, MACH	本 LSI では使用できません。						
	LDMAC ERs, MACL							
MAC	MAC @ERn+, @ERm+							

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作	
		I	J	K	L	M	N	
MOV	MOV.B #xx:8,Rd	1						
	MOV.B Rs,Rd	1						
	MOV.B @ERs,Rd	1			1			
	MOV.B @(d:16,ERs),Rd	2			1			
	MOV.B @(d:32,ERs),Rd	4			1			
	MOV.B @ERs+,Rd	1			1		1	
	MOV.B @aa:8,Rd	1			1			
	MOV.B @aa:16,Rd	2			1			
	MOV.B @aa:32,Rd	3			1			
	MOV.B Rs,@ERd	1			1			
	MOV.B Rs,@(d:16,ERd)	2			1			
	MOV.B Rs,@(d:32,ERd)	4			1			
	MOV.B Rs,@-ERd	1			1		1	
	MOV.B Rs,@aa:8	1			1			
	MOV.B Rs,@aa:16	2			1			
	MOV.B Rs,@aa:32	3			1			
	MOV.W #xx:16,Rd	2						
	MOV.W Rs,Rd	1						
	MOV.W @ERs,Rd	1					1	
	MOV.W @(d:16,ERs),Rd	2					1	
	MOV.W @(d:32,ERs),Rd	4					1	
	MOV.W @ERs+,Rd	1					1	1
	MOV.W @aa:16,Rd	2					1	
	MOV.W @aa:32,Rd	3					1	
	MOV.W Rs,@ERd	1					1	
	MOV.W Rs,@(d:16,ERd)	2					1	
	MOV.W Rs,@(d:32,ERd)	4					1	
	MOV.W Rs,@-ERd	1					1	1
	MOV.W Rs,@aa:16	2					1	
	MOV.W Rs,@aa:32	3					1	
	MOV.L #xx:32,ERd	3						
	MOV.L ERs,ERd	1						
	MOV.L @ERs,ERd	2					2	
	MOV.L @(d:16,ERs),ERd	3					2	
	MOV.L @(d:32,ERs),ERd	5					2	
	MOV.L @ERs+,ERd	2					2	1
	MOV.L @aa:16,ERd	3					2	
	MOV.L @aa:32,ERd	4					2	
	MOV.L ERs,@ERd	2					2	
	MOV.L ERs,@(d:16,ERd)	3					2	
	MOV.L ERs,@(d:32,ERd)	5					2	
	MOV.L ERs,@-ERd	2					2	1
MOV.L ERs,@aa:16	3					2		
MOV.L ERs,@aa:32	4					2		
MOVFPPE @aa:16,Rd	本 LSI では使用できません。							
MOVTPPE Rs,@aa:16	本 LSI では使用できません。							
MULXS	MULXS.B Rs,Rd	2					11	
	MULXS.W Rs,ERd	2					19	
MULXU	MULXU.B Rs,Rd	1					11	
	MULXU.W Rs,ERd	1					19	

命令	二一モニツク	命令フェツチ	分岐アドレス リード	スタツク操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					
RTE	RTE	2		2/3 ^{*1}			1
RTS	RTS	ノ一マル	2		1		1
		アドバンスト	2		2		1

命令	二一モニツク	命令フェツチ	分岐アドレス リード	スタツク操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLL.L ERd	1					
	SHLL.L #2,ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					
	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
SLEEP	SLEEP	1					1
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
STC.W CCR,@aa:32	4				1		
STC.W EXR,@aa:32	4				1		
STM ^{*4}	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					

命令	二モニック		命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
			I	J	K	L	M	N
TAS	TAS @ERd* ³		2			2		
TRAPA	TRAPA #x:2	ノーマル	2	1	2/3* ¹			2
		アドバンスト	2	2	2/3* ¹			2
XOR	XOR.B #xx:8,Rd		1					
	XOR.B Rs,Rd		1					
	XOR.W #xx:16,Rd		2					
	XOR.W Rs,Rd		1					
	XOR.L #xx:32,ERd		3					
	XOR.L ERs,ERd		2					
XORC	XORC #xx:8,CCR		1					
	XORC #xx:8,EXR		2					

【注】 *1 EXR が無効なとき 2、有効なとき 3 になります。

*2 転送データが n バイトのとき。

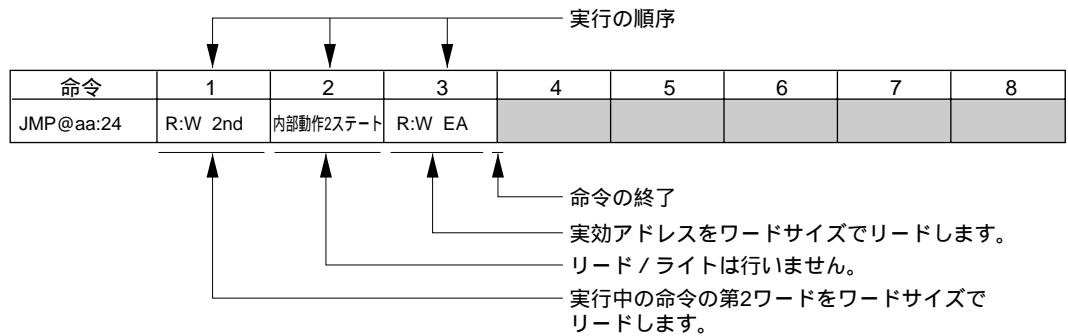
*3 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*4 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステート数に関しては、「表 A.4 実行状態 (サイクル) に要するステート数」を参照してください。

《表の見方》



《記号説明》

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第2ワード (第3・第4バイト) のアドレスです。
3rd	第3ワード (第5・第6バイト) のアドレスです。
4th	第4ワード (第7・第8バイト) のアドレスです。
5th	第5ワード (第9・第10バイト) のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

8ビットバス・3ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミングを図A.1に示します。

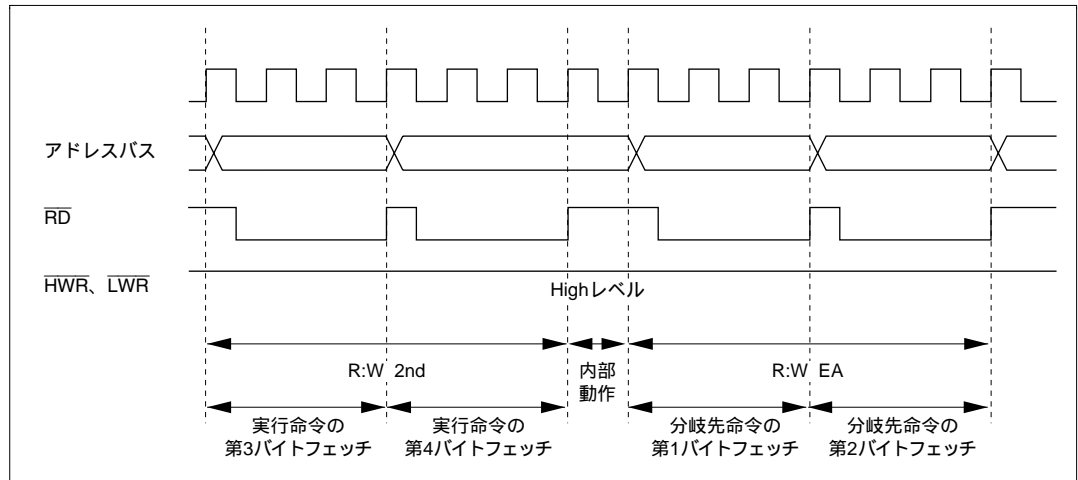


図 A.1 アドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミング
(8ビットバス・3ステートアクセス・ウェイトなしの場合)

表 A.6 命令の実行状態 (1)

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8 (BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8 (BHS d:8)	R:W NEXT	R:W EA							
BCS d:8 (BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16 (BT d:16)	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BRN d:16 (BF d:16)	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BHI d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BLS d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BCC d:16 (BHS d:16)	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BCS d:16 (BLO d:16)	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BNE d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BVC d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BVS d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BPL d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BMI d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BGE d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						

表 A.6 命令の実行状態 (2)

命令	1	2	3	4	5	6	7	8	9
BLT d:16	R:W 2nd	内部動作 1行ト	R:W EA						
BGT d:16	R:W 2nd	内部動作 1行ト	R:W EA						
BLE d:16	R:W 2nd	内部動作 1行ト	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					

表 A.6 命令の実行状態 (3)

命令	1	2	3	4	5	6	7	8	9
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8 7ド ビ ヲ 1	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
BSR d:16 7ド ビ ヲ 1	R:W 2nd	内部動作 1ステップ	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BST #xx:3,Rd	R:W NEXT								
BST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	本 LSI では使用できません。								
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								

表 A.6 命令の実行状態 (4)

命令	1	2	3	4	5	6	7	8	9
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEPMOV.B	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EEPMOV.W	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EXTS.W Rd	R:W NEXT			n回繰り返す * ²					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1ステート	R:W EA						
JMP @aa:8	7ビット R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1ステート	R:W EA				
JSR @ERn	7ビット R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
JSR @aa:24	7ビット R:W 2nd	内部動作 1ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
JSR @aa:8	7ビット R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M スタック(H)	W:W スタック(L)	R:W EA			
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC@(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC@(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1ステート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1ステート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1) * ³	R:W 2nd	R:W:M NEXT	内部動作 1ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDM.L @SP+, (ERn-ERn+2) * ³	R:W 2nd	R:W:M NEXT	内部動作 1ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDM.L @SP+, (ERn-ERn+3) * ³	R:W 2nd	R:W:M NEXT	内部動作 1ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDMAC ERs,MACH	本 LSI では使用できません。								
LDMAC ERs,MACL									
MAC @ERn+,@ERm+									

表 A.6 命令の実行状態 (5)

命令	1	2	3	4	5	6	7	8	9
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1ｽﾀｰﾄ	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1ｽﾀｰﾄ	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1ｽﾀｰﾄ	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1ｽﾀｰﾄ	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs), ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs), ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1ｽﾀｰﾄ	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs, @(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs, @(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1ｽﾀｰﾄ	W:W:M EA	W:W EA+2				

表 A.6 命令の実行状態 (6)

命令	1	2	3	4	5	6	7	8	9
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFP @aa:16,Rd	本 LSI では使用できません。								
MOVTP R @aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1ｽﾀｰﾄ	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1ｽﾀｰﾄ	R:W:M EA	R:W EA+2				
PUSH.W Rn	R:W NEXT	内部動作 1ｽﾀｰﾄ	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1ｽﾀｰﾄ	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXLL ERd	R:W NEXT								
ROTXLL #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								
RTE	R:W NEXT	R:W ﾏｯｸ(EXR)	R:W ﾏｯｸ(H)	R:W ﾏｯｸ(L)	内部動作 1ｽﾀｰﾄ	R:W *4			
RTS	ﾌﾞﾗﾝｸ	R:W:M ﾏｯｸ(H)	R:W ﾏｯｸ(L)	内部動作 1ｽﾀｰﾄ	R:W *4				

表 A.6 命令の実行状態 (7)

命令	1	2	3	4	5	6	7	8	9
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								
SHAR.L #2,ERd	R:W NEXT								
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1ステート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1ステート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1), @-SP * ⁹	R:W 2nd	R:W:M NEXT	内部動作 1ステート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STM.L (ERn-ERn+2), @-SP * ⁹	R:W 2nd	R:W:M NEXT	内部動作 1ステート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STM.L (ERn-ERn+3), @-SP * ⁹	R:W 2nd	R:W:M NEXT	内部動作 1ステート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STMAC MACH,ERd	本 LSI では使用できません。								
STMAC MACL,ERd									
SUB.B Rs,Rd	R:W NEXT								
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT							
SUB.W Rs,Rd	R:W NEXT								
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						

表 A.6 命令の実行状態 (8)

命令	1	2	3	4	5	6	7	8	9	
SUB.L ERs,ERd	R:W NEXT									
SUBS #1/2/4,ERd	R:W NEXT									
SUBX #xx:8,Rd	R:W NEXT									
SUBX Rs,Rd	R:W NEXT									
TAS @ERd * ⁸	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA						
TRAPA #x:2 アドレス	R:W NEXT	内部動作 1ステート	W:W スタック(L)	W:W スタック(H)	W:W スタック (EXR)	R:W:M VEC	R:W VEC+2	内部動作 1ステート	R:W * ⁷	
XOR.B #xx8,Rd	R:W NEXT									
XOR.B Rs,Rd	R:W NEXT									
XOR.W #xx:16,Rd	R:W 2nd	R:W NEXT								
XOR.W Rs,Rd	R:W NEXT									
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT							
XOR.L ERs,ERd	R:W 2nd	R:W NEXT								
XORC #xx:8,CCR	R:W NEXT									
XORC #xx:8,EXR	R:W 2nd	R:W NEXT								
リセット 例外処理	アドレス	R:W:M VEC	R:W VEC+2	内部動作 1ステート	R:W * ⁵					
割込み 例外処理	アドレス	R:W * ⁶	内部動作 1ステート	W:W スタック(L)	W:W スタック(H)	W:W スタック (EXR)	R:W:M VEC	R:W VEC+2	内部動作 1ステート	R:W * ⁷

【注】 *1 EAs は ER5、EAd は ER6 の内容です。

*2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。

また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。

*3 2 本退避 / 復帰時は 2 回、3 本退避 / 復帰時は 3 回、4 本退避 / 復帰時は 4 回繰り返します。

*4 リターン後の先頭アドレスです。

*5 プログラムのスタートアドレスです。

*6 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。

また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。

*7 割込み処理ルーチンの先頭アドレスです。

*8 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*9 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

B. 内部 I/O レジスタ

B.1 アドレス一覧

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅			
H'EC00 ~ H'FFFF	MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC	16 / 32* ビット			
	SAR													
	MRB	CHNE	DISEL	-	-	-	-	-	-					
	DAR													
	CRA													
	CRB													
	H'FE80	HICR2	-	-	-	-	-	IBFIE4	IBFIE3			-	HIF	8
	H'FE84	IDR3	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1			IDR0		
H'FE85	ODR3	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0					
H'FE86	STR3	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF					
H'FE8C	IDR4	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0					
H'FE8D	ODR4	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0					
H'FE8E	STR4	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF					
H'FED8	KBCRH0	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS	キーボード バッファ コントロー ラ	8			
H'FED9	KBCRL0	KBE	KCLKO	KDO	-	RXCR3	RXCR2	RXCR1	RXCR0					
H'FEDA	KBBR0	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0					
H'FEDC	KBCRH1	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS					
H'FEDD	KBCRL1	KBE	KCLKO	KDO	-	RXCR3	RXCR2	RXCR1	RXCR0					
H'FEDE	KBBR1	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0					
H'FEE0	KBCRH2	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS					
H'FEE1	KBCRL2	KBE	KCLKO	KDO	-	RXCR3	RXCR2	RXCR1	RXCR0					
H'FEE2	KBBR2	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0					
H'FEE4	KBCOMP	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0	IrDA/ 拡張 A/D	8			
H'FEE6	DDCSWR	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0	IIC0	8			
H'FEE8	ICRA	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0	割込み コントロ ーラ	8			
H'FEE9	ICRB	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0					
H'FEEA	ICRC	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0					
H'FEEB	ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F					
H'FEEC	ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA					

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅	
H'FEED	ISCRL	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	割込み	8	
H'FEEE	DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC	8	
H'FEF0	DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0			
H'FEF1	DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0			
H'FEF2	DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0			
H'FEF3	DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0			
H'FEF4	DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0			
H'FEF5	ABRKCR	CMF	-	-	-	-	-	-	BIE			割込み
H'FEF6	BARA	A23	A22	A21	A20	A19	A18	A17	A16	コントロ		
H'FEF7	BARB	A15	A14	A13	A12	A11	A10	A9	A8	ーラ		
H'FEF8	BARC	A7	A6	A5	A4	A3	A2	A1	-			
H'FF80	FLMCR1	FWE	SWE	-	-	EV	PV	E	P	FLASH	8	
H'FF81	FLMCR2	FLER	-	-	-	-	-	ESU	PSU			
H'FF82	PCSR	-	-	-	-	-	PWCKB	PWCKA	-	PWM	8	
	EBR1	-	-	-	-	-	-	EB9/-	EB8/-	FLASH	8	
H'FF83	SYSCR2	KWUL1	KWUL0	P6PUE	-	SDE	CS4E	CS3E	HI12E	HIF	8	
	EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	FLASH	8	
H'FF84	SBYCR	SSBY	STS2	STS1	STS0	-	SCK2	SCK1	SCK0	システム	8	
H'FF85	LPWRCR	DTON	LSON	NESEL	EXCLE	-	-	-	-			
H'FF86	MSTPCRH	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8			
H'FF87	MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0			
H'FF88	SMR1	C \bar{A}	CHR	PE	O \bar{E}	STOP	MP	CKS1	CKS0			SCI1
	ICCR1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC1		
H'FF89	BRR1									SCI1	8	
	ICSR1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC1		
H'FF8A	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI1	8	
H'FF8B	TDR1											
H'FF8C	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT			
H'FF8D	RDR1											
H'FF8E	SCMR1	-	-	-	-	SDIR	SINV	-	SMIF			
	ICDR1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0			IIC1
	SARX1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX			
H'FF8F	ICMR1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0			
	SAR1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS			
H'FF90	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	-	FRT	16	
H'FF91	TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA			
H'FF92	FRCH											
H'FF93	FRCL											
H'FF94	OCRAH											
	OCRBH											

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF95	OCRAL									FRT	16
	OCRBL										
H'FF96	TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0		
H'FF97	TOCR	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB		
H'FF98	ICRAH										
	OCRARH										
H'FF99	ICRAL										
	OCRARL										
H'FF9A	ICRBH										
	OCRAFH										
H'FF9B	ICRBL										
	OCRAFL										
H'FF9C	ICRCH										
	OCRDMH	0	0	0	0	0	0	0	0		
H'FF9D	ICRCL										
	OCRDML										
H'FF9E	ICRDH										
H'FF9F	ICRDL										
H'FFA0	SMR2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI2	8
	DADRAH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	PWMX	
	DACR	TEST	PWME	-	-	OEB	OEA	OS	CKS		
H'FFA1	BRR2									SCI2	8
	DADRAL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	-	PWMX	
H'FFA2	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI2	8
H'FFA3	TDR2										
H'FFA4	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFA5	RDR2										
H'FFA6	SCMR2	-	-	-	-	SDIR	SINV	-	SMIF		
	DADRBH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6		
	DACNTH										
H'FFA7	DADRBL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS		
	DACNTL							-	REGS		
H'FFA8	TCSR0	OVF	WT/ $\bar{I}\bar{T}$	TME	RSTS	RST/ $\bar{N}\bar{M}\bar{I}$	CKS2	CKS1	CKS0	WDT0	16
	TCNT0 (write)										
H'FFA9	TCNT0 (read)										
H'FFAA	PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	ポート	8

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'FFAB	PAPIN (read)	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN	ポート	8
	PADDR (write)	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
H'FFAC	P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR		
H'FFAD	P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR		
H'FFAE	P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR		
H'FFB0	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR		
H'FFB1	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR		
H'FFB2	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR		
H'FFB3	P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR		
H'FFB4	P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
H'FFB5	P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR		
H'FFB6	P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
H'FFB7	P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR		
H'FFB8	P5DDR	-	-	-	-	-	P52DDR	P51DDR	P50DDR		
H'FFB9	P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR		
H'FFBA	P5DR	-	-	-	-	-	P52DR	P51DR	P50DR		
H'FFBB	P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR		
H'FFBC	PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR		
H'FFBD	PBPIN (read)	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN		
	P8DDR (write)	-	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR		
H'FFBE	P7PIN (read)	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN		
	PBDDR (write)	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR		
H'FFBF	P8DR	-	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR		
H'FFC0	P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR		
H'FFC1	P9DR	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR		
H'FFC2	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	割込み	8
H'FFC3	STCR	IICS	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0	システム	8
H'FFC4	SYSCR	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME		
H'FFC5	MDCR	EXPE	-	-	-	-	-	MDS1	MDS0		
H'FFC6	BCR	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	-	IOS1	IOS0	バスコン トローラ	8
H'FFC7	WSCR	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0		
H'FFC8	TCR0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR0, TMR1	16
H'FFC9	TCR1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFCA	TCSR0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
H'FFCB	TCSR1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0		

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅		
H'FFCC	TCORA0									TMR0, TMR1	16		
H'FFCD	TCORA1												
H'FFCE	TCORB0												
H'FFCF	TCORB1												
H'FFD0	TCNT0												
H'FFD1	TCNT1												
H'FFD2	PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	PWM	8		
H'FFD3	PWOERA	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0				
H'FFD4	PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8				
H'FFD5	PWDpra	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0				
H'FFD6	PWSL	PWCKE	PWCKS	-	-	RS3	RS2	RS1	RS0				
H'FFD7	PWDR0 ~ PWDR15												
H'FFD8	SMR0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI0	8		
	ICCR0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC0			
H'FFD9	BRR0									SCI0			
	ICSR0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC0			
H'FFDA	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI0			
H'FFDB	TDR0												
H'FFDC	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT				
H'FFDD	RDR0												
H'FFDE	SCMR0	-	-	-	-	SDIR	SINV	-	SMIF			IIC0	
	ICDR0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0				
	SARX0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX				
H'FFDF	ICMR0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0				
	SAR0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS				
H'FFE0	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	8		
H'FFE1	ADDRAL	AD1	AD0	-	-	-	-	-	-				
H'FFE2	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2				
H'FFE3	ADDRBL	AD1	AD0	-	-	-	-	-	-				
H'FFE4	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2				
H'FFE5	ADDRCL	AD1	AD0	-	-	-	-	-	-				
H'FFE6	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2				
H'FFE7	ADDRDL	AD1	AD0	-	-	-	-	-	-				
H'FFE8	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0				
H'FFE9	ADCR	TRGS1	TRGS0	-	-	-	-	-	-				
H'FFEA	TCSR1	OVF	WT/ \bar{IT}	TME	PSS	RST/ \bar{NMI}	CKS2	CKS1	CKS0	WDT1	16		
	TCNT1 (write)												

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FFEB	TCNT1(read)									WDT1	16
H'FFF0	HICR	-	-	-	-	-	IBFIE2	IBFIE1	FGA20E	HIF	8
	TCRX	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMRX	
	TCRY	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMRX	
H'FFF1	KMIMR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	割込み	8
	TCSRX	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0	TMRX	
	TCSRY	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0	TMRX	
H'FFF2	KMPCR	KM7PCR	KM6PCR	KM5PCR	KM4PCR	KM3PCR	KM2PCR	KM1PCR	KM0PCR	ポート	8
	TICRR									TMRX	
	TCORAY									TMRX	
H'FFF3	KMIMRA	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8	割込み	8
	TICRF									TMRX	
	TCORBY									TMRX	
H'FFF4	IDR1	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	HIF	8
	TCNTX									TMRX	
	TCNTY									TMRX	
H'FFF5	ODR1	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	HIF	8
	TCORC									TMRX	
	TISR	-	-	-	-	-	-	-	IS	TMRX	
H'FFF6	STR1	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF	HIF	8
	TCORAX									TMRX	
H'FFF7	TCORBX										8
H'FFF8	DADR0									D/A	8
H'FFF9	DADR1										8
H'FFFA	DACR	DAOE1	DAOE0	DAE	-	-	-	-	-		8
H'FFFC	IDR2	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	HIF	8
	TCONRI	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV	タイムシェアリング	
H'FFFD	ODR2	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	HIF	8
	TCONRO	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV	タイムシェアリング	
H'FFFE	STR2	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF	HIF	8
	TCONRS	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0	タイムシェアリング	
H'FFFF	SEDGR	VEDG	HEDG	CEDG	HFEDG	VFEDG	PREQF	IHI	IVI		8

B.2 レジスタ選択条件

下位アドレス	レジスタ名称	H8S/2148シリーズ レジスタ選択条件	H8S/2147N レジスタ選択条件	H8S/2144シリーズ レジスタ選択条件	モジュール 名
H'EC00 ~ H'FFFF	MRA SAR MRB DAR CRA CRB	SYSCRのRAME=1			DTC
H'FE80 H'FE84 H'FE85 H'FE86 H'FE8C H'FE8D H'FE8E	HICR2 IDR3 ODR3 STR3 IDR4 ODR4 STR4	MSTP2=0	MSTP2=0		HIF
H'FED8 H'FED9 H'FEDA H'FEDC H'FEDD H'FEDE H'FEE0 H'FEE1 H'FEE2	KBCRH0 KBCRL0 KBBR0 KBCRH1 KBCRL1 KBBR1 KBCRH2 KBCRL2 KBBR2	MSTP2=0	MSTP2=0		キーボード バッファ コントロー ラ
H'FEE4	KBCOMP	条件なし	条件なし	条件なし	IrDA/拡張 A/D
H'FEE6	DDCSWR	MSTP4=0	MSTP4=0		IIC0
H'FEE8 H'FEE9 H'FEEA H'FEEB H'FEEC H'FEED	ICRA ICRB ICRC ISR ISCRH ISCRL	条件なし	条件なし	条件なし	割込み コントロー ラ
H'FEEE H'FEF0 H'FEF1 H'FEF2	DTCERA DTCERB DTCERC DTCERD DTCERE	条件なし			DTC

下位アドレス	レジスタ名称	H8S/2148シリーズ レジスタ選択条件	H8S/2147N レジスタ選択条件	H8S/2144シリーズ レジスタ選択条件	モジュール 名	
H'FEF3	DTVECR	条件なし			DTC	
H'FEF4	ABRKCR	条件なし	条件なし	条件なし	割込み コントロー ラ	
H'FEF5	BARA					
H'FEF6	BARB					
H'FEF7	BARC					
H'FF80	FLMCR1	STCRのFLSHE=1	STCRのFLSHE=1	STCRのFLSHE=1	FLASH	
H'FF81	FLMCR2					
H'FF82	PCSR	STCRのFLSHE=0	STCRのFLSHE=0		PWM	
	EBR1	STCRのFLSHE=1	STCRのFLSHE=1	STCRのFLSHE=1	FLASH	
H'FF83	SYSCR2	STCRのFLSHE=0	STCRのFLSHE=0		HIF	
	EBR2	STCRのFLSHE=1	STCRのFLSHE=1	STCRのFLSHE=1	FLASH	
H'FF84	SBYCR	STCRのFLSHE=0	STCRのFLSHE=0	STCRのFLSHE=0	システム	
H'FF85	LPWRCR					
H'FF86	MSTPCRH					
H'FF87	MSTPCRL					
H'FF88	SMR1	MSTP6=0 STCRのIICE=0	MSTP6=0 STCRのIICE=0	MSTP6=0 STCRのIICE=0	SCI1	
	ICCR1	MSTP3=0 STCRのIICE=1	MSTP3=0 STCRのIICE=1		IIC1	
H'FF89	BRR1	MSTP6=0 STCRのIICE=0	MSTP6=0 STCRのIICE=0	MSTP6=0 STCRのIICE=0	SCI1	
	ICSR1	MSTP3=0 STCRのIICE=1	MSTP3=0 STCRのIICE=1		IIC1	
H'FF8A	SCR1	MSTP6=0	MSTP6=0	MSTP6=0	SCI1	
H'FF8B	TDR1					
H'FF8C	SSR1					
H'FF8D	RDR1					
H'FF8E	SCMR1	MSTP6=0 STCRのIICE=0	MSTP6=0 STCRのIICE=0	MSTP6=0 STCRのIICE=0	IIC1	
	ICDR1	MSTP3=0	ICCR1のICE=1	MSTP3=0		ICCR1のICE=1
	SARX1	STCRのIICE=1	ICCR1のICE=0	STCRのIICE=1		ICCR1のICE=0
H'FF8F	ICMR1		ICCR1のICE=1		ICCR1のICE=1	
	SAR1		ICCR1のICE=0		ICCR1のICE=0	
H'FF90	TIER	MSTP13=0	MSTP13=0	MSTP13=0	FRT	
H'FF91	TCSR					
H'FF92	FRCH					
H'FF93	FRCL					
H'FF94	OCRAH		TOCRのOCRS=0		TOCRのOCRS=0	
	OCRBH		TOCRのOCRS=1		TOCRのOCRS=1	
H'FF95	OCRAL		TOCRのOCRS=0		TOCRのOCRS=0	
	OCRBL		TOCRのOCRS=1		TOCRのOCRS=1	
H'FF96	TCR					

下位アドレス	レジスタ名称	H8S/2148シリーズ レジスタ選択条件		H8S/2147N レジスタ選択条件		H8S/2144シリーズ レジスタ選択条件		モジュール 名
H'FF97	TOCR	MSTP13=0		MSTP13=0		MSTP13=0		FRT
H'FF98	ICRAH	TOCRのICRS=0		TOCRのICRS=0		TOCRのICRS=0		
	OCRARH	TOCRのICRS=1		TOCRのICRS=1		TOCRのICRS=1		
H'FF99	ICRAL	TOCRのICRS=0		TOCRのICRS=0		TOCRのICRS=0		
	OCRARL	TOCRのICRS=1		TOCRのICRS=1		TOCRのICRS=1		
H'FF9A	ICRBH	TOCRのICRS=0		TOCRのICRS=0		TOCRのICRS=0		
	OCRAFH	TOCRのICRS=1		TOCRのICRS=1		TOCRのICRS=1		
H'FF9B	ICRBL	TOCRのICRS=0		TOCRのICRS=0		TOCRのICRS=0		
	OCRAFL	TOCRのICRS=1		TOCRのICRS=1		TOCRのICRS=1		
H'FF9C	ICRCH	TOCRのICRS=0		TOCRのICRS=0		TOCRのICRS=0		
	OCRDMH	TOCRのICRS=1		TOCRのICRS=1		TOCRのICRS=1		
H'FF9D	ICRCL	TOCRのICRS=0		TOCRのICRS=0		TOCRのICRS=0		
	OCRDML	TOCRのICRS=1		TOCRのICRS=1		TOCRのICRS=1		
H'FF9E	ICRDH							
H'FF9F	ICRDL							
H'FFA0	SMR2	MSTP5=0 STCRのIICE=0		MSTP5=0 STCRのIICE=0		MSTP5=0 STCRのIICE=0		SCI2
	DADRAH	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	PWMX
	DACR		DACNT/DADRB のREGS=1		DACNT/DADRB のREGS=1		DACNT/DADRB のREGS=1	
H'FFA1	BRR2	MSTP5=0 STCRのIICE=0		MSTP5=0 STCRのIICE=0		MSTP5=0 STCRのIICE=0		SCI2
	DADRAL	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	PWMX
H'FFA2	SCR2	MSTP5=0		MSTP5=0		MSTP5=0		SCI2
H'FFA3	TDR2							
H'FFA4	SSR2							
H'FFA5	RDR2							
H'FFA6	SCMR2	MSTP5=0 STCRのIICE=0		MSTP5=0 STCRのIICE=0		MSTP5=0 STCRのIICE=0		PWMX
	DADRBH	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	MSTP11=0 STCRのIICE=1	DACNT/DADRB のREGS=0	
	DACNTH		DACNT/DADRB のREGS=1		DACNT/DADRB のREGS=1		DACNT/DADRB のREGS=1	
H'FFA7	DADRBL	DACNT/DADRB のREGS=0		DACNT/DADRB のREGS=0		DACNT/DADRB のREGS=0		
	DACNTL	DACNT/DADRB のREGS=1		DACNT/DADRB のREGS=1		DACNT/DADRB のREGS=1		
H'FFA8	TCSR0	条件なし		条件なし		条件なし		WDT0
	TCNT0 (write)							
H'FFA9	TCNT0 (read)							

下位アドレス	レジスタ名称	H8S/2148シリーズ レジスタ選択条件	H8S/2147N レジスタ選択条件	H8S/2144シリーズ レジスタ選択条件	モジュール 名
H'FFAA	PAODR0	条件なし	条件なし	条件なし	ポート
H'FFAB	PAPIN (read)				
	PADDR (write)				
H'FFAC	P1PCR				
H'FFAD	P2PCR				
H'FFAE	P3PCR				
H'FFB0	P1DDR				
H'FFB1	P2DDR				
H'FFB2	P1DR				
H'FFB3	P2DR				
H'FFB4	P3DDR				
H'FFB5	P4DDR				
H'FFB6	P3DR				
H'FFB7	P4DR				
H'FFB8	P5DDR				
H'FFB9	P6DDR				
H'FFBA	P5DR				
H'FFBB	P6DR				
H'FFBC	PBODR				
H'FFBD	P8DDR (write)				
	PBPIN (read)				
H'FFBE	P7PIN (read)				
	PBDDR (write)				
H'FFBF	P8DR				
H'FFC0	P9DDR				
H'FFC1	P9DR				
H'FFC2	IER	条件なし	条件なし	条件なし	割込み
H'FFC3	STCR	条件なし	条件なし	条件なし	システム
H'FFC4	SYSCR				
H'FFC5	MDCR				
H'FFC6	BCR	条件なし	条件なし	条件なし	バスコント ローラ
H'FFC7	WSCR				
H'FFC8	TCR0	MSTP12=0	MSTP12=0	MSTP12=0	TMR0, TMR1
H'FFC9	TCR1				
H'FFCA	TCSR0				
H'FFCB	TCSR1				

下位アドレス	レジスタ名称	H8S/2148シリーズ レジスタ選択条件		H8S/2147N レジスタ選択条件		H8S/2144シリーズ レジスタ選択条件	モジュール 名
H'FFCC	TCORA0	MSTP12=0		MSTP12=0		MSTP12=0	TMR0, TMR1
H'FFCD	TCORA1						
H'FFCE	TCORB0						
H'FFCF	TCORB1						
H'FFD0	TCNT0						
H'FFD1	TCNT1						
H'FFD2	PWOERB	条件なし		条件なし			PWM
H'FFD3	PWOERA						
H'FFD4	PWDPRB						
H'FFD5	PWDPRA						
H'FFD6	PWSL	MSTP11=0		MSTP11=0			
H'FFD7	PWDR0 ~ 15						
H'FFD8	SMR0	MSTP7=0 STCRのIICE=0		MSTP7=0 STCRのIICE=0		MSTP7=0 STCRのIICE=0	SCI0
	ICCR0	MSTP4=0 STCRのIICE=1		MSTP4=0 STCRのIICE=1			IIC0
H'FFD9	BRR0	MSTP7=0 STCRのIICE=0		MSTP7=0 STCRのIICE=0		MSTP7=0 STCRのIICE=0	SCI0
	ICSR0	MSTP4=0 STCRのIICE=1		MSTP4=0 STCRのIICE=1			IIC0
H'FFDA	SCR0	MSTP7=0		MSTP7=0		MSTP7=0	SCI0
H'FFDB	TDR0						
H'FFDC	SSR0						
H'FFDD	RDR0						
H'FFDE	SCMR0	MSTP7=0 STCRのIICE=0		MSTP7=0 STCRのIICE=0			
H'FFDF	ICDR0	MSTP4=0	ICCR0のICE=1	MSTP4=0	ICCR0のICE=1		IIC0
	SARX0	STCRのIICE=1	ICCR0のICE=0	STCRのIICE=1	ICCR0のICE=0		
	ICMR0		ICCR0のICE=1		ICCR0のICE=1		
SAR0		ICCR0のICE=0		ICCR0のICE=0			
H'FFE0	ADDRAH	MSTP9=0		MSTP9=0		MSTP9=0	A/D
H'FFE1	ADDRAL						
H'FFE2	ADDRBH						
H'FFE3	ADDRBL						
H'FFE4	ADDRCH						
H'FFE5	ADDRCL						
H'FFE6	ADDRDH						
H'FFE7	ADDRDL						
H'FFE8	ADCSR						
H'FFE9	ADCR						

下位アドレス	レジスタ名称	H8S/2148シリーズ レジスタ選択条件		H8S/2147N レジスタ選択条件	H8S/2144シリーズ レジスタ選択条件	モジュール 名
H'FFEA	TCSR1	条件なし		条件なし	条件なし	WDT1
	TCNT1 (write)					
H'FFEB	TCNT1 (read)					
H'FFF0	HICR	MSTP2=0 SYSCRのHIE=1		MSTP2=0 SYSCRのHIE=1		HIF
	TCRX	MSTP8=0 SYSCRのHIE=0	TCNRSの TMRX/Y=0			TMRX
	TCRY		TCNRSの TMRX/Y=1	MSTP8=0 SYSCRのHIE=0		MSTP8=0 SYSCRのHIE=0
H'FFF1	KMIMR	MSTP2=0 SYSCRのHIE=1		MSTP2=0 SYSCRのHIE=1	MSTP2=0 SYSCRのHIE=1	割込み
	TCSRX	MSTP8=0 SYSCRのHIE=0	TCNRSの TMRX/Y=0			TMRX
	TCSRY		TCNRSの TMRX/Y=1	MSTP8=0 SYSCRのHIE=0	MSTP8=0 SYSCRのHIE=0	TMRX
H'FFF2	KMPCR	MSTP2=0 SYSCRのHIE=1		MSTP2=0 SYSCRのHIE=1	MSTP2=0 SYSCRのHIE=1	ポート
	TICRR	MSTP8=0 SYSCRのHIE=0	TCNRSの TMRX/Y=0			TMRX
	TCORAY		TCNRSの TMRX/Y=1	MSTP8=0 SYSCRのHIE=0	MSTP8=0 SYSCRのHIE=0	TMRX
H'FFF3	KMIMRA	MSTP2=0 SYSCRのHIE=1		MSTP2=0 SYSCRのHIE=1	MSTP2=0 SYSCRのHIE=1	割込み
	TICRF	MSTP8=0 SYSCRのHIE=0	TCNRSの TMRX/Y=0			TMRX
	TCORBY		TCNRSの TMRX/Y=1	MSTP8=0 SYSCRのHIE=0	MSTP8=0 SYSCRのHIE=0	TMRX
H'FFF4	IDR1	MSTP2=0 SYSCRのHIE=1		MSTP2=0 SYSCRのHIE=1		HIF
	TCNTX	MSTP8=0 SYSCRのHIE=0	TCNRSの TMRX/Y=0			TMRX
	TCNTY		TCNRSの TMRX/Y=1	MSTP8=0 SYSCRのHIE=0		MSTP8=0 SYSCRのHIE=0
H'FFF5	ODR1	MSTP2=0 SYSCRのHIE=1		MSTP2=0 SYSCRのHIE=1		HIF
	TCORC	MSTP8=0 SYSCRのHIE=0	TCNRSの TMRX/Y=0			TMRX
	TISR		TCNRSの TMRX/Y=1	MSTP8=0 SYSCRのHIE=0		MSTP8=0 SYSCRのHIE=0
H'FFF6	STR1	MSTP2=0 SYSCRのHIE=1		MSTP2=0 SYSCRのHIE=1		HIF
	TCORAX	MSTP8=0 SYSCRのHIE=0	TCNRSの TMRX/Y=0			TMRX
H'FFF7	TCORBX					
H'FFF8	DADR0	MSTP10=0		MSTP10=0	MSTP10=0	D/A
H'FFF9	DADR1					
H'FFFA	DACR					

下位アドレス	レジスタ名称	H8S/2148シリーズ レジスタ選択条件	H8S/2147N レジスタ選択条件	H8S/2144シリーズ レジスタ選択条件	モジュール 名
H'FFFC	IDR2	MSTP2=0 SYSCRのHIE=1	MSTP2=0 SYSCRのHIE=1		HIF
	TCONRI	MSTP8=0 SYSCRのHIE=0			タイマコネクション
H'FFFD	ODR2	MSTP2=0 SYSCRのHIE=1	MSTP2=0 SYSCRのHIE=1		HIF
	TCONRO	MSTP8=0 SYSCRのHIE=0			タイマコネクション
H'FFFE	STR2	MSTP2=0 SYSCRのHIE=1	MSTP2=0 SYSCRのHIE=1		HIF
	TCONRS	MSTP8=0 SYSCRのHIE=0			タイマコネクション
H'FFFF	SEDGR				

B.3 機能一覧

H'EC00 ~ H'EFFF : DTC モードレジスタ A MRA : DTC

ビット :	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

DTCデータ トランスファサイズ	
0	バイトサイズ 転送
1	ワードサイズ 転送

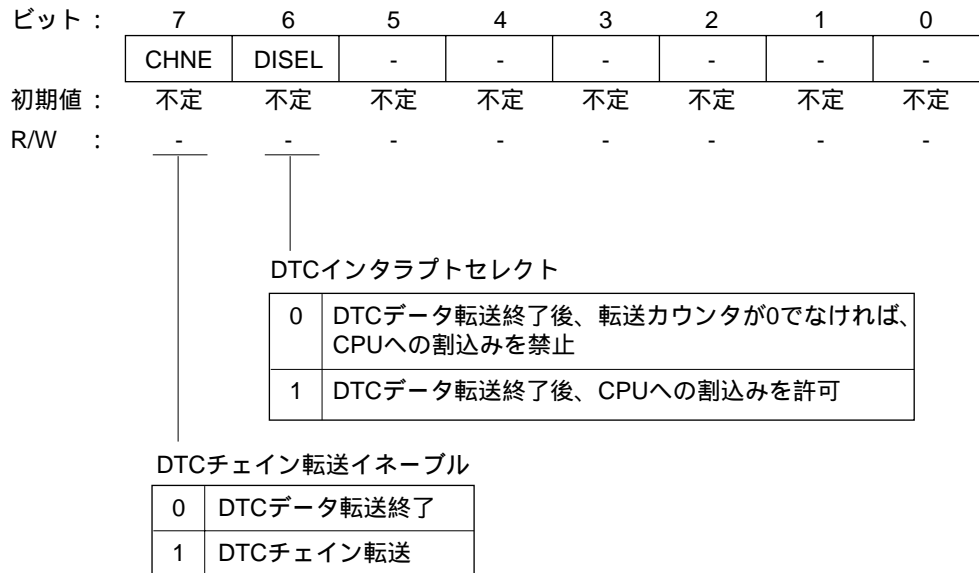
DTC転送モードセレクト	
0	デスティネーション側がリピート 領域またはブロック領域
1	ソース側がリピート領域または ブロック領域

DTCモード		
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

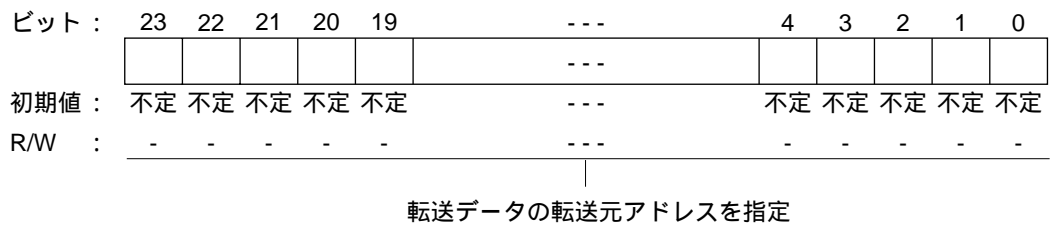
デスティネーションアドレスモード		
0	-	DARは固定
1	0	DARは転送後インクリメント (Sz=0のとき+1, Sz=1のとき+2)
	1	DARは転送後デクリメント (Sz=0のとき-1, Sz=1のとき-2)

ソースアドレスモード		
0	-	SARは固定
1	0	SARは転送後インクリメント (Sz=0のとき+1, Sz=1のとき+2)
	1	SARは転送後デクリメント (Sz=0のとき-1, Sz=1のとき-2)

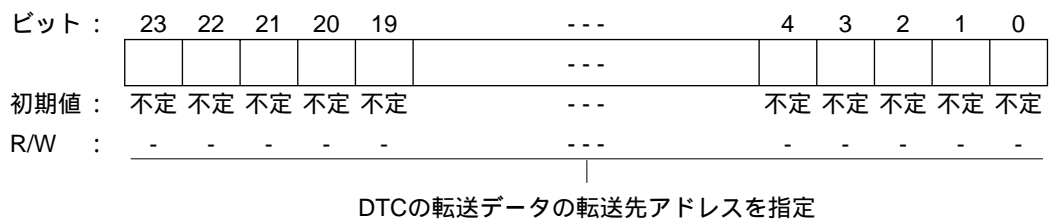
H'EC00 ~ H'EFFF : DTC モードレジスタ B MRB : DTC



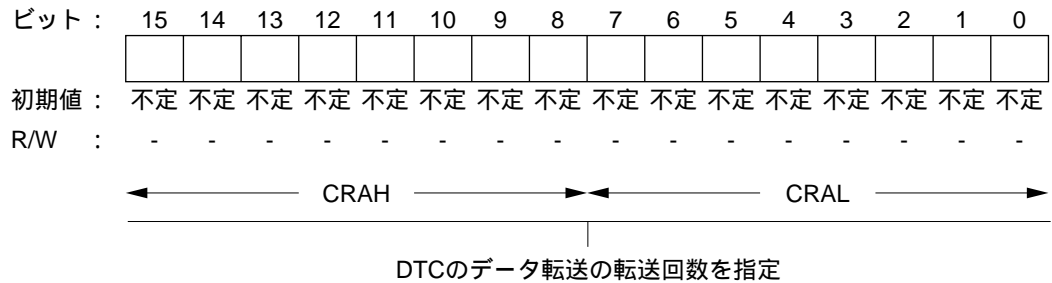
H'EC00 ~ H'EFFF : DTC ソースアドレスレジスタ SAR : DTC



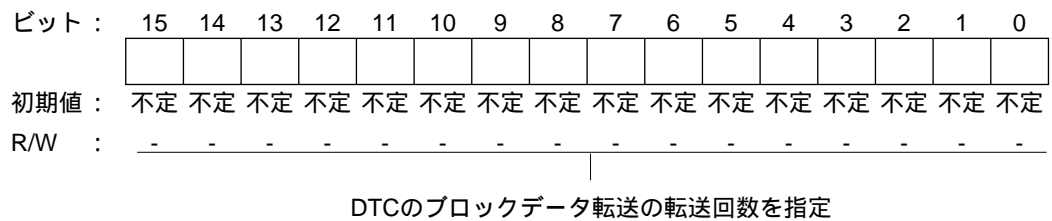
H'EC00 ~ H'EFFF : DTC デスティネーションアドレスレジスタ DAR : DTC



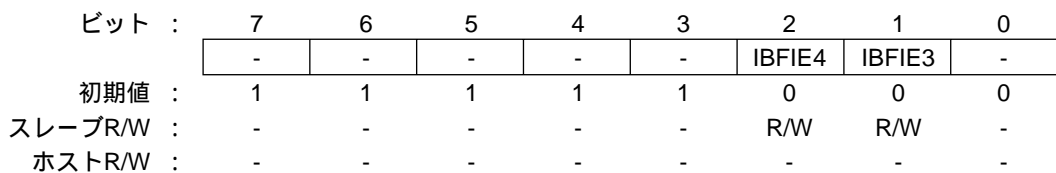
H'EC00 ~ H'FFFF : DTC 転送カウントレジスタ A CRA : DTC



H'EC00 ~ H'FFFF : DTC 転送カウントレジスタ B CRB : DTC



H'FE80 : ホストインタフェースコントロールレジスタ 2 HICR2 : HIF



入力データレジスタフル割込みイネーブル

IBFIE4	IBFIE3	説明
-	0	入力データレジスタ (IDR3) 受信完了割込み要求を禁止 (初期値)
-	1	入力データレジスタ (IDR3) 受信完了割込み要求を許可
0	-	入力データレジスタ (IDR4) 受信完了割込み要求を禁止 (初期値)
1	-	入力データレジスタ (IDR4) 受信完了割込み要求を許可

H'FE84:入力データレジスタ 3 IDR3 : HIF

H'FE8C:入力データレジスタ 4 IDR4 : HIF

ビット :	7	6	5	4	3	2	1	0
	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値 :								
スレーブR/W :	R	R	R	R	R	R	R	R
ホストR/W	W	W	W	W	W	W	W	W

|
 \overline{CS} = Lowのとき、 \overline{IOW} の立ち上がりでホストデータバスの内容を格納

H'FE85:出力データレジスタ 3 ODR3 : HIF

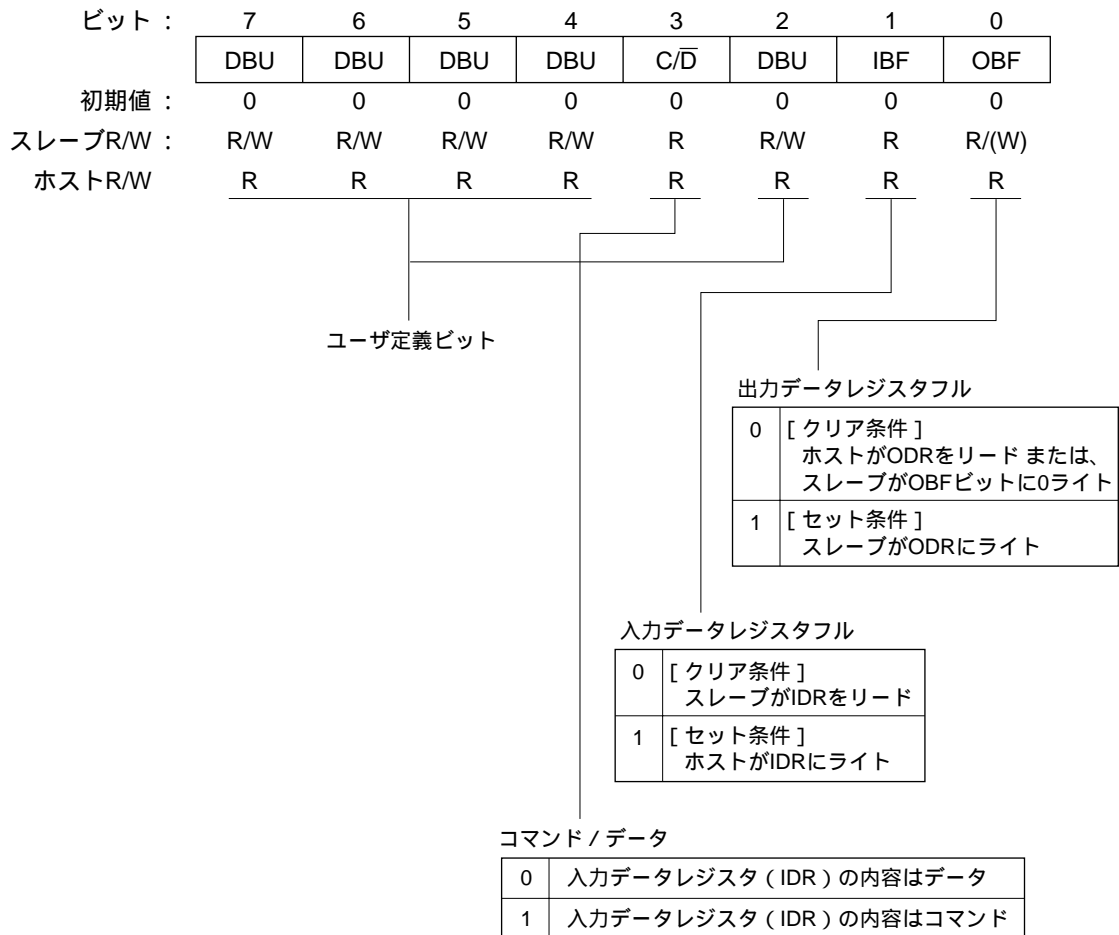
H'FE8D:出力データレジスタ 4 ODR4 : HIF

ビット :	7	6	5	4	3	2	1	0
	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値 :								
スレーブR/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	R	R	R	R	R	R	R	R

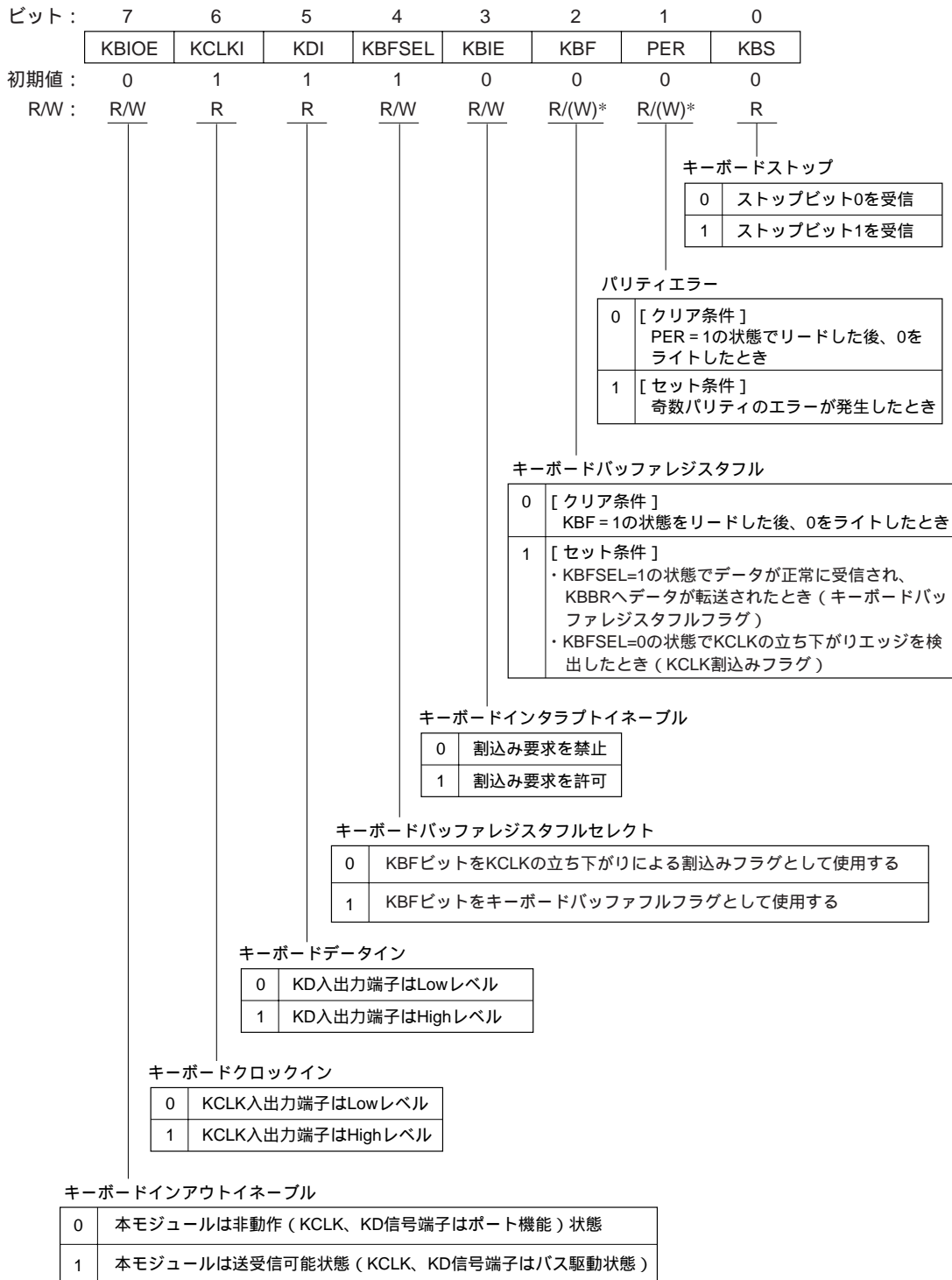
|
 $HA0$ = Low、 \overline{CS} = Low、 \overline{IOR} = Lowのとき、
 ODRの内容をホストデータバスに出力

H'FE86:ステータスレジスタ 3 STR3 : HIF

H'FE8E:ステータスレジスタ 4 STR4 : HIF



H'FED8 : キーボードコントロールレジスタ H0 KBCRH0 :
 H'FEDC : キーボードコントロールレジスタ H1 KBCRH1 :
 H'FEE0 : キーボードコントロールレジスタ H2 KBCRH2 :
 キーボードバッファコントローラ



【注】 * フラグをクリアするための0ライトのみ可能です。

H'FED9 : キーボードコントロールレジスタ L0 KBCRL0 :

H'FEDD : キーボードコントロールレジスタ L1 KBCRL1 :

H'FEE1 : キーボードコントロールレジスタ L2 KBCRL2 :

キーボードバッファコントローラ

ビット:	7	6	5	4	3	2	1	0
	KBE	KCLKO	KDO		RXCR3	RXCR2	RXCR1	RXCR0
初期値:	0	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W		R	R	R	R

レシーブカウンタ

RXCR3	RXCR2	RXCR1	RXCR0	受信データの内容
0	0	0	0	
			1	スタートビット
		1	0	KB0
			1	KB1
	1	0	0	KB2
			1	KB3
		1	0	KB4
			1	KB5
1	0	0	KB6	
		1	KB7	
	1	0	パリティビット	
		1		
1				

キーボードデータアウト

0	キーボードバッファコントローラデータ入出力端子はLowレベル
1	キーボードバッファコントローラデータ入出力端子はHighレベル

キーボードクロックアウト

0	キーボードバッファコントローラクロック入出力端子はLowレベル
1	キーボードバッファコントローラクロック入出力端子はHighレベル

キーボードイネーブル

0	KBBRへの受信データのロードを禁止
1	KBBRへの受信データのロードを許可

H'FEDA : キーボードデータバッファレジスタ0 KBBR0 :

H'FEDE : キーボードデータバッファレジスタ1 KBBR1 :

H'FEE2 : キーボードデータバッファレジスタ2 KBBR2 :

キーボードバッファコントローラ

ビット:	7	6	5	4	3	2	1	0
	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

受信データを格納

H'FEE4 : キーボードコンパレータコントロールレジスタ KBCOMP : IrDA/拡張 A/D

ビット :	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

キーボードコンパレータコントロール

ビット3	ビット2	ビット1	ビット0	A/D変換器	A/D変換器
KBADE	KBCH2	KBCH1	KBCH0	チャンネル6入力	チャンネル7入力
0				AN6	AN7
1	0	0	0	CIN0	CIN8
			1	CIN1	CIN9
		1	0	CIN2	CIN10
			1	CIN3	CIN11
1	1	0	0	CIN4	CIN12
			1	CIN5	CIN13
		1	0	CIN6	CIN14
			1	CIN7	CIN15

IrDAクロックセレクト2~0

0	0	0	B × 3/16 (ビットレートの16分の3)
		1	/2
	1	0	/4
		1	/8
1	0	0	/16
		1	/32
	1	0	/64
		1	/128

IrDAイネーブル

0	TxD2/IrTxD、RxD2/IrRxD端子はTxD2、RxD2として動作
1	TxD2/IrTxD、RxD2/IrRxD端子はIrTxD、IrRxDとして動作

H'FEE6 : DDC スイッチレジスタ DDCSWR : IIC0

ビット :	7	6	5	4	3	2	1	0
	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/(W)*	W	W	W	W

IICクリアビット

DDCモードスイッチ割込みフラグ

0	フォーマット自動切り替え実行時の割込み要求なし [クリア条件] ・IF = 1の状態をリードした後、0をライトしたとき
1	フォーマット自動切り替え実行時の割込み要求あり [セット条件] ・SWE = 1で、SCLに立ち下がりエッジを検出したとき

DDCモードスイッチ割込み許可ビット

0	フォーマット自動切り替え実行時の割込みを禁止
1	フォーマット自動切り替え実行時の割込みを許可

DDCモードスイッチ

0	IICチャンネル0をI ² Cバスフォーマットで使用する [クリア条件] (1) ソフトウェアにより0をライトしたとき (2) SWE = 1で、SCLに立ち下がりエッジを検出したとき
1	IICチャンネル0をフォーマットレスで使用する [セット条件] ・SW = 0の状態をリードした後、1をライトしたとき

DDCモードスイッチイネーブル

0	IICチャンネル0の、フォーマットレスからI ² Cバスフォーマットへの自動切り替えを禁止する
1	IICチャンネル0の、フォーマットレスからI ² Cバスフォーマットへの自動切り替えを許可する

【注】* フラグをクリアするための0ライトのみ可能です。

H'FEE8 : インタラプトコントロールレジスタ A ICRA :

H'FEE9 : インタラプトコントロールレジスタ B ICRB :

H'FEEA : インタラプトコントロールレジスタ C ICRC :

割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込みコントロールレベル

0	対応する割り込み要因はコントロールレベル0 (非優先)
1	対応する割り込み要因はコントロールレベル1 (優先)

各割り込み要因とICRの対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
ICRA	IRQ0	IRQ1	IRQ2 IRQ3	IRQ4 IRQ5	IRQ6 IRQ7	DTC	ウォッチ ドッグ タイマ0	ウォッチ ドッグ タイマ1
ICRB	A/D 変換器	フリー ランニング タイマ			8ビット タイマ チャンネル0	8ビット タイマ チャンネル1	8ビット タイマ チャンネル X、Y	HIF、 キーボード バッファ コントローラ
ICRC	SCI チャンネル0	SCI チャンネル1	SCI チャンネル2	IIC チャンネル0 (オプション)	IIC チャンネル1 (オプション)			

H'FEEB : IRQ ステータスレジスタ ISR : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ7 ~ IRQ0フラグ

0	<p>[クリア条件]</p> <p>(1) IRQnF = 1をリードした後、0をライトしたとき</p> <p>(2) Lowレベル検出設定 ($\overline{\text{IRQnSCB}} = \overline{\text{IRQnSCA}} = 0$) の状態かつ$\overline{\text{IRQn}}$入力がHighレベルの状態、割り込み例外処理を実行したとき*</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 ($\overline{\text{IRQnSCB}} = 1$、または$\overline{\text{IRQnSCA}} = 1$) の状態で$\overline{\text{IRQn}}$割り込み例外処理を実行したとき*</p>
1	<p>[セット条件]</p> <p>(1) Lowレベル検出設定 ($\overline{\text{IRQnSCB}} = \overline{\text{IRQnSCA}} = 0$) の状態で$\overline{\text{IRQn}}$入力がLowレベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 ($\overline{\text{IRQnSCB}} = 0$、$\overline{\text{IRQnSCA}} = 1$) の状態で$\overline{\text{IRQn}}$入口に立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 ($\overline{\text{IRQnSCB}} = 1$、$\overline{\text{IRQnSCA}} = 0$) の状態で$\overline{\text{IRQn}}$入口に立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 ($\overline{\text{IRQnSCB}} = \overline{\text{IRQnSCA}} = 1$) の状態で$\overline{\text{IRQn}}$入口に立ち下がり、または立ち上がりエッジが発生したとき</p>

(n = 7 ~ 0)

【注】 * DTCを内蔵した製品において下記の設定で使用すると、対象フラグビットはクリア条件となる例外処理を実行しても自動クリアはされず、ビットは1のままとなります。

- (1) DTCEA3 = 1にセットした場合 (ADIを割り込み要因に設定)、IRQ4Fフラグの自動クリア
- (2) DTCEA2 = 1にセットした場合 (ICIAを割り込み要因に設定)、IRQ5Fフラグの自動クリア
- (3) DTCEA1 = 1にセットした場合 (ICIBを割り込み要因に設定)、IRQ6Fフラグの自動クリア
- (4) DTCEA0 = 1にセットした場合 (OCIAを割り込み要因に設定)、IRQ7Fフラグの自動クリア

DTCの起動割り込み要因とIRQ割り込みを上記の組み合わせで使用する場合には、当該IRQの割り込み処理ルーチン内でソフトウェアにより割り込みフラグのクリアを行ってください。

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FEEC : IRQ センスコントロールレジスタ H ISCRH :

H'FEED : IRQ センスコントロールレジスタ L ISCRH :

割込みコントローラ

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ7 ~ IRQ4 センスコントロールA、B

ISCRH

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ3 ~ IRQ0 センスコントロールA、B

ISCRH ビット7~0 ISCRH ビット7~0		説 明
IRQ7SCB ~ IRQ0SCB	IRQ7SCA ~ IRQ0SCA	
0	0	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力のLowレベルで割込み要求を発生
	1	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割込み要求を発生
1	0	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割込み要求を発生
	1	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割込み要求を発生

H'FEEE ~ H'FEF2 : DTC イネーブルレジスタ DTCE7 : DTCE0

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTC起動イネーブル

0	割込みによるDTC起動を禁止 [クリア条件] ・DISELビットが1でデータ転送を終了したとき ・指定した回数の転送が終了したとき
1	割込みによるDTC起動を許可 [保持条件] DISELビットが0で、指定した回数の転送が終了していないとき

H'FEF3 : DTC ベクタレジスタ DTVEC7 : DTVEC0

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCソフトウェア起動のベクタ番号を設定

DTCソフトウェア起動イネーブル

0	DTCソフトウェア起動を禁止 [クリア条件] DISELビットが0で、指定した回数の転送が終了していないとき
1	DTCソフトウェア起動を許可 [保持条件] ・DISELビットが1で、データ転送を終了したとき ・指定した回数の転送が終了したとき ・ソフトウェア起動によるデータ転送中

【注】* SWDTEビットは、1ライトは常時可能ですが、0ライトは1リード後にのみ可能となります。

H'FEF4 : アドレスブレイクコントロールレジスタ ABRKCR : 割込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	CMF	-	-	-	-	-	-	BIE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	-	-	-	R/W

コンディションマッチフラグ

0	[クリア条件] アドレスブレイク割り込み例外処理を実行したとき
1	[セット条件] BIE=1の状態、BARA ~ BARCで設定したアドレスのプリフェッチを実行したとき

ブレイク割込みイネーブル

0	アドレスブレイク禁止
1	アドレスブレイク許可

H'FEF5 : ブレークアドレスレジスタ A BARA : 割込みコントローラ
 H'FEF6 : ブレークアドレスレジスタ B BARB : 割込みコントローラ
 H'FEF7 : ブレークアドレスレジスタ C BARC : 割込みコントローラ

ビット :	7	6	5	4	3	2	1	0
BARA	A23	A22	A21	A20	A19	A18	A17	A16
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレスブレークを発生させるアドレス (ビット23~16) を指定

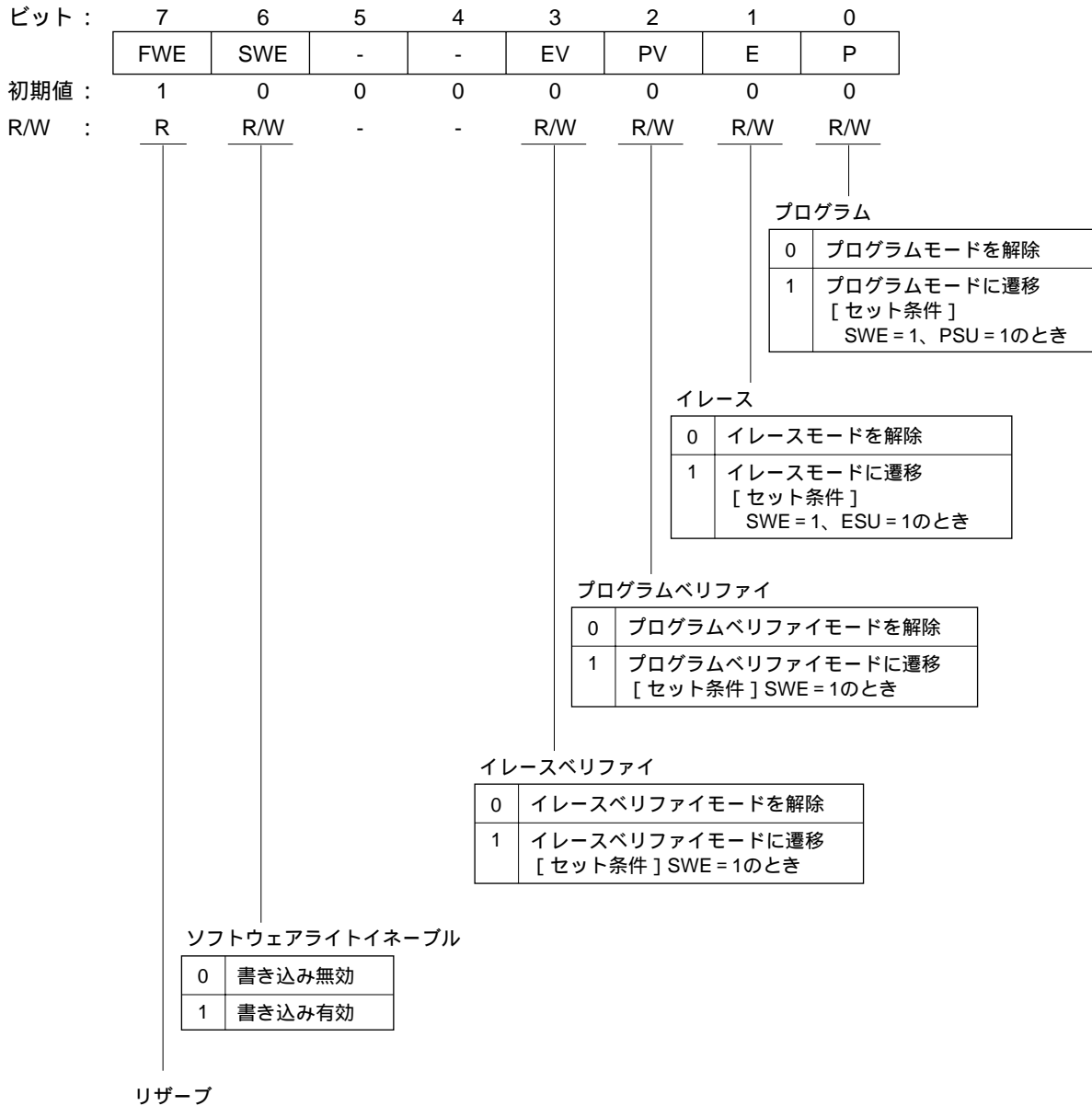
ビット :	7	6	5	4	3	2	1	0
BARB	A15	A14	A13	A12	A11	A10	A9	A8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレスブレークを発生させるアドレス (ビット15~8) を指定

ビット :	7	6	5	4	3	2	1	0
BARC	A7	A6	A5	A4	A3	A2	A1	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-

アドレスブレークを発生させるアドレス (ビット7~1) を指定

H'FF80 : フラッシュメモリコントロールレジスタ1 FLMCR1 : FLASH



H'FF81 : フラッシュメモリコントロールレジスタ2 FLMCR2 : FLASH

ビット :	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	ESU	PSU
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	-	-	R/W	R/W

プログラムセットアップ

0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] SWE = 1のとき

イレースセットアップ

0	イレースセットアップ解除
1	イレースセットアップ [セット条件] SWE = 1のとき

フラッシュメモリエラー

0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み / 消去中にエラーが発生 したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「22.8.3、23.8.3 エラープロテクト」参照

H'FF82 : 周辺クロックセレクトレジスタ PCSR : PWM

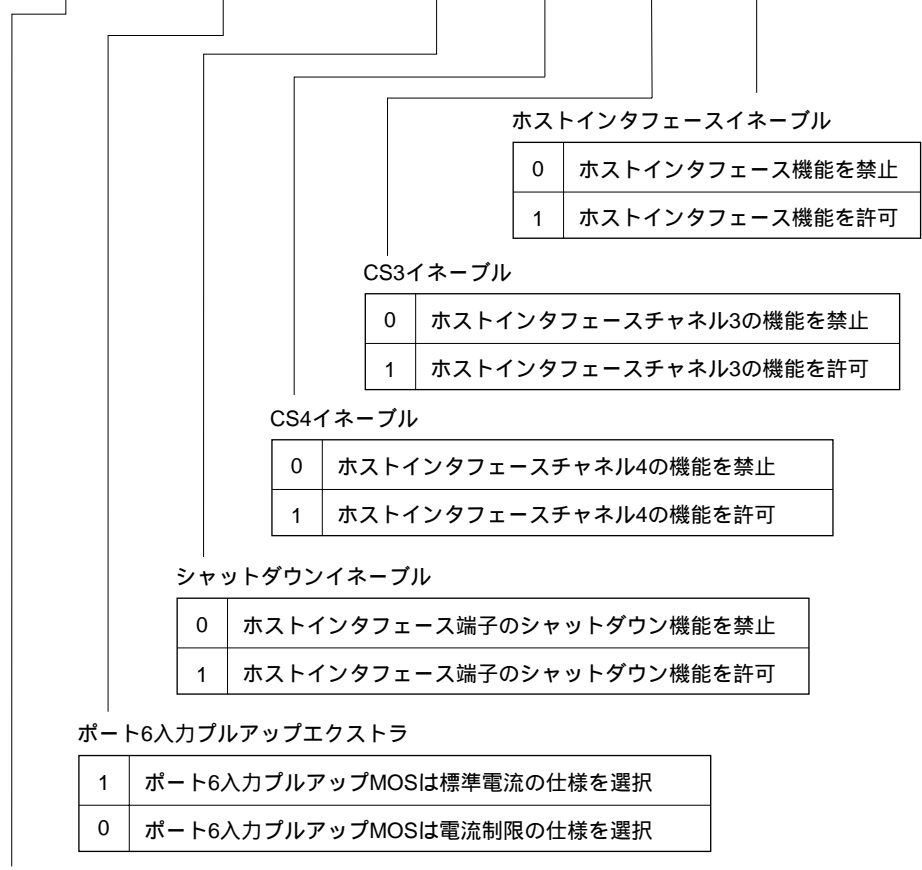
ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	PWCKB	PWCKA	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	-

PWMクロックセレクト

PWSL		PCSR		説 明
ビット7	ビット6	ビット2	ビット1	
PWCKE	PWCKS	PWCKB	PWCKA	
0				クロック入力禁止
1	0	0	0	(システムクロック)を選択
			1	/2を選択
	1	0	1	/4を選択
			1	/8を選択
			1	/16を選択

H'FF83 : システムコントロールレジスタ 2 SYSCR2 : HIF

ビット :	7	6	5	4	3	2	1	0
	KWUL1	KWUL0	P6PUE	-	SDE	CS4E	CS3E	HI12E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W



ホストインタフェースイネーブル

0	ホストインタフェース機能を禁止
1	ホストインタフェース機能を許可

CS3イネーブル

0	ホストインタフェースチャンネル3の機能を禁止
1	ホストインタフェースチャンネル3の機能を許可

CS4イネーブル

0	ホストインタフェースチャンネル4の機能を禁止
1	ホストインタフェースチャンネル4の機能を許可

シャットダウンイネーブル

0	ホストインタフェース端子のシャットダウン機能を禁止
1	ホストインタフェース端子のシャットダウン機能を許可

ポート6入力プルアップエクストラ

1	ポート6入力プルアップMOSは標準電流の仕様を選択
0	ポート6入力プルアップMOSは電流制限の仕様を選択

キーウェイクアップレベル1、0

0	0	ポート6入力レベルは標準入力レベルを選択
	1	ポート6入力レベルは入力レベル1を選択
1	0	ポート6入力レベルは入力レベル2を選択
	1	ポート6入力レベルは入力レベル3を選択

H'FF82 : 消去ブロック指定レジスタ1 EBR1 : FLASH
 H'FF83 : 消去ブロック指定レジスタ2 EBR2 : FLASH

ビット :	7	6	5	4	3	2	1	0
EBR1	-	-	-	-	-	-	EB9/ - *2	EB8/ - *2
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	R/W*1*2	R/W*1*2

ビット :	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 【注】 *1 ノーマルモードの場合は0が読み出され、ライトは無効です。
 *2 64kバイト版にEB8、EB9ビットはありません。本ビットは1にセットしなしてください。

消去ブロックの分割

ブロック (サイズ)		アドレス
128kバイト版	64kバイト版	
EB0 (1kバイト)	EB0 (1kバイト)	H'(00)0000 ~ H'(00)03FF
EB1 (1kバイト)	EB1 (1kバイト)	H'(00)0400 ~ H'(00)07FF
EB2 (1kバイト)	EB2 (1kバイト)	H'(00)0800 ~ H'(00)0BFF
EB3 (1kバイト)	EB3 (1kバイト)	H'(00)0C00 ~ H'(00)0FFF
EB4 (28kバイト)	EB4 (28kバイト)	H'(00)1000 ~ H'(00)7FFF
EB5 (16kバイト)	EB5 (16kバイト)	H'(00)8000 ~ H'(00)BFFF
EB6 (8kバイト)	EB6 (8kバイト)	H'(00)C000 ~ H'(00)DFFF
EB7 (8kバイト)	EB7 (8kバイト)	H'00 E000 ~ H' 00 FFFF
EB8 (32kバイト)	-	H'01 0000 ~ H'01 7FFF
EB9 (32kバイト)	-	H'01 8000 ~ H'01 FFFF

H'FF84 : スタンバイコントロールレジスタ SBYCR : システム

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0		SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W		R/W	R/W	R/W

システムクロックセレクト2~0

0	0	0	バスマスタは高速モード
		1	中速クロックは / 2
	1	0	中速クロックは / 4
1		中速クロックは / 8	
1	0	0	中速クロックは / 16
		1	中速クロックは / 32
	1		

スタンバイタイムセレクト2~0

0	0	0	待機時間 = 8192 ステート
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート*

【注】 * フラッシュメモリ内蔵版では、本設定は使用しないでください。

ソフトウェアスタンバイ

0	高速モードおよび中速モードでSLEEP命令を実行したとき、スリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、サブスリープモードに遷移
1	高速モードおよび中速モードでSLEEP命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

H'FF85 : ローパワーコントロールレジスタ LPWRCR : システム

ビット :	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

サブクロック入力カインェブル

0	EXCL端子からのサブクロック入力禁止
1	EXCL端子からのサブクロック入力許可

ノイズ除去サンプリング周波数選択

0	の32分周クロックでサンプリング
1	の4分周クロックでサンプリング

ロースピードオンフラグ

0	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 ・ウォッチモード解除後に高速モードに遷移
1	<ul style="list-style-type: none"> ・高速モードでSLEEP命令を実行したとき、ウォッチモード、またはサブアクティブモード*に遷移 ・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ・ウォッチモード解除後にサブアクティブモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ダイレクトトランスファオンフラグ

0	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移
1	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

H'FF86 : モジュールストップコントロールレジスタH MSTPCRH : システム
 H'FF87 : モジュールストップコントロールレジスタL MSTPCRL : システム

MSTPCRH								MSTPCRL								
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

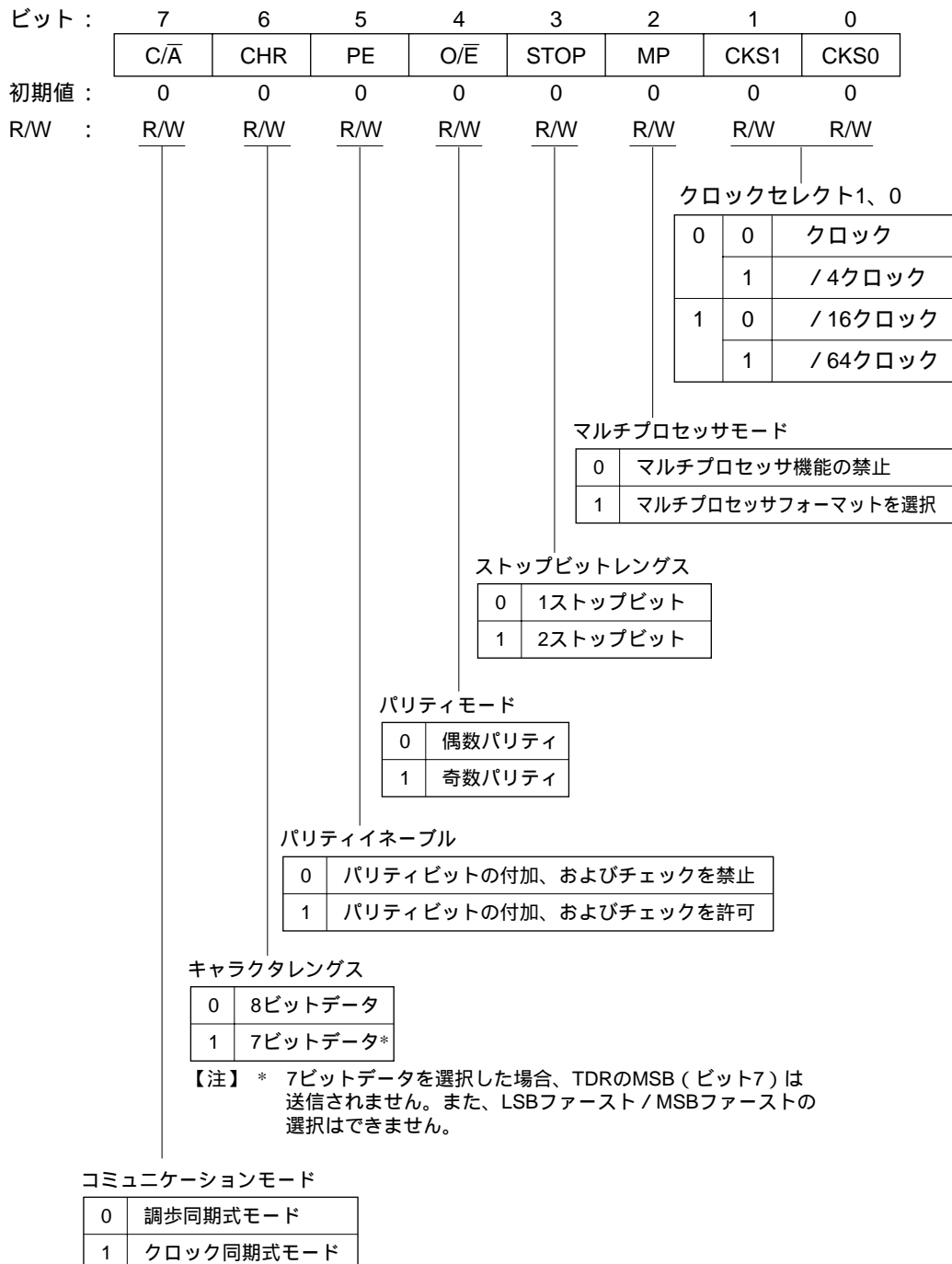
各ビットと内蔵周辺機能の対応は以下のとおりです。

レジスタ	ビット	モジュール
MSTPCRH	MSTP15	-
	MSTP14*	データ転送ファコントローラ (DTC)
	MSTP13	16ビットフリーランニングタイマ (FRT)
	MSTP12	8ビットタイマ (TMR0、TMR1)
	MSTP11	8ビットPWMタイマ (PWM)、14ビットPWMタイマ (PWMX)
	MSTP10	D/A変換器
	MSTP9	A/D変換器
	MSTP8	8ビットタイマ (TMRX、TMRY)、タイマコネクション
MSTPCRL	MSTP7	シリアルコミュニケーションインタフェース0 (SCI0)
	MSTP6	シリアルコミュニケーションインタフェース1 (SCI1)
	MSTP5	シリアルコミュニケーションインタフェース2 (SCI2)
	MSTP4*	I ² Cバスインタフェース (IIC) チャンネル0【オプション】
	MSTP3*	I ² Cバスインタフェース (IIC) チャンネル1【オプション】
	MSTP2	ホストインタフェース (HIF)、 キーボードマトリクス割込みマスクレジスタ (KMIMR)、 キーボードマトリクス割込みマスクレジスタ (KMIMRA)、 ポート6ブルアップMOSコントロールレジスタ (KMPCR)、 キーボードバッファコントローラ (PS2)
	MSTP1*	-
	MSTP0*	-

【注】 ビット15は、1にセットしないでください。また、ビット1、0はリード/ライトできますが、動作に影響を与えません。

* H8S/2144シリーズでは必ず1にセットしてください。

H'FF88 : シリアルモードレジスタ 1 SMR1 : SCI1
 H'FFA0 : シリアルモードレジスタ 2 SMR2 : SCI2
 H'FFD8 : シリアルモードレジスタ 0 SMR0 : SCI0



H'FF88 : I²C バスコントロールレジスタ 1 ICCR1 : IIC1
 H'FFD8 : I²C バスコントロールレジスタ 0 ICCR0 : IIC0

ビット :	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	W

開始条件 / 停止条件発行禁止ビット

0	ライト時、BBSYフラグと組み合わせて開始条件、停止条件を発行
1	リード時、常に1をリード ライト時、無効

I²Cバスインタフェース割込み要求フラグ

0	転送待ち状態、または転送中
1	割込みが発生

【注】クリア条件、セット条件は「16.2.5 I²Cバスコントロールレジスタ (ICCR)」を参照

バスビジー

0	バス解放状態 [クリア条件]・停止条件検出時
1	バス占有状態 [セット条件]・開始条件検出時

アクリリッジビット判定選択

0	アクリリッジビットの内容を無視して、連続的に転送を行う
1	アクリリッジビットが1の場合、連続的な転送を中断する

マスタ/スレーブ選択 (MST)、送信 / 受信選択 (TRS)

0	0	スレーブ受信モード
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

【注】詳細は「16.2.5 I²Cバスコントロールレジスタ (ICCR)」を参照

I²Cバスインタフェース割込みイネーブル

0	割込み要求を禁止
1	割込み要求を許可

I²Cバスインタフェースイネーブル

0	本モジュールは非動作状態 (SCL/SDA端子はポート機能) SAR、SARXがアクセス可能
1	本モジュールは転送動作可能状態 (SCL/SDA端子はバス駆動状態) ICMR、ICDRがアクセス可能

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF89 : ビットレートレジスタ 1 BRR1 : SCI1
H'FFA1 : ビットレートレジスタ 2 BRR2 : SCI2
H'FFD9 : ビットレートレジスタ 0 BRR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信 / 受信のビットレートを設定

H'FF89 : I²C バスステータスレジスタ 1 ICSR1 : IIC1
 H'FFD9 : I²C バスステータスレジスタ 0 ICSR0 : IIC0

ビット :	7	6	5	4	3	2	1	0
	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/W

アクリッジビット

0	受信時：アクリッジ出力タイミングで0出力 送信時：受信デバイスからアクリッジがあつた(0だつた)ことを示す
1	受信時：アクリッジ出力タイミングで1出力 送信時：受信デバイスからアクリッジがなかつた(1だつた)ことを示す

ゼネラルコールアドレス認識フラグ*2

0	ゼネラルコールアドレスを未認識
1	ゼネラルコールアドレスを認識

スレーブアドレス認識フラグ*2

0	スレーブアドレスまたはゼネラルコールアドレスを未認識
1	スレーブアドレスまたはゼネラルコールアドレスを認識

アービトレーションロストフラグ*2

0	バスを確保
1	バス競合負け(アービトレーションロスト)

第2スレーブアドレス認識フラグ*2

0	第2スレーブアドレスを未認識
1	第2スレーブアドレスを認識

I²Cバスインタフェース連続送受信割込み要求フラグ*2

0	転送待ち状態、または転送中
1	連続転送状態

正常停止条件検出フラグ*2

0	正常停止条件なし
1	I ² Cバスフォーマットでスレーブモードのとき：正常停止条件を検出 I ² Cバスフォーマットでスレーブモードのとき以外：意味なし

エラー停止条件検出フラグ*2

0	エラー停止条件なし
1	I ² Cバスフォーマットでスレーブモードのとき：エラー停止条件を検出 I ² Cバスフォーマットでスレーブモードのとき以外：意味なし

【注】*1 フラグをクリアするための0ライトのみ可能です。

*2 クリア/セット条件については「16.2.6 I²Cバスステータスレジスタ (ICSR)」を参照

H'FF8A : シリアルコントロールレジスタ 1 SCR1 : SCI1
 H'FFA2 : シリアルコントロールレジスタ 2 SCR2 : SCI2
 H'FFDA : シリアルコントロールレジスタ 0 SCR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	内部クロック / SCK端子はクロック出力
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力

0	送信終了割込み (TEI) 要求を禁止
1	送信終了割込み (TEI) 要求を許可

0	マルチプロセッサ割込み禁止状態 (通常の受信動作) [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割込み許可状態 マルチプロセッサビットが1のデータを受け取るまで、受信割込み (RXI) 要求、受信エラー割込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止

0	受信動作を禁止
1	受信動作を許可

0	送信動作を禁止
1	送信動作を許可

0	受信データフル割込み (RXI) 要求、および受信エラー割込み (ERI) 要求を禁止
1	受信データフル割込み (RXI) 要求、および受信エラー割込み (ERI) 要求を許可

0	送信データエンpty割込み (TXI) 要求の禁止
1	送信データエンpty割込み (TXI) 要求の許可

H'FF8D : レシーブデータレジスタ 1 RDR1 : SCI1

H'FFA5 : レシーブデータレジスタ 2 RDR2 : SCI2

H'FFDD : レシーブデータレジスタ 0 RDR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

|
シリアル受信データを格納

H'FF8B : トランスミットデータレジスタ 1 TDR1 : SCI1

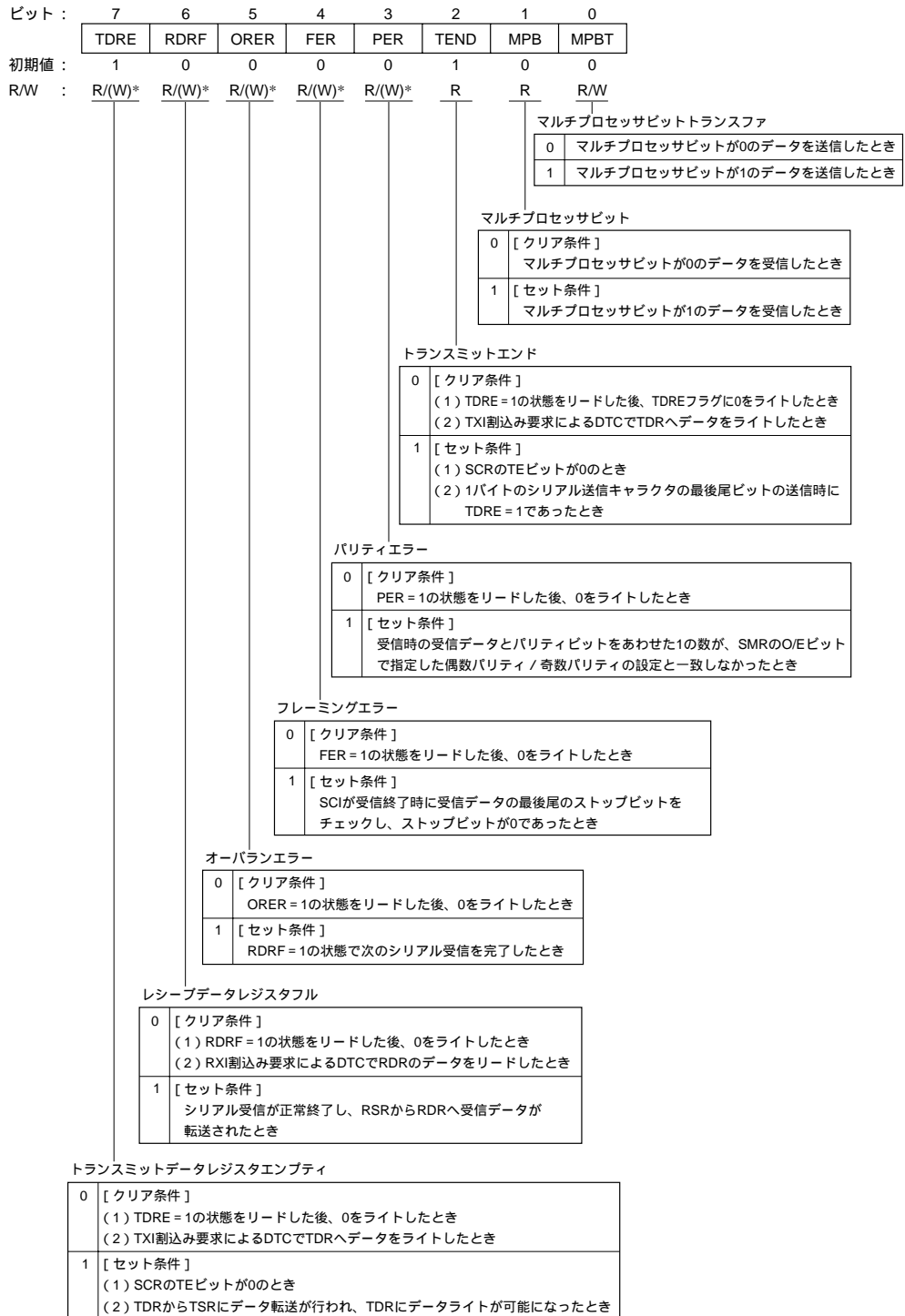
H'FFA3 : トランスミットデータレジスタ 2 TDR2 : SCI2

H'FFDB : トランスミットデータレジスタ 0 TDR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

|
シリアル送信データを格納

H'FF8C : シリアルステータスレジスタ 1 SSR1 : SCI1
 H'FFA4 : シリアルステータスレジスタ 2 SSR2 : SCI2
 H'FFDC : シリアルステータスレジスタ 0 SSR0 : SCI0



【注】* フラグをクリアするための0ライトのみ可能です。

H'FF8E : シリアルインタフェースモードレジスタ 1 SCMR1 : SCI1
 H'FFA6 : シリアルインタフェースモードレジスタ 2 SCMR2 : SCI2
 H'FFDE : シリアルインタフェースモードレジスタ 0 SCMR0 : SCI0



H'FF8E : I²C バスデータレジスタ 1 ICDR1 : IIC1H'FFDE : I²C バスデータレジスタ 0 ICDR0 : IIC0

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICDRR

ビット :	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

ICDRS

ビット :	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

ICDRT

ビット :	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0
初期値 :	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W

TDRE、RDRF (内部フラグ)

ビット :	-	-
	TDRE	RDRF
初期値 :	0	0
R/W :	-	-

【注】詳細は「16.2.1 I²Cバスデータレジスタ (ICDR)」を参照。

H'FF8E : 第2スレーブアドレスレジスタ 1 SARX1 : IIC1
 H'FF8F : スレーブアドレスレジスタ 1 SAR1 : IIC1
 H'FFDE : 第2スレーブアドレスレジスタ 0 SARX0 : IIC0
 H'FFDF : スレーブアドレスレジスタ 0 SAR0 : IIC0

SAR

ビット :

7	6	5	4	3	2	1	0
SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

スレーブアドレス
フォーマットセレクト

SARX

ビット :

7	6	5	4	3	2	1	0
SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX

初期値 : 0 0 0 0 0 0 0 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

第2スレーブアドレス
フォーマットセレクト

DDCSWR	SAR	SARX	動作モード
ビット6	ビット0	ビット0	
SW	FS	FSX	
0	0	0	I ² Cバスフォーマット ・ SARとSARXのスレーブアドレスを認識
		1	I ² Cバスフォーマット ・ SARのスレーブアドレスを認識 ・ SARXのスレーブアドレスを無視
	1	0	I ² Cバスフォーマット ・ SARのスレーブアドレスを無視 ・ SARXのスレーブアドレスを認識
		1	クロック同期式シリアルフォーマット ・ SARとSARXのスレーブアドレスを無視
1	0	0	フォーマットレス (開始条件/停止条件を検出しない)
		1	・ アクノリッジビットあり
	1	0	・ アクノリッジビットなし
		1	フォーマットレス* (開始条件/停止条件を検出しない) ・ アクノリッジビットなし

【注】 * DDCSWRの設定によりI²Cバスフォーマットへの自動切り換えを行う場合は、本モードに設定しないでください。

H'FF8F : I²C バスモードレジスタ 1 ICMR1 : IIC1H'FFDF : I²C バスモードレジスタ 0 ICMR0 : IIC0

ビット :	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットカウンタ

BC2	BC1	BC0	クロック同期式 シリアルフォーマット	I ² Cバス フォーマット
0	0	0	8	9
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

転送クロック選択

IICX	CKS2	CKS1	CKS0	クロック
0	0	0	0	/28
			1	/40
		1	0	/48
			1	/64
	1	0	0	/80
			1	/100
		1	0	/112
			1	/128
1	0	0	0	/56
			1	/80
		1	0	/96
			1	/128
	1	0	0	/160
			1	/200
		1	0	/224
			1	/256

ウェイト挿入ビット

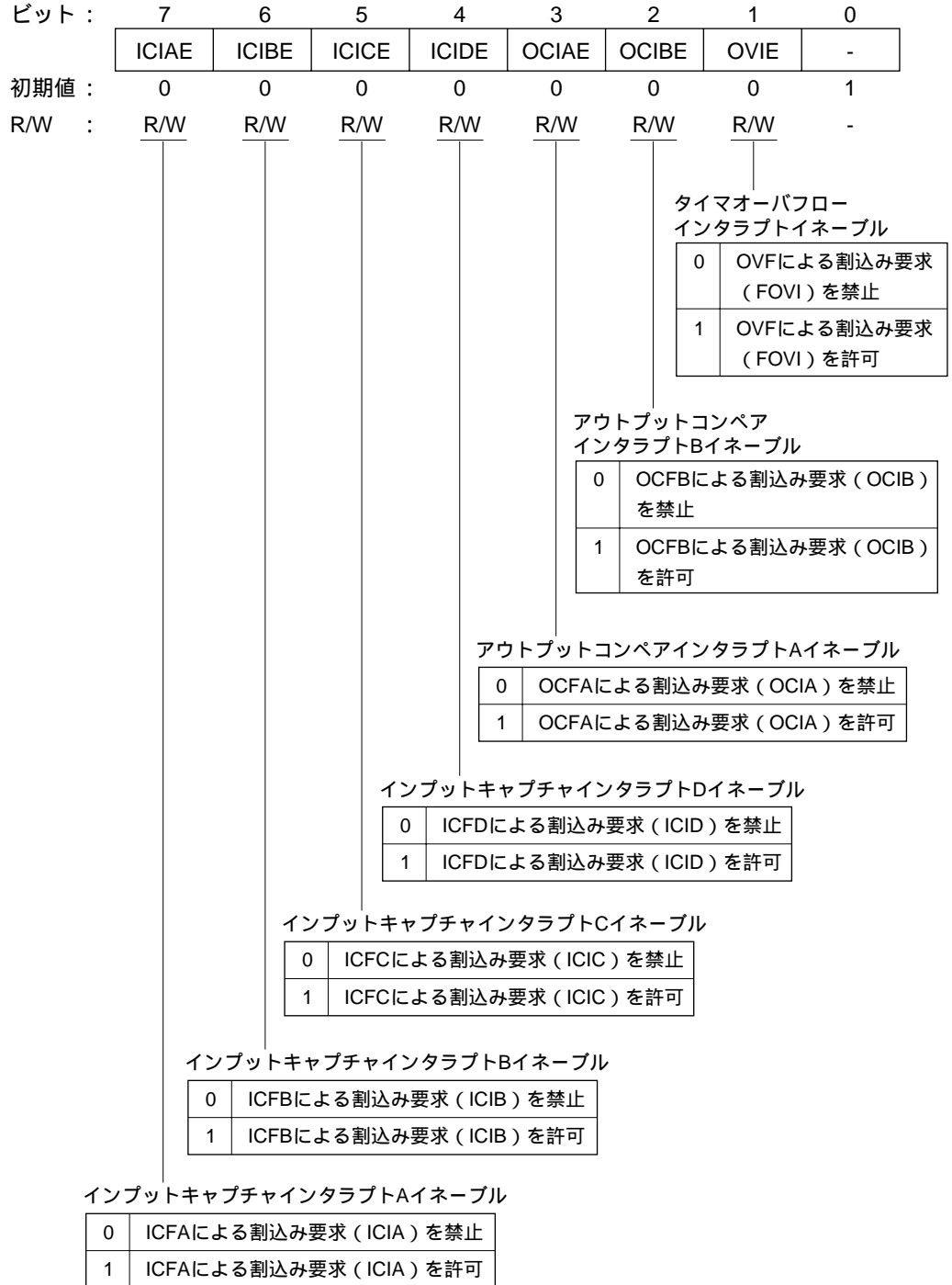
0	データとアクノリッジを連続的に転送
1	データとアクノリッジの間にウェイトを挿入

MSBファースト / LSBファースト選択*

0	MSBファースト
1	LSBファースト

【注】 * I²Cバスフォーマットで使用するとき、本ビットを1にセットしないでください。

H'FF90 : タイマインタラプトイネーブルレジスタ TIER : FRT



H'FF91 : タイマコントロール/ステータスレジスタ TCSR : FRT

ビット :	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

カウンタクリアA	
0	FRCのクリアを禁止
1	コンペアマッチAによりFRCをクリア

タイマオーバーフロー	
0	[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] FRCの値が、H'FFFF H'0000になったとき

アウトプットコンペアフラグB	
0	[クリア条件] OCFB=1の状態、OCFBをリードした後、OCFBに0をライトしたとき
1	[セット条件] FRC=OCRBになったとき

アウトプットコンペアフラグA	
0	[クリア条件] OCFA=1の状態、OCFAをリードした後、OCFAに0をライトしたとき
1	[セット条件] FRC=OCRAになったとき

インプットキャプチャフラグD	
0	[クリア条件] ICFD=1の状態、ICFDをリードした後、ICFDに0をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

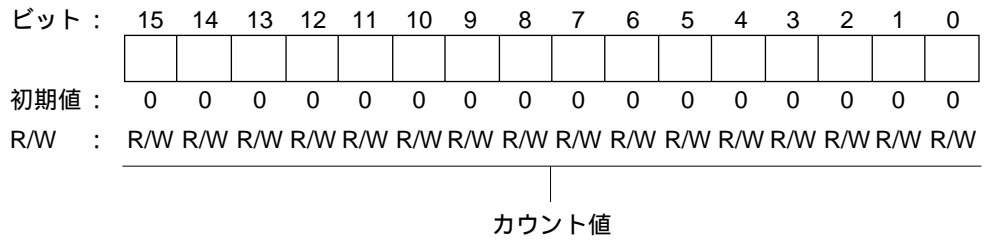
インプットキャプチャフラグC	
0	[クリア条件] ICFC=1の状態、ICFCをリードした後、ICFCに0をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

インプットキャプチャフラグB	
0	[クリア条件] ICFB=1の状態、ICFBをリードした後、ICFBに0をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRBに転送されたとき

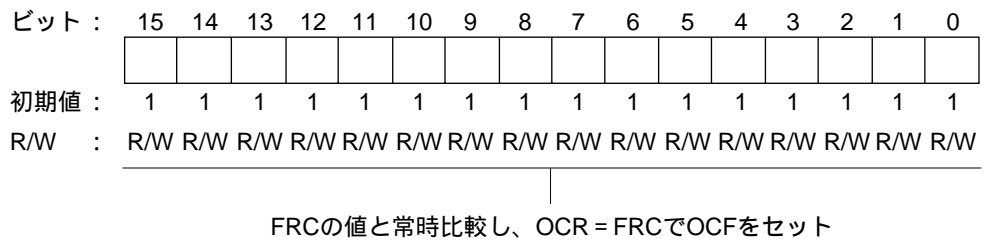
インプットキャプチャフラグA	
0	[クリア条件] ICFA=1の状態、ICFAをリードした後、ICFAに0をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRAに転送されたとき

【注】* ビット7~1はフラグをクリアするための0ライトのみ可能です。

H'FF92 : フリーランニングカウンタ FRC : FRT



H'FF94 : アウトプットコンペアレジスタ A、B OCRA、OCRB : FRT



H'FF96 : タイマコントロールレジスタ TCR : FRT

ビット :	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト		
0	0	内部クロック : /2 でカウント
	1	内部クロック : /8 でカウント
1	0	内部クロック : /32 でカウント
	1	外部クロック : 立ち上 がりエッジ () でカ ウント

バッファイネーブルB	
0	ICRDをICRBのバッファレジスタと して使用しない
1	ICRDをICRBのバッファレジスタと して使用する

バッファイネーブルA	
0	ICRCをICRAのバッファレジスタとして使用しない
1	ICRCをICRAのバッファレジスタとして使用する

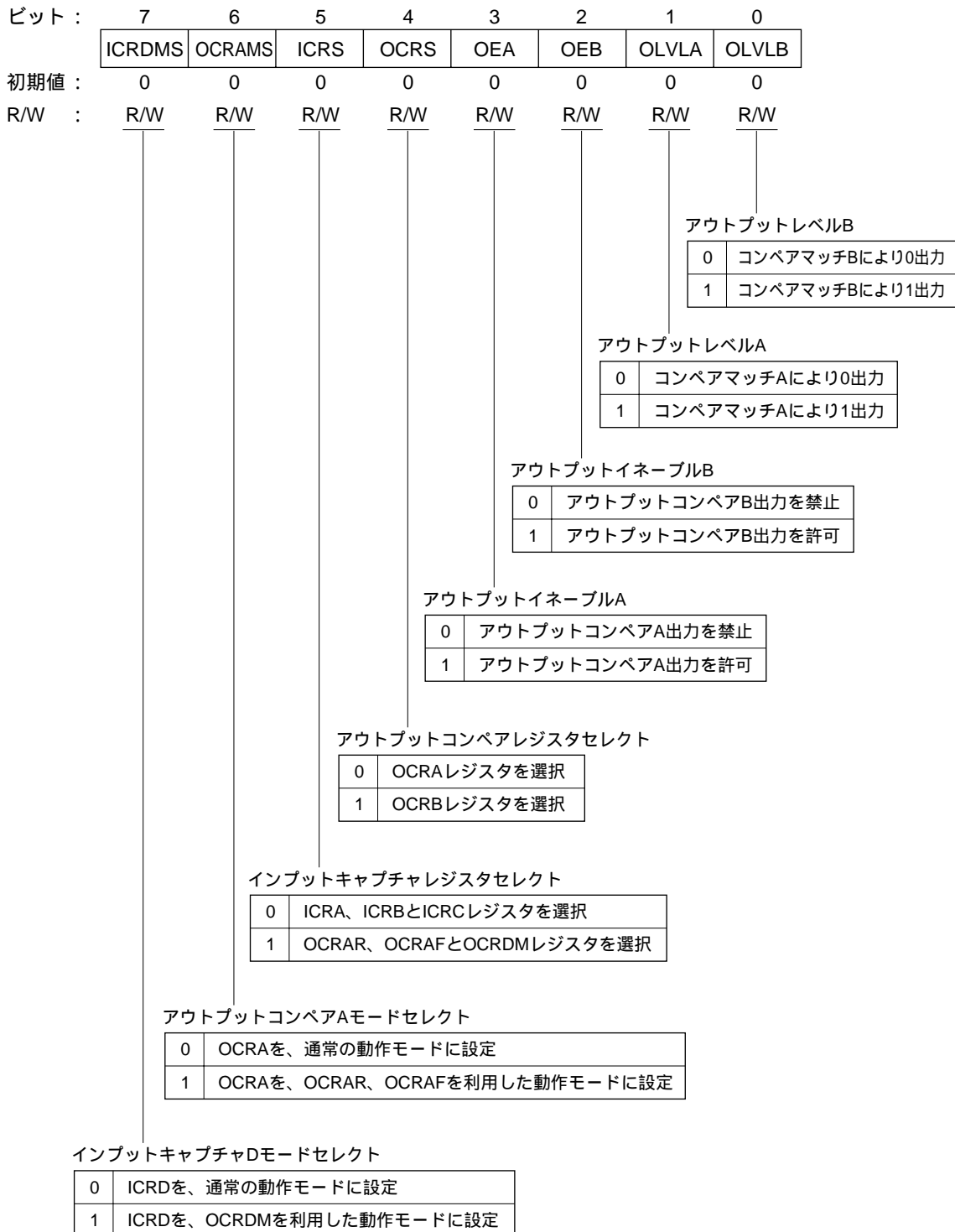
インプットエッジセレクトD	
0	インプットキャプチャ入力Dの立ち下がりエッジ () でキャプチャ
1	インプットキャプチャ入力Dの立ち上がりエッジ () でキャプチャ

インプットエッジセレクトC	
0	インプットキャプチャ入力Cの立ち下がりエッジ () でキャプチャ
1	インプットキャプチャ入力Cの立ち上がりエッジ () でキャプチャ

インプットエッジセレクトB	
0	インプットキャプチャ入力Bの立ち下がりエッジ () でキャプチャ
1	インプットキャプチャ入力Bの立ち上がりエッジ () でキャプチャ

インプットエッジセレクトA	
0	インプットキャプチャ入力Aの立ち下がりエッジ () でキャプチャ
1	インプットキャプチャ入力Aの立ち上がりエッジ () でキャプチャ

H'FF97 : タイマアウトプットコンペアコントロールレジスタ TOCR : FRT



H'FF98 : アウトプットコンペアレジスタ AR OCRAR : FRT
H'FF9A : アウトプットコンペアレジスタ AF OCRAF : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TOCRのOCRAMS = 1のとき、OCRAの動作に使用
(詳細は「11.2.4 アウトプットコンペアレジスタAR、AF
(OCRAR、OCRAF)」を参照)

H'FF9C : アウトプットコンペアレジスタ DM OCRDM : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

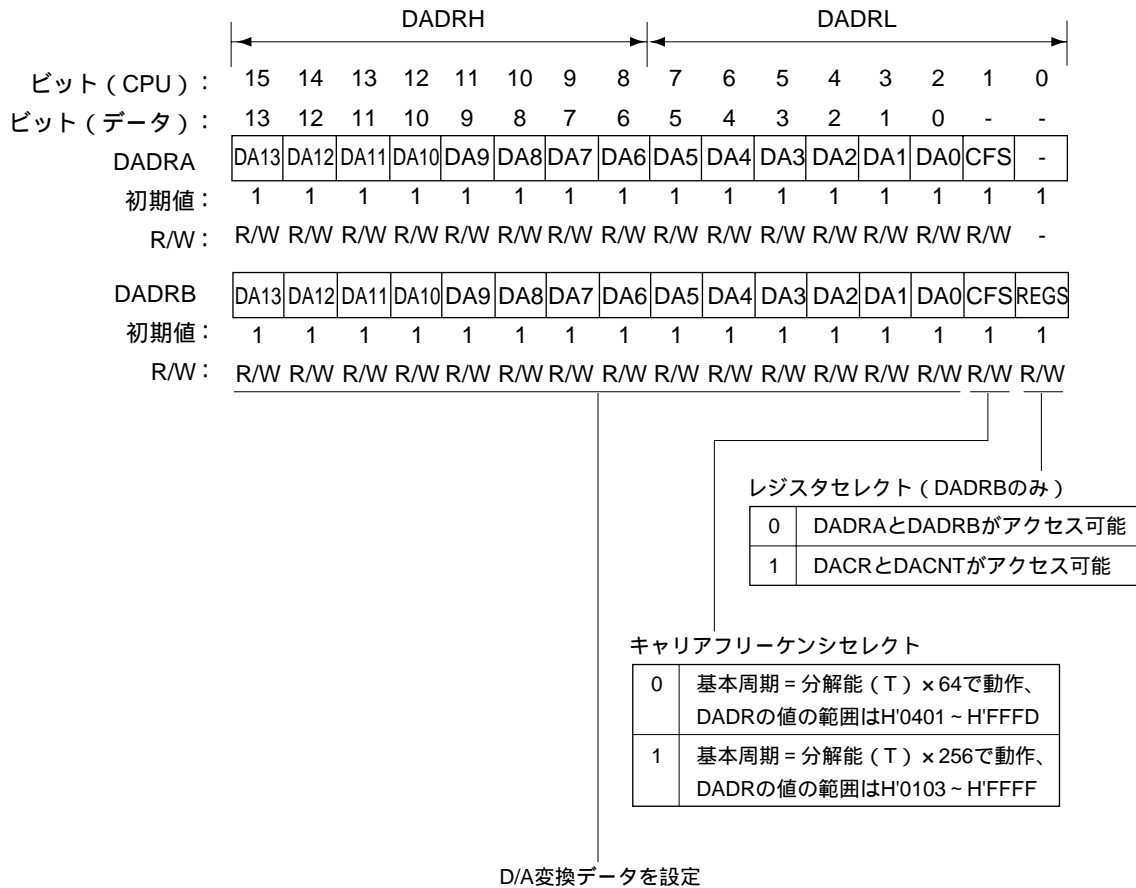
TOCRのICRDMS = 1のとき、ICRDの動作に使用
(詳細は「11.2.5 アウトプットコンペアレジスタDM (OCRDM)」を参照)

H'FF98 : インプットキャプチャレジスタ A ICRA : FRT
H'FF9A : インプットキャプチャレジスタ B ICRB : FRT
H'FF9C : インプットキャプチャレジスタ C ICRC : FRT
H'FF9E : インプットキャプチャレジスタ D ICRD : FRT

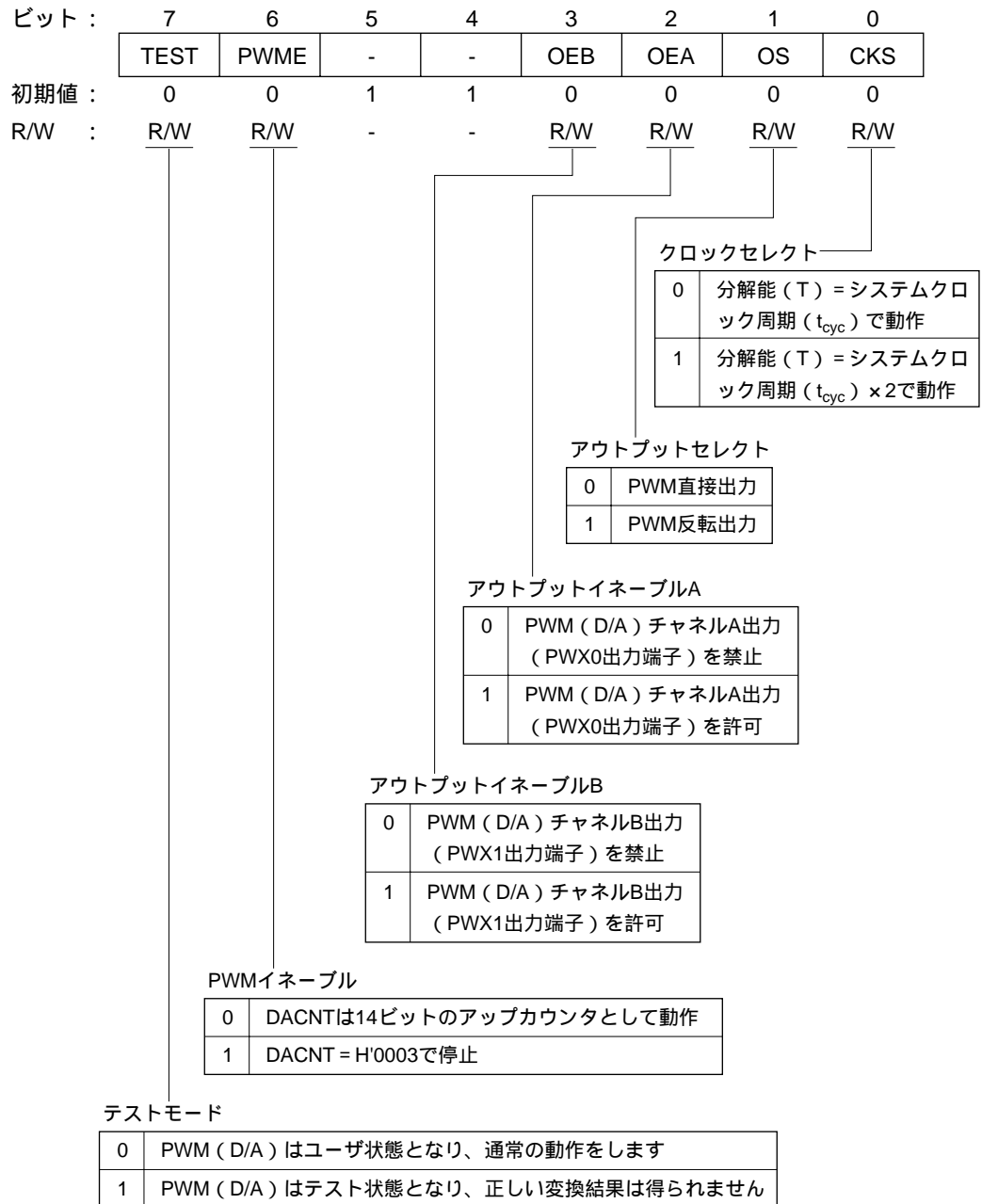
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

インプットキャプチャ信号入力時、FRCの値を格納
(ICRC、Dはバッファ動作が可能です。詳細は「11.2.3 インプット
キャプチャレジスタA~D (ICRA~D)」を参照)

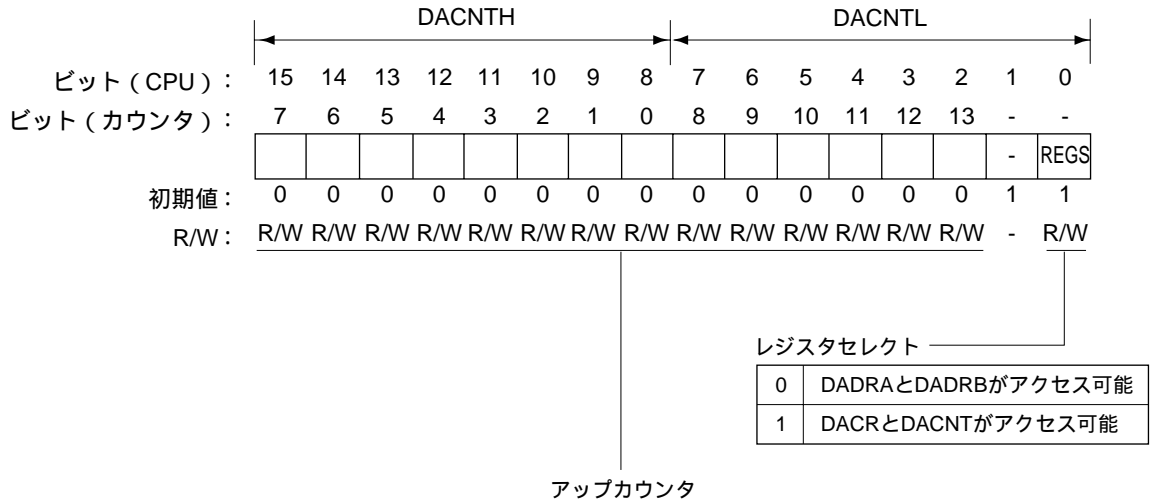
H'FFA0 : PWM (D/A) データレジスタ AH DADRAH : PWMX
 H'FFA1 : PWM (D/A) データレジスタ AL DADRAL : PWMX
 H'FFA6 : PWM (D/A) データレジスタ BH DADRBH : PWMX
 H'FFA7 : PWM (D/A) データレジスタ BL DADRBL : PWMX



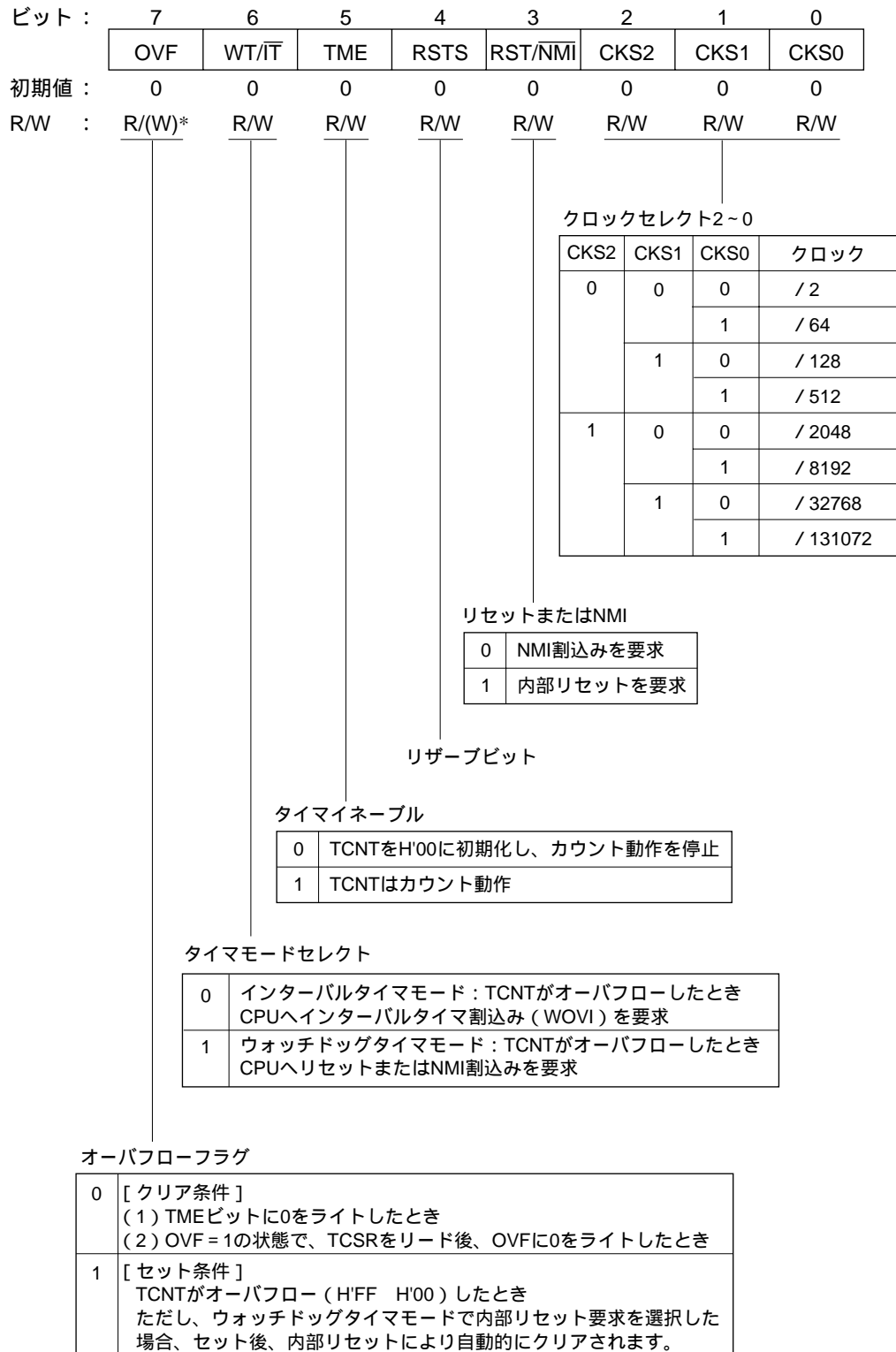
H'FFA0 : PWM (D/A) コントロールレジスタ DACR : PWMX



H'FFA6 : PWM (D/A) カウンタ H DACNTH : PWMX
 H'FFA7 : PWM (D/A) カウンタ L DACNTL : PWMX



H'FFA8 : タイマコントロール/ステータスレジスタ 0 TCSR0 : WDT0



【注】* フラグをクリアするための0ライトのみ可能です。

H'FFA8 (W) H'FFA9 (R) : タイマカウンタ0 TCNT0 : WDT0
 H'FFEA (W) H'FFEB (R) : タイマカウンタ1 TCNT1 : WDT1

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アップカウンタ

H'FFAA : ポートA出力データレジスタ PAODR : ポートA

ビット :	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAの各端子の出力データを格納

H'FFAB (R) : ポートA入力データレジスタ PAPIN : ポートA

ビット :	7	6	5	4	3	2	1	0
	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN
初期値 :	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

ポートAの各端子の状態

【注】* PA7~PA0端子の状態により決定されます。

H'FFAB (W) : ポートAデータディレクションレジスタ PADDDR : ポートA

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAの各端子の入出力を指定

H'FFAC : ポート 1 プルアップ MOS コントロールレジスタ P1PCR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1に内蔵された入力プルアップMOSを制御

H'FFAD : ポート 2 プルアップ MOS コントロールレジスタ P2PCR : ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2に内蔵された入力プルアップMOSを制御

H'FFAE : ポート 3 プルアップ MOS コントロールレジスタ P3PCR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3に内蔵された入力プルアップMOSを制御

H'FFB0 : ポート 1 データディレクションレジスタ P1DDR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート1の各端子の入出力を指定

H'FFB1 : ポート 2 データディレクションレジスタ P2DDR : ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート2の各端子の入出力を指定

H'FFB2 : ポート 1 データレジスタ P1DR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1の各端子の出力データを格納

H'FFB3 : ポート 2 データレジスタ P2DR : ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2の各端子の出力データを格納

H'FFB4 : ポート 3 データディレクションレジスタ P3DDR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート3の各端子の入出力を指定

H'FFB5 : ポート 4 データディレクションレジスタ P4DDR : ポート 4

ビット :	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート4の各端子の入出力を指定

H'FFB6 : ポート 3 データレジスタ P3DR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3の各端子の出力データを格納

H'FFB7 : ポート 4 データレジスタ P4DR : ポート 4

ビット :	7	6	5	4	3	2	1	0
	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4の各端子の出力データを格納

H'FFB8 : ポート 5 データディレクションレジスタ P5DDR : ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	P52DDR	P51DDR	P50DDR
初期値 :	1	1	1	1	1	0	0	0
R/W :	-	-	-	-	-	W	W	W

ポート5の各端子の入出力を指定

H'FFB9 : ポート 6 データディレクションレジスタ P6DDR : ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート6の各端子の入出力を指定

H'FFBA : ポート 5 データレジスタ P5DR : ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	P52DR	P51DR	P50DR
初期値 :	1	1	1	1	1	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	R/W

ポート5の各端子の出力データを格納

H'FFBB : ポート 6 データレジスタ P6DR : ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6の各端子の出力データを格納

H'FFBC : ポート B 出力データレジスタ PBODR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBの各端子の出力データを格納

H'FFBD (W) : ポート 8 データディレクションレジスタ P8DDR : ポート 8

ビット :	7	6	5	4	3	2	1	0
	—	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR
初期値 :	1	0	0	0	0	0	0	0
R/W :	—	W	W	W	W	W	W	W

ポート8の各端子の入出力を指定

H'FFBD (R) : ポート B 入力データレジスタ PBPIN : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN
初期値 :	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

ポートBの各端子の状態

【注】* PB7～PB0端子の状態により決定されます。

H'FFBE (W) : ポート B データディレクションレジスタ PBDDR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBの各端子の入出力を指定

H'FFBE (R) : ポート 7 入力データレジスタ P7PIN : ポート 7

ビット :	7	6	5	4	3	2	1	0
	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN
初期値 :	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

ポート7の各端子の状態

【注】* P77～P70端子の状態により決定されます。

H'FFBF : ポート 8 データレジスタ P8DR : ポート 8

ビット :	7	6	5	4	3	2	1	0
	-	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR
初期値 :	1	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート8の各端子の出力データを格納

H'FFC0 : ポート 9 データディレクションレジスタ P9DDR : ポート 9

ビット :	7	6	5	4	3	2	1	0
	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR
モード1								
初期値 :	0	1	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
モード2、3								
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート9の各端子の入出力を指定

H'FFC1 : ポート 9 データレジスタ P9DR : ポート 9

ビット :	7	6	5	4	3	2	1	0
	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR
初期値 :	0	*	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ポート9の各端子の出力データを格納

【注】* P96端子の状態により決定されます。

H'FFC2 : IRQ イネーブルレジスタ IER : 割込み

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ7 ~ IRQ0 イネーブル

0	IRQn 割込みを禁止
1	IRQn 割込みを許可

(n = 7 ~ 0)

H'FFC3 : シリアルタイムコントロールレジスタ STCR : システム

ビット :	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE		ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

インターナルクロック
ソースセレクト*1

リザーブ

フラッシュメモリコントロールレジスタイネーブル

0	フラッシュメモリの制御レジスタは非選択状態
1	フラッシュメモリの制御レジスタは選択状態

I²Cマスタイネーブル

0	SCI0、SCI1、SCI2の制御レジスタのCPUアクセスを許可
1	I ² Cバスインタフェース、PWMXのデータレジスタおよび制御レジスタのCPUアクセスを許可

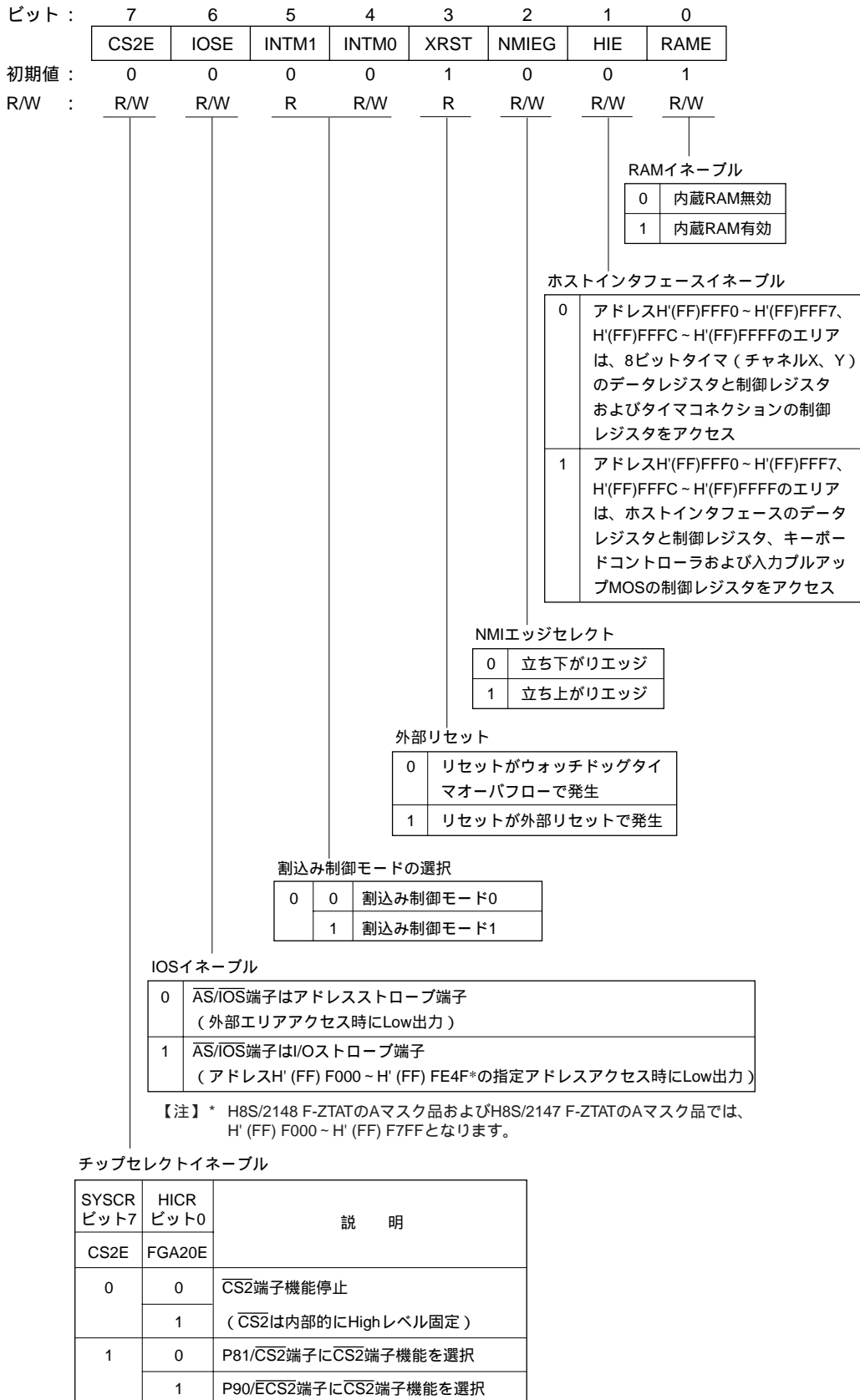
I²Cトランスファレートセレクト1、0*2I²Cエクストラバッファセレクト

0	PA7 ~ PA4は通常入出力端子
1	PA7 ~ PA4はバス駆動可能な入出力端子

【注】*1 8ビットタイマの入力クロック選択に使用します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

*2 I²Cバスインタフェースの転送クロック選択に使用します。詳細は「16.2.4 I²Cバスモードレジスタ (ICMR)」を参照してください。

H'FFFC4 : システムコントロールレジスタ SYSCR : システム



H'FFC5 : モードコントロールレジスタ MDCR : システム

ビット :	7	6	5	4	3	2	1	0
	EXPE	-	-	-	-	-	MDS1	MDS0
初期値 :	- *	0	0	0	0	0	- *	- *
R/W :	R/W*	-	-	-	-	-	R	R

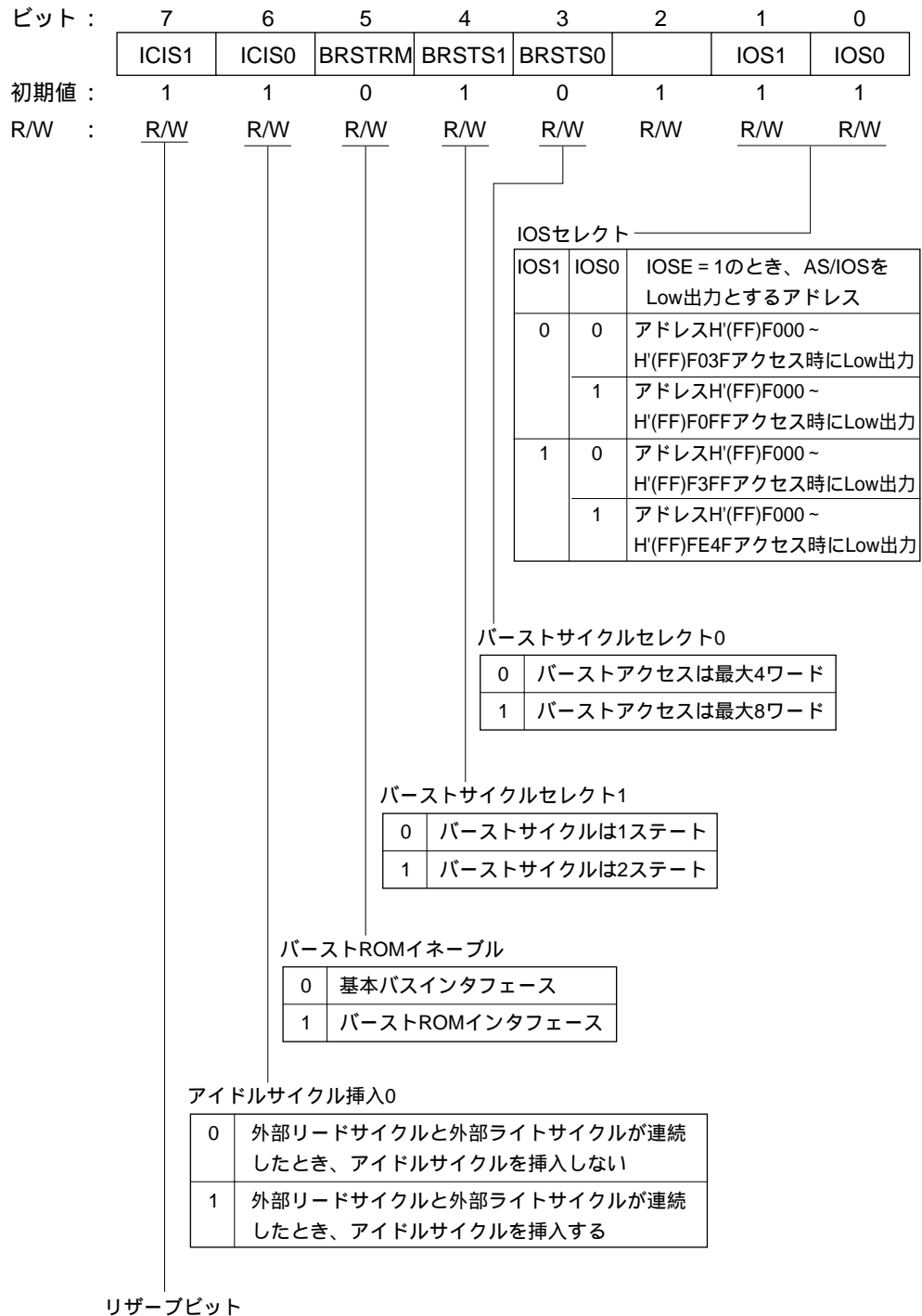
拡張モードイネーブル

0	シングルチップモードを選択
1	拡張モードを選択

モード端子の状態

【注】* MD1 ~ MD0端子により決定されます。

H'FFC6 : バスコントロールレジスタ BCR : バスコントローラ



H'FFC7 : ウェイトステートコントロールレジスタ WSCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0
初期値 :	0	0	1	1	0	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ウェイトカウント1、0

0	0	プログラムウェイトを挿入しない
	1	外部メモリ空間アクセス時、 プログラムウェイトを1ステート挿入
1	0	外部メモリ空間アクセス時、 プログラムウェイトを2ステート挿入
	1	外部メモリ空間アクセス時、 プログラムウェイトを3ステート挿入

ウェイトモードセレクト1、0

0	0	プログラムウェイトモード
	1	ウェイト禁止モード
1	0	端子ウェイトモード
	1	端子オートウェイトモード

アクセスステートコントロール

0	外部メモリ空間を2ステートアクセス空間に設定 外部メモリ空間のアクセスにウェイトステートの挿入を禁止
1	外部メモリ空間アクセスは3ステートアクセス 外部メモリ空間アクセスにウェイトステートの挿入を許可

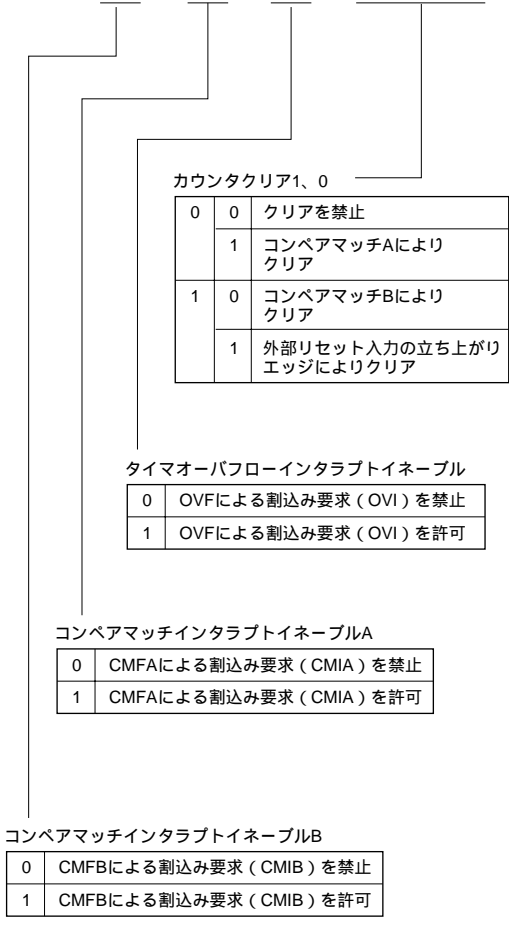
バス幅コントロール

0	外部メモリ空間を16ビットアクセス空間に設定
1	外部メモリ空間を8ビットアクセス空間に設定

H'FFC8 : タイマコントロールレジスタ0 TCR0 : TMR0
 H'FFC9 : タイマコントロールレジスタ1 TCR1 : TMR1
 H'FFF0 : タイマコントロールレジスタX TCRX : TMRX
 H'FFF0 : タイマコントロールレジスタY TCRY : TMRX

ビット :

7	6	5	4	3	2	1	0
CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W



クロックセレクト2-0

チャンネル	クロックセレクト2-0			説明
	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	
0	0	0	0	クロック入力を禁止
			1*1	内部クロック : /8立ち下がりエッジでカウント
			1*1	内部クロック : /2立ち下がりエッジでカウント
	1	0*1	0	内部クロック : /64立ち下がりエッジでカウント
			1*1	内部クロック : /32立ち下がりエッジでカウント
			1*1	内部クロック : /1024立ち下がりエッジでカウント
1	0	0	内部クロック : /256立ち下がりエッジでカウント	
1	0	0	0	クロック入力を禁止
			1*1	内部クロック : /8立ち下がりエッジでカウント
			1*1	内部クロック : /2立ち下がりエッジでカウント
	1	0*1	0	内部クロック : /64立ち下がりエッジでカウント
			1*1	内部クロック : /128立ち下がりエッジでカウント
			1*1	内部クロック : /1024立ち下がりエッジでカウント
1	0	0	内部クロック : /2048立ち下がりエッジでカウント	
X	0	0	0	クロック入力を禁止
			1	内部クロック : /4立ち下がりエッジでカウント
			1	内部クロック : /2立ち下がりエッジでカウント
	1	0	0	内部クロック : /4立ち下がりエッジでカウント
Y	0	0	0	クロック入力を禁止
			1	内部クロック : /4立ち下がりエッジでカウント
			1	内部クロック : /256立ち下がりエッジでカウント
	1	0	0	内部クロック : /2048立ち下がりエッジでカウント
			1	内部クロック : /4立ち下がりエッジでカウント
			1	内部クロック : /256立ち下がりエッジでカウント
共通	1	0	1	クロック入力を禁止
			1	外部クロック : 立ち上がりエッジでカウント
			1	外部クロック : 立ち下がりエッジでカウント
			1	外部クロック : 立ち上がり / 立ち下がり両エッジでカウント

【注】 *1 STCRのICKS1、ICKS0で選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。
 *2 チャンネル0のクロック入力をTCNT1のオーバーフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

H'FFCA : タイマコントロール/ステータスレジスタ0 TCSR0 : TMR0

TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0

初期値: 0 0 0 0 0 0 0 0

R/W: R/(W)* R/(W)* R/(W)* R/W R/W R/W R/W R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

A/Dトリガイネーブル

0	コンペアマッチAによるA/D変換開始要求を禁止
1	コンペアマッチAによるA/D変換開始要求を許可

タイマオーバフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORBになったとき

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

H'FFCB : タイマコントロール/ステータスレジスタ1 TCSR1 : TMR1

TCSR1

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

タイマオーバフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

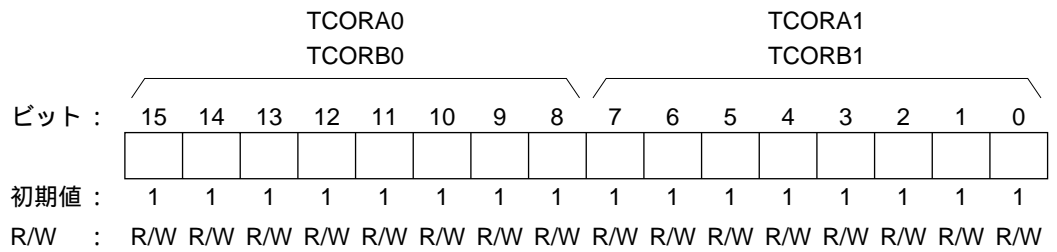
0	[クリア条件] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORAになったとき

コンペアマッチフラグB

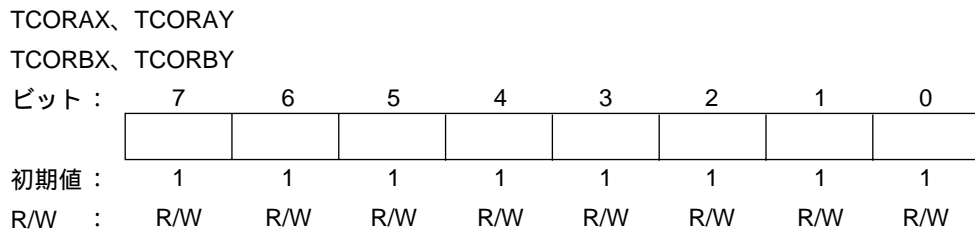
0	[クリア条件] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORBになったとき

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

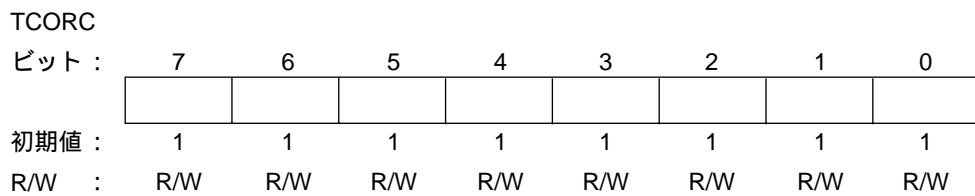
H'FFCC : タイムコンスタントレジスタ A0 TCORA0 : TMR0
 H'FFCD : タイムコンスタントレジスタ A1 TCORA1 : TMR1
 H'FFCE : タイムコンスタントレジスタ B0 TCORB0 : TMR0
 H'FFCF : タイムコンスタントレジスタ B1 TCORB1 : TMR1
 H'FFF2 : タイムコンスタントレジスタ AY TCORAY : TMR Y
 H'FFF3 : タイムコンスタントレジスタ BY TCORBY : TMR Y
 H'FFF5 : タイムコンスタントレジスタ C TCORC : TMR X
 H'FFF6 : タイムコンスタントレジスタ AX TCORAX : TMR X
 H'FFF7 : タイムコンスタントレジスタ BX TCORBX : TMR X



TCORとTCNTの値の一致時にコンペアマッチフラグ (CMF) をセット



TCORとTCNTの値の一致時にコンペアマッチフラグ (CMF) をセット

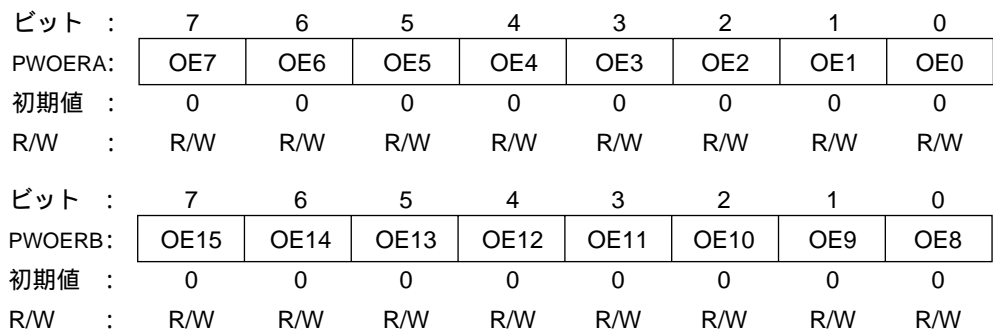


TCORCとTICRの内容の和と、TCNTの一致時にコンペアマッチC信号が発生

H'FFD0 : タイマカウンタ 0 TCNT0 : TMR0
 H'FFD1 : タイマカウンタ 1 TCNT1 : TMR1
 H'FFF4 : タイマカウンタ X TCNTX : TMRX
 H'FFF4 : タイマカウンタ Y TCNTY : TMRX



H'FFD3 : PWM アウトプットイネーブルレジスタ A PWOERA : PWM
 H'FFD2 : PWM アウトプットイネーブルレジスタ B PWOERB : PWM



PWM出力とポート出力を切り替え

DDR	OE	説明
0	0	ポート入力
	1	ポート入力
1	0	ポート出力またはPWMの256 / 256出力
	1	PWM出力 (0 ~ 255 / 256出力)

H'FFD5 : PWM データポラリティレジスタ A PWDPRB : PWM
 H'FFD4 : PWM データポラリティレジスタ B PWDPRB : PWM

ビット :	7	6	5	4	3	2	1	0
PWDPRB:	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
PWDPRB:	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM出力の極性を制御

0	PWM直接出力 (PWDRの値が、出力のHigh幅に対応)
1	PWM反転出力 (PWDRの値が、出力のLow幅に対応)

H'FFD6 : PWM レジスタセレクト PWSL : PWM

ビット :	7	6	5	4	3	2	1	0
	PWCKE	PWCKS	-	-	RS3	RS2	RS1	RS0
初期値 :	0	0	1	0	0	0	0	0
R/W :	R/W	R/W	-	-	R/W	R/W	R/W	R/W

レジスタセレクト

0	0	0	0	PWDR0選択
		1	1	PWDR1選択
	1	0	0	PWDR2選択
		1	1	PWDR3選択
	1	0	0	PWDR4選択
		1	1	PWDR5選択
	1	0	0	PWDR6選択
		1	1	PWDR7選択
1	0	0	0	PWDR8選択
		1	1	PWDR9選択
	1	0	0	PWDR10選択
		1	1	PWDR11選択
	1	0	0	PWDR12選択
		1	1	PWDR13選択
	1	0	0	PWDR14選択
		1	1	PWDR15選択

PWMクロックイネーブル、PWMクロックセレクト

PWSL		PCSR		説明
ビット7	ビット6	ビット2	ビット1	
PWCKE	PWCKS	PWCKB	PWCKA	
0	-	-	-	クロック入力禁止
1	0	-	-	(システムクロック)を選択
				1
	1	/4を選択		
	1	0	1	0
1				/16を選択

H'FFD7 : PWM データレジスタ PWDR0 ~ PWDR15 : PWM

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力する基本パルスのデューティ比および付加パルス個数の指定

H'FFE0 : A/D データレジスタ AH ADDR AH : A/D
H'FFE1 : A/D データレジスタ AL ADDR AL : A/D
H'FFE2 : A/D データレジスタ BH ADDR BH : A/D
H'FFE3 : A/D データレジスタ BL ADDR BL : A/D
H'FFE4 : A/D データレジスタ CH ADDR CH : A/D
H'FFE5 : A/D データレジスタ CL ADDR CL : A/D
H'FFE6 : A/D データレジスタ DH ADDR DH : A/D
H'FFE7 : A/D データレジスタ DL ADDR DL : A/D

	ADDRH									ADDRL						
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

A/Dデータを格納

アナログ入力チャンネルとADDRの対応

アナログ入力チャンネル		A/Dデータレジスタ
グループ0	グループ1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6またはCIN0 ~ CIN7	ADDRC
AN3	AN7またはCIN8 ~ CIN15	ADDRD

H'FFE8 : A/D コントロール / ステータスレジスタ ADCSR : A/D

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

グループ 選択	チャンネル 選択			説 明	
CH2	CH1	CH0	シングルモード	スキャンモード	
0	0	0	AN0	AN0	
		1	AN1	AN0、AN1	
	1	0	AN2	AN0、AN1、AN2	
		1	AN3	AN0、AN1、AN2、AN3	
1	0	0	AN4	AN4	
		1	AN5	AN4、AN5	
	1	0	AN6または CIN0 ~ 7	AN4、AN5、 AN6またはCIN0 ~ 7	
		1	AN7または CIN8 ~ 15	AN4、AN5、 AN6またはCIN0 ~ 7、 AN7またはCIN8 ~ 15	

0	変換時間 = 266ステート (Max)
1	変換時間 = 134ステート (Max)

0	シングルモード
1	スキャンモード

0	A/D変換を停止
1	(1) シングルモード : A/D変換を開始。指定したチャンネルの変換が終了すると自動的に0にクリア (2) スキャンモード : A/D変換を開始。ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって、0にクリアされるまで選択されたチャンネルを順次連続変換

0	A/D変換の終了による割込み (ADI) 要求を禁止
1	A/D変換の終了による割込み (ADI) 要求を許可

0	[クリア条件] (1) ADF = 1の状態、ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割込みによりDTCが起動され、ADDRをリードしたとき
1	[セット条件] (1) シングルモード : A/D変換が終了したとき (2) スキャンモード : 指定したすべてのチャンネルのA/D変換が終了したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFE9 : A/D コントロールレジスタ ADCR : A/D

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	—	—	—	—
初期値	0	0	1	1	1	1	1	1
R/W	R/W	R/W	—	—	—	—	—	—

タイマトリガセレクト

0	0	外部トリガによるA/D変換の開始を禁止
	1	外部トリガによるA/D変換の開始を禁止
1	0	外部トリガ(8ビットタイマ)によるA/D変換の開始を許可
	1	外部トリガ端子によるA/D変換の開始を許可

H'FFEA : タイマコントロール/ステータスレジスタ1 TCSR1 : WDT1

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PSS	CKS2	CKS1	CKS0	クロック
0	0	0	0	/ 2
			1	/ 64
		1	0	/ 128
	1	0	1	/ 512
			0	/ 2048
		1	0	/ 32768
1	0	0	0	SUB / 2
			1	SUB / 4
		1	0	SUB / 8
	1	0	1	SUB / 16
			0	SUB / 32
		1	0	SUB / 64
1	0	1	SUB / 128	
		1	SUB / 256	

	0	1
	NMI割込みを要求	内部リセットを要求

	0	1
	TCNTは ベースのプリスケラ (PSM) の分周クロックをカウント	TCNTは SUBベースのプリスケラ (PSS) の分周クロックをカウント

	0	1
	TCNTをH'00に初期化し、カウント動作を停止	TCNTはカウント動作

	0	1
	インターバルタイマモード : TCNTがオーバーフローしたとき CPUへインターバルタイマ割込み (WOVI) を要求	ウォッチドッグタイマモード : TCNTがオーバーフローしたとき CPUへリセットまたはNMI割込みを要求

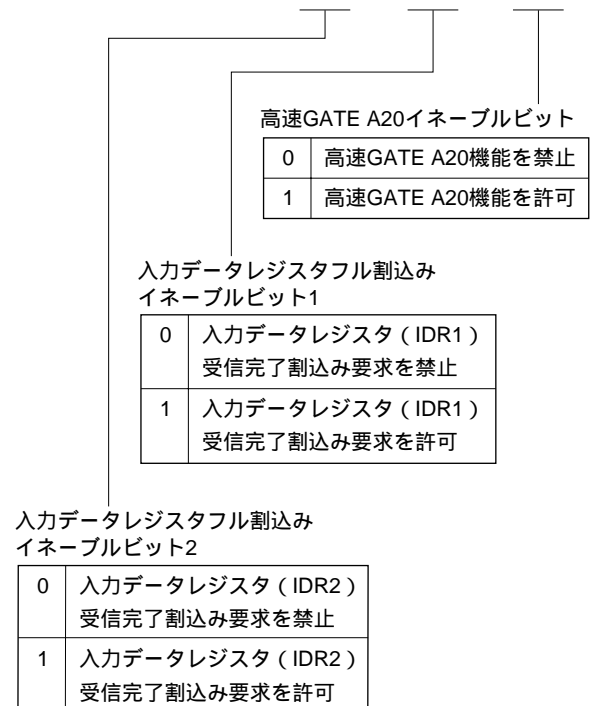
	0	1
	[クリア条件] (1) TMEビットに0をライトしたとき (2) OVF = 1の状態、TCSRをリード後、OVFに0をライトしたとき	[セット条件] TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後に内部リセットにより自動的にクリアされます。

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 低消費電力モード遷移時の動作制御については、「25.2.3 タイマコントロール/ステータスレジスタ (TCSR)」を参照してください。

H'FFF0 : ホストインタフェースコントロールレジスタ HICR : HIF

ビット :	7	6	5	4	3	2	1	0
						IBFIE2	IBFIE1	FGA20E
初期値 :	1	1	1	1	1	0	0	0
スレーブR/W :						R/W	R/W	R/W
ホストR/W								



H'FFF1 : タイマコントロール/ステータスレジスタ X TCSR_X : TMRX

TCSR_X

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

インプットキャプチャフラグ

0	[クリア条件] ICF = 1の状態、ICFをリードした後、ICFに0をライトしたとき
1	[セット条件] TCNRIのICSTビットが1にセットされた後、外部リセット信号に立ち上がりエッジ 立ち下がりエッジの順でエッジを検出したとき

タイマオーバフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORBになったとき

【注】* ビット7~4は、フラグをクリアするための0ライトのみ可能です。

H'FFF1 : タイマコントロール/ステータスレジスタ Y TCSR Y : TMR Y

TCSR Y

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

インプットキャプチャインタラプトイネーブル

0	ICFによる割込み要求 (ICIX) を禁止
1	ICFによる割込み要求 (ICIX) を許可

タイマオーバーフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORBになったとき

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

H'FFF1 : キーボードマトリクス割込みマスクレジスタ KMIMR : 割込み
 H'FFF3 : キーボードマトリクス割込みマスクレジスタ A KMIMRA : 割込み

KMIMR

ビット :	7	6	5	4	3	2	1	0
	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
初期値 :	1	0	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

キーボードマトリクス割込みマスク

0	キーセンス入力割込み要求を許可
1	キーセンス入力割込み要求を禁止

KMIMRA

ビット :	7	6	5	4	3	2	1	0
	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

キーボードマトリクス割込みマスク

0	キーセンス入力割込み要求を許可
1	キーセンス入力割込み要求を禁止

H'FFF2 : インพุットキャプチャレジスタ R TICRR : TMRX
 H'FFF3 : インพุットキャプチャレジスタ F TICRF : TMRX

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

外部リセット入力の立ち下がり時、TCNTの値を格納

H'FFF2 : ポート 6 プルアップ MOS コントロールレジスタ KMPCR : ポート 6

ビット :	7	6	5	4	3	2	1	0
	KM7PCR	KM6PCR	KM5PCR	KM4PCR	KM3PCR	KM2PCR	KM1PCR	KM0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6に内蔵された入力プルアップMOSを制御

【注】 KMPCRはTMRX/TMRYのTICRR/TCORAYと同じアドレスです。
KMPCRを選択するときには、SYSCRのHIEビットを1に設定してください。

H'FFF4 : 入力データレジスタ 1 IDR1 : HIF

H'FFFC : 入力データレジスタ 2 IDR2 : HIF

ビット :	7	6	5	4	3	2	1	0
	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値 :								
スレーブR/W :	R	R	R	R	R	R	R	R
ホストR/W	W	W	W	W	W	W	W	W

\overline{CS} = Lowのとき、 $\overline{IO\overline{W}}$ の立ち上がりでホストデータバスの内容を格納

H'FFF5 : 出力データレジスタ 1 ODR1 : HIF

H'FFFD : 出力データレジスタ 2 ODR2 : HIF

ビット :	7	6	5	4	3	2	1	0
	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値 :								
スレーブR/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	R	R	R	R	R	R	R	R

HA0 = Low、 \overline{CS} = Low、 $\overline{IO\overline{R}}$ = Lowのとき、
ODRの内容をホストデータバスに出力

H'FFF5 : タイムインプットセレクトレジスタ TISR : TMRY

ビット :	7	6	5	4	3	2	1	0
								IS
初期値 :	1	1	1	1	1	1	1	0
R/W :								R/W

インプットセレクト

0	IVG信号を選択 (H8S/2148シリーズ) 外部クロック/リセット入力禁止 (H8S/2144シリーズ、H8S/2147N)
1	VSYNCl/TMIY (TMCiY/TMRIY) を選択

H'FFF6 : ステータスレジスタ 1 STR1 : HIF

H'FFFE : ステータスレジスタ 2 STR2 : HIF

ビット :	7	6	5	4	3	2	1	0
	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
初期値 :	0	0	0	0	0	0	0	0
スレーブR/W :	R/W	R/W	R/W	R/W	R	R/W	R	R/(W)
ホストR/W	R	R	R	R	R	R	R	R

ユーザ定義ビット

出力データレジスタフル

0	[クリア条件] ホストがODRをリードまたは、 スレーブがOBFビットに0ライト
1	[セット条件] スレーブがODRにライト

入力データレジスタフル

0	[クリア条件] スレーブがIDRをリード
1	[セット条件] ホストがIDRにライト

コマンド/データ

0	入力データレジスタ (IDR) の内容はデータ
1	入力データレジスタ (IDR) の内容はコマンド

H'FFF8 : D/A データレジスタ 0 DADR0 : D/A

H'FFF9 : D/A データレジスタ 1 DADR1 : D/A

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A変換を行うデータを格納

H'FFFA : D/A コントロールレジスタ DACR : D/A

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

D/Aイネーブル

DAOE1	DAOE0	DAE	変換結果
0	0	*	チャンネル0、1のD/A変換を禁止
		0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
	1	チャンネル0、1のD/A変換を許可	
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
		1	チャンネル0、1のD/A変換を許可
	1	*	チャンネル0、1のD/A変換を許可

* : Don't care

D/Aアウトプットイネーブル0

0	アナログ出力DA0を禁止
1	チャンネル0のD/A変換を許可。アナログ出力DA0を許可

D/Aアウトプットイネーブル1

0	アナログ出力DA1を禁止
1	チャンネル1のD/A変換を許可。アナログ出力DA1を許可

H'FFFC : タイマコネクションレジスタ TCONRI : タイマコネクション

ビット:	7	6	5	4	3	2	1	0
	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	VSYNCI端子の状態をそのままVSYNCI入力とする
1	VSYNCI端子の状態を反転してVSYNCI入力とする

0	HSYNCI、CSYNCI端子の状態をそのままHSYNCI、CSYNCI入力とする
1	HSYNCI、CSYNCI端子の状態を反転してHSYNCI、CSYNCI入力とする

0	VFBACKI端子の状態をそのままVFBACKI入力とする
1	VFBACKI端子の状態を反転してVFBACKI入力とする

0	HFBACKI端子の状態をそのままHFBACKI入力とする
1	HFBACKI端子の状態を反転してHFBACKI入力とする

インプットキャプチャスタートビット

0	TICRR、TICRFのインプットキャプチャ機能を停止 [クリア条件] TMRIXに、立ち上がりエッジ 立ち下がりエッジの順でエッジを検出
1	TICRR、TICRFのインプットキャプチャ機能が動作中 (TMRIXの立ち上がりエッジ 立ち下がりエッジ検出待ち状態) [セット条件] ICST = 0のリード後、1をライトしたとき

同期信号接続イネーブル

SCONE	モード名称	FTIA	FTIB	FTIC	FTID	TMC11	TMR11
0	通常接続	FTIA入力	FTIB入力	FTIC入力	FTID入力	TMC11 入力	TMR11 入力
1	同期信号接続 モード	IVI信号	TMO1 信号	VFBACKI 入力	IHI信号	IHI信号	IVI 反転信号

入力同期モード選択1、0

SIMOD1	SIMOD0	モード名称	IHI信号	IVI信号
0	0	無信号	HFBACKI入力	VFBACKI入力
	1	SオンGモード	CSYNCI入力	PDC入力
1	0	コンビジットモード	HSYNCI入力	PDC入力
	1	セバレートモード	HSYNCI入力	VSYNCI入力

H'FFFD : タイマコネクションレジスタ 0 TCONRO : タイマコネクション

ビット :	7	6	5	4	3	2	1	0
	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力同期信号反転	
0	CBLANK信号をそのままCBLANK出力とする
1	CBLANK信号を反転してCBLANK出力とする

出力同期信号反転	
0	CLO信号 (CL1、CL2、CL3またはCL4信号) をそのままCLAMPO出力とする
1	CLO信号 (CL1、CL2、CL3またはCL4信号) を反転してCLAMPO出力とする

出力同期信号反転	
0	IVO信号をそのままVSYNCO出力とする
1	IVO信号を反転してVSYNCO出力とする

出力同期信号反転	
0	IHO信号をそのままHSYNCO出力とする
1	IHO信号を反転してHSYNCO出力とする

出力許可	
0	P27/A15/PW15/CBLANK端子は、P27/A15/PW15端子として動作する
1	モード1 (内蔵ROM無効拡張モード) の場合 : P27/A15/PW15/CBLANK端子は、A15端子として動作する モード2、3 (内蔵ROM有効モード) の場合 : P27/A15/PW15/CBLANK端子は、CBLANK端子として動作する

出力許可	
0	P64/FTIC/ $\overline{\text{KIN4}}$ /CIN4/CLAMPO端子は、P64/FTIC/ $\overline{\text{KIN4}}$ /CIN4端子として動作する
1	P64/FTIC/ $\overline{\text{KIN4}}$ /CIN4/CLAMPO端子は、CLAMPO端子として動作する

出力許可	
0	P61/FTOA/ $\overline{\text{KIN1}}$ /CIN1/VSYNCO端子は、P61/FTOA/ $\overline{\text{KIN1}}$ /CIN1端子として動作する
1	P61/FTOA/ $\overline{\text{KIN1}}$ /CIN1/VSYNCO端子は、VSYNCO端子として動作する

出力許可	
0	P44/TMO1/HIRQ1/HSYNCO端子は、P44/TMO1/HIRQ1端子として動作する
1	P44/TMO1/HIRQ1/HSYNCO端子は、HSYNCO端子として動作する

H'FFFE : タイマコネクションレジスタ S TCONRS : タイマコネクション

ビット:	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クランプ波形モード選択1、0

ISGENE	CLMOD1	CLMOD0	説 明
0	0	0	CL1信号を選択
		1	CL2信号を選択
	1	0	CL3信号を選択
1	0	0	CL4信号を選択
		1	
	1	0	

垂直同期出力モード選択1、0

ISGENE	VOMOD1	VOMOD0	説 明
0	0	0	IVI信号 (立ち下がりモディファイなし、IHI同期なし)を選択
		1	
	1	0	IVI信号 (立ち下がりモディファイあり、IHI同期なし)を選択
		1	
1	0	0	IVG信号を選択
		1	
	1	0	

水平同期出力モード選択1、0

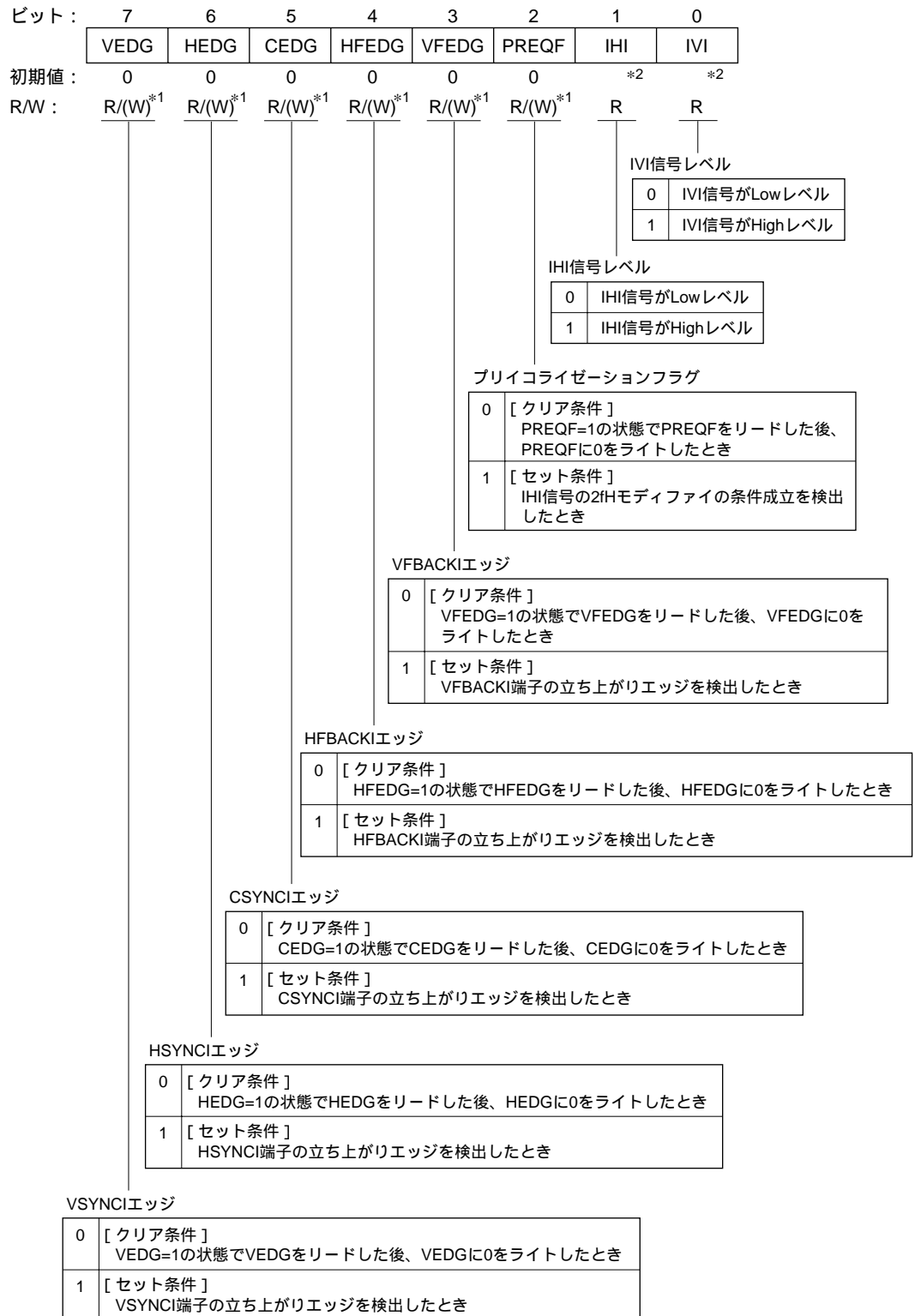
ISGENE	HOMOD1	HOMOD0	説 明
0	0	0	IHI信号 (2fHモディファイなし)を選択
		1	
	1	0	CL1信号を選択
1			
1	0	0	IHG信号を選択
		1	
	1	0	

内部同期信号選択

TMRX/TMRYアクセス選択

0	アドレスH'FFF0~H'FFF5でTMRXのレジスタをアクセスする
1	アドレスH'FFF0~H'FFF5でTMRYのレジスタをアクセスする

H'FFFF : エッジセンスレジスタ SEDGR : タイマコネクション



【注】*1 フラグをクリアするための0ライトのみ可能です。

*2 端子の状態によって決まるため、初期値は不定です。

C. I/O ポートのブロック図

C.1 ポート1ブロック図

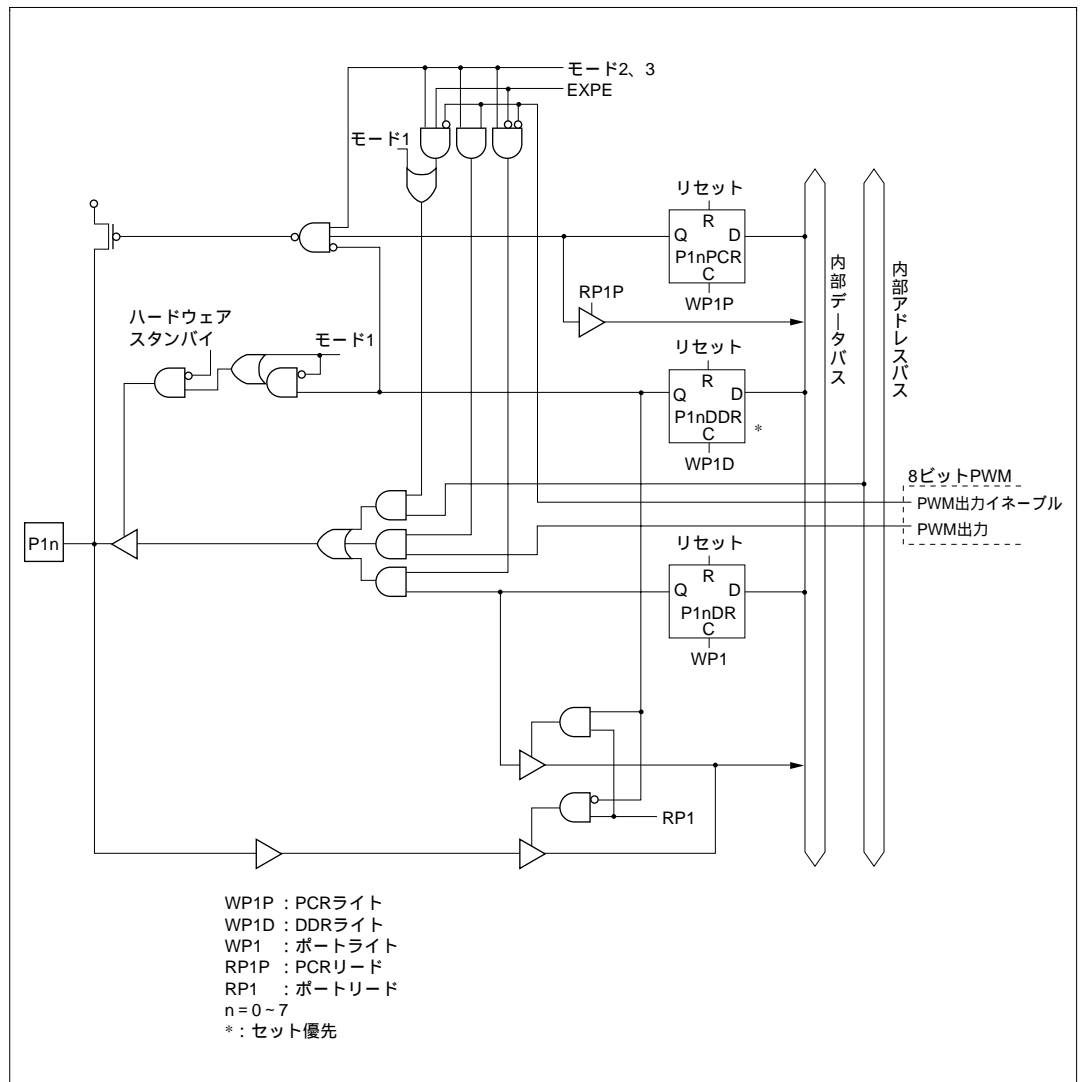


図 C.1 ポート1 ブロック図

C.2 ポート2ブロック図

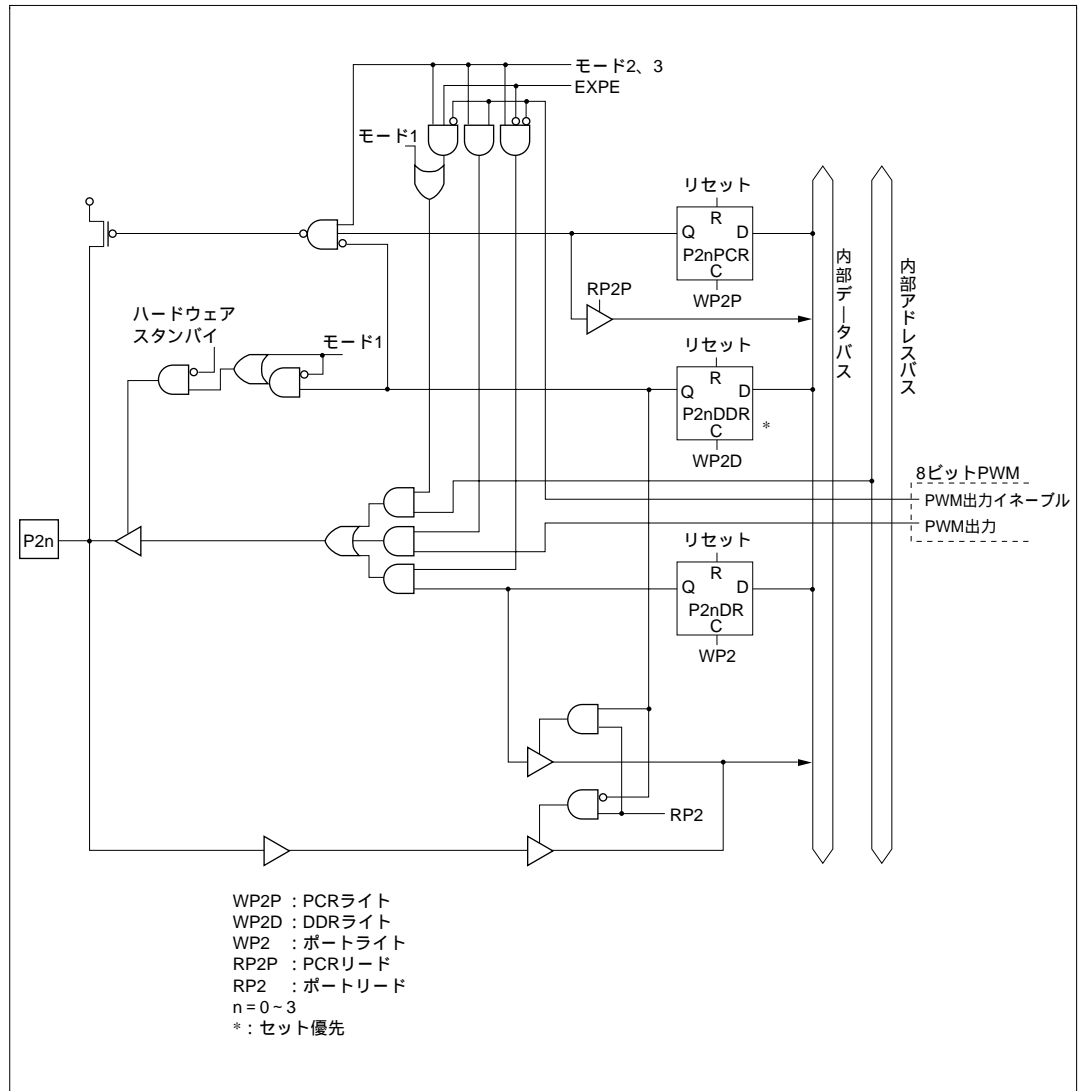


図 C.2 ポート2ブロック図 (P20 ~ P23 端子)

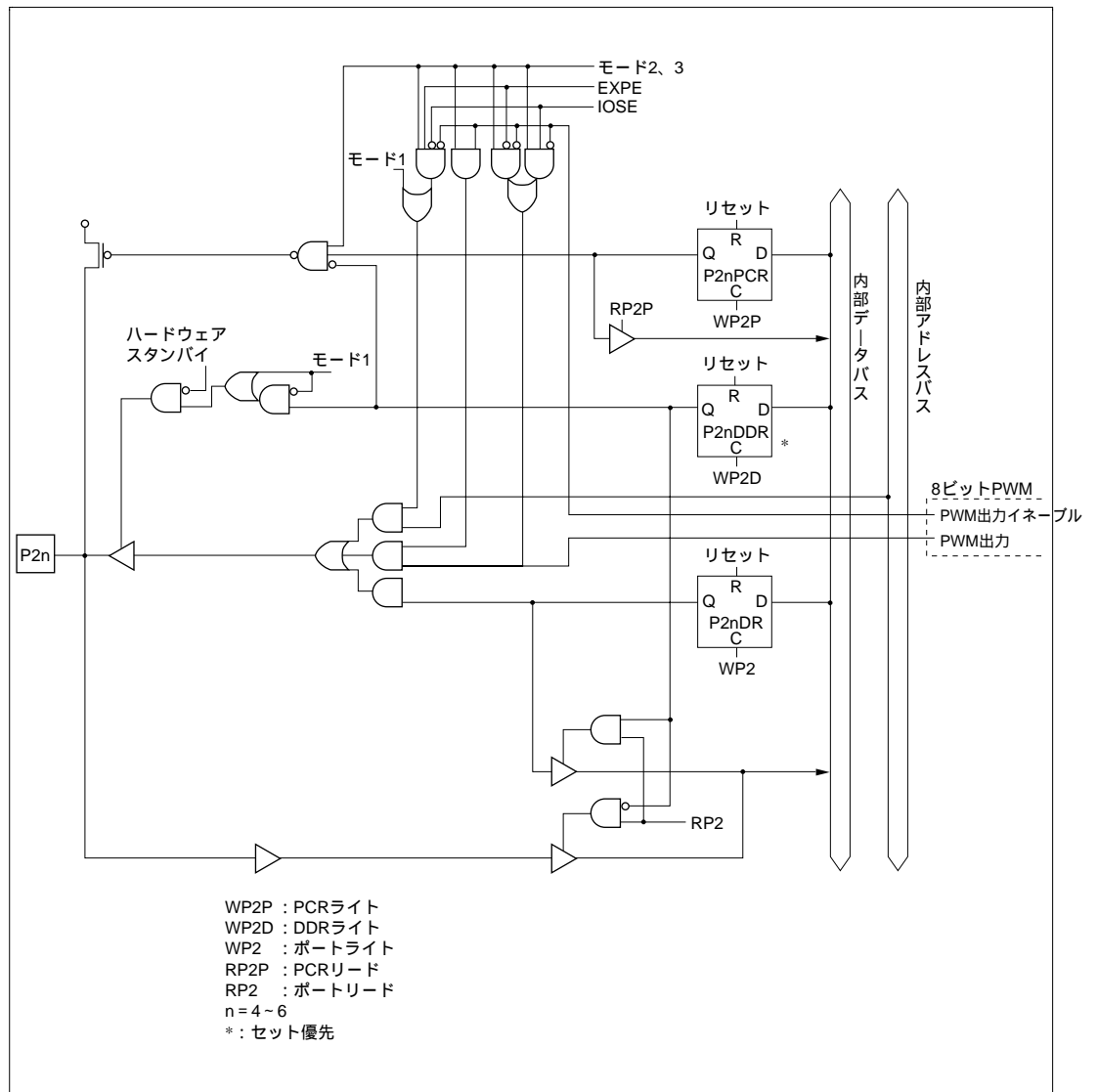


図 C.3 ポート2 ブロック図 (P24 ~ P26 端子)

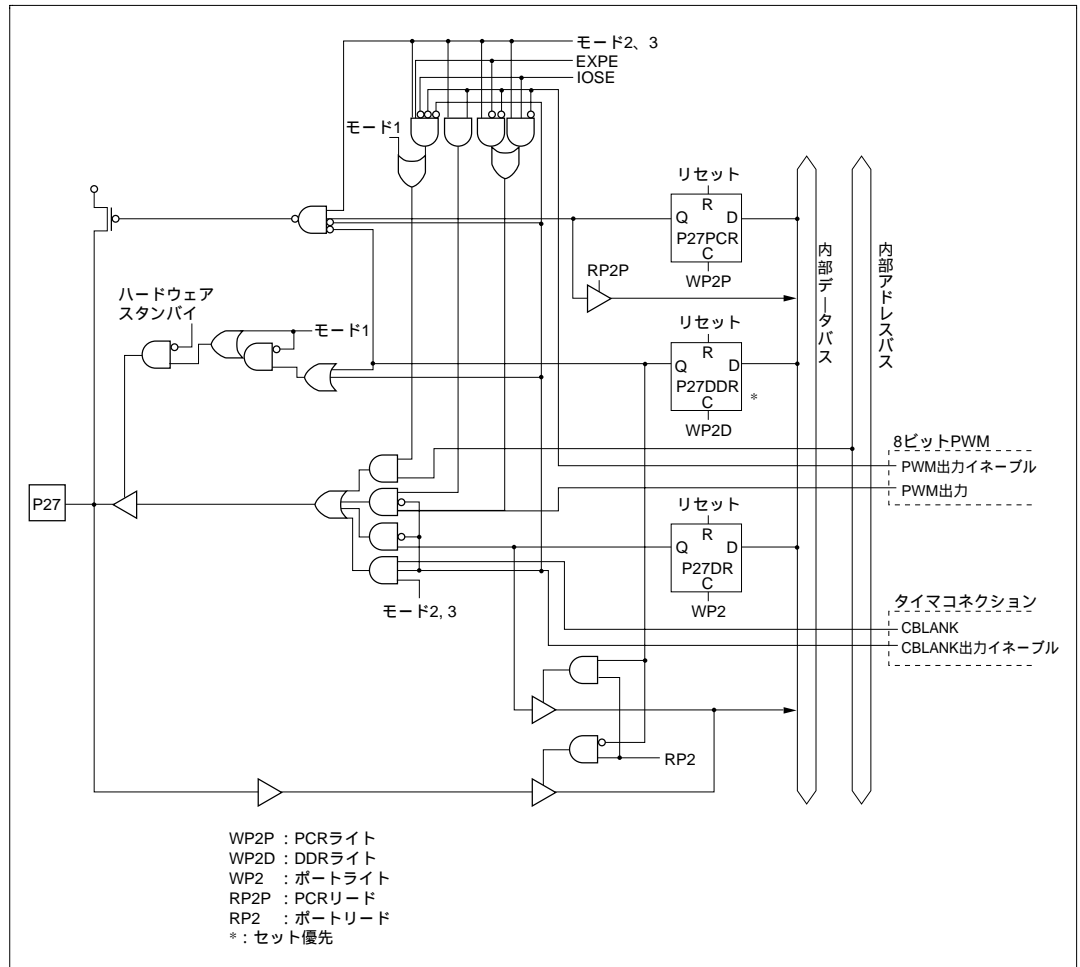


図 C.4 ポート 2 ブロック図 (P27 端子)

C.3 ポート3ブロック図

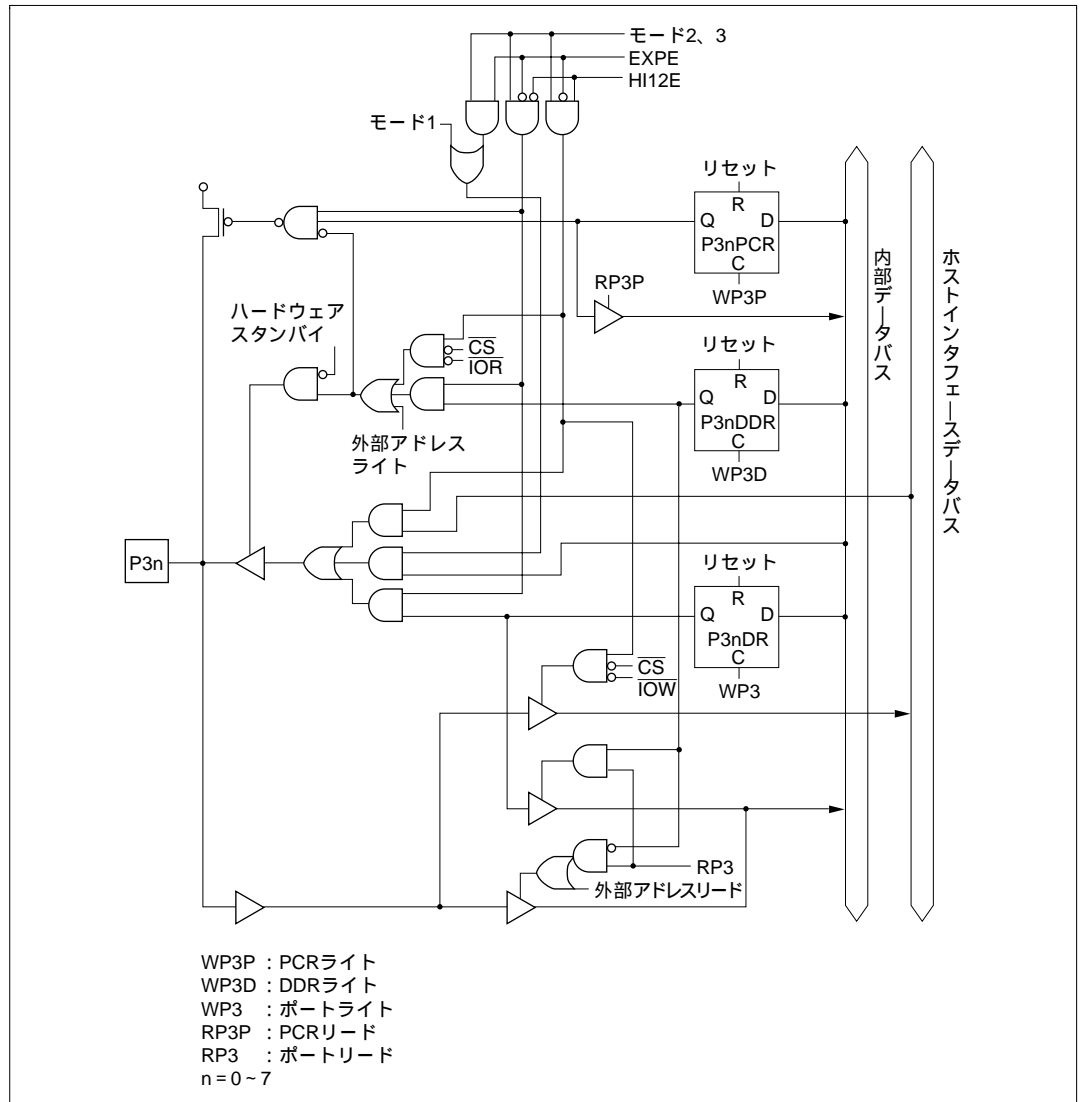


図 C.5 ポート3ブロック図

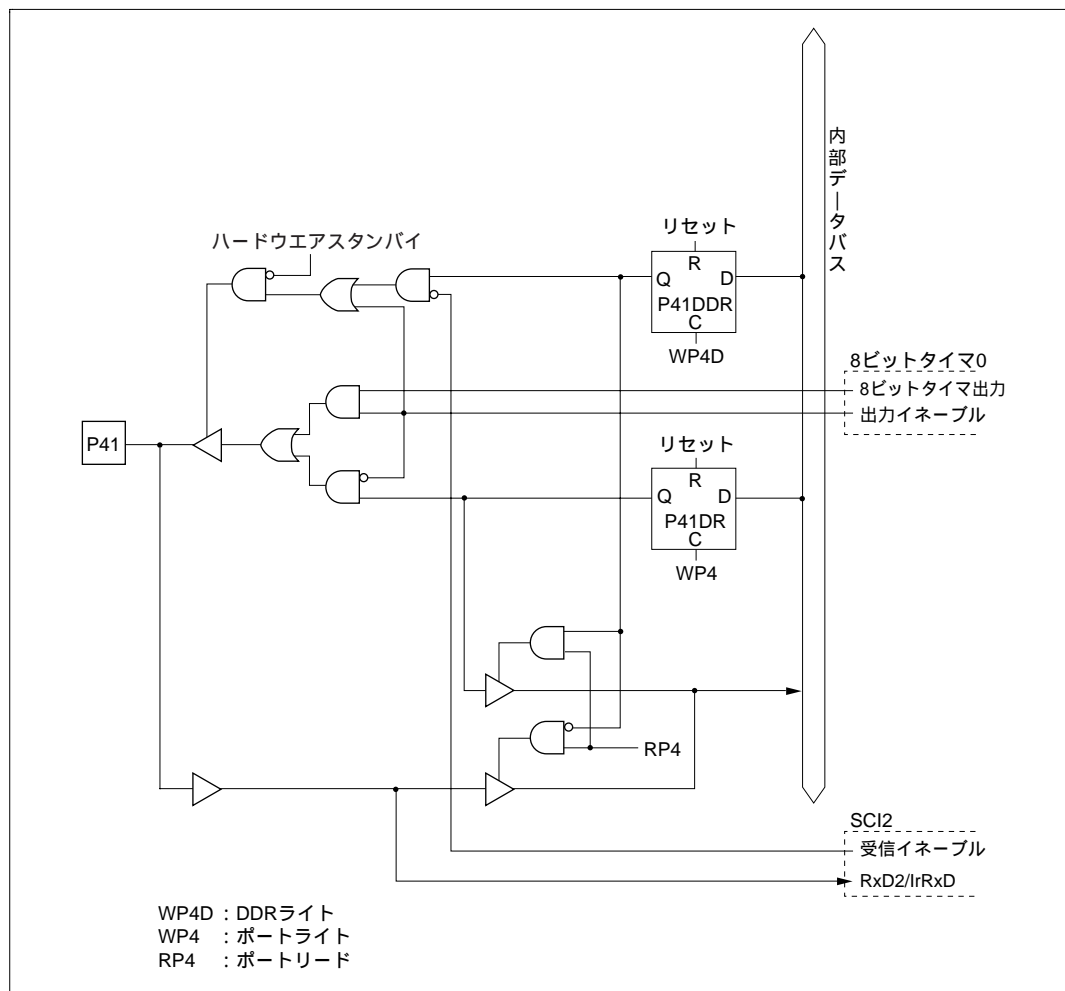


図 C.7 ポート 4 ブロック図 (P41 端子)

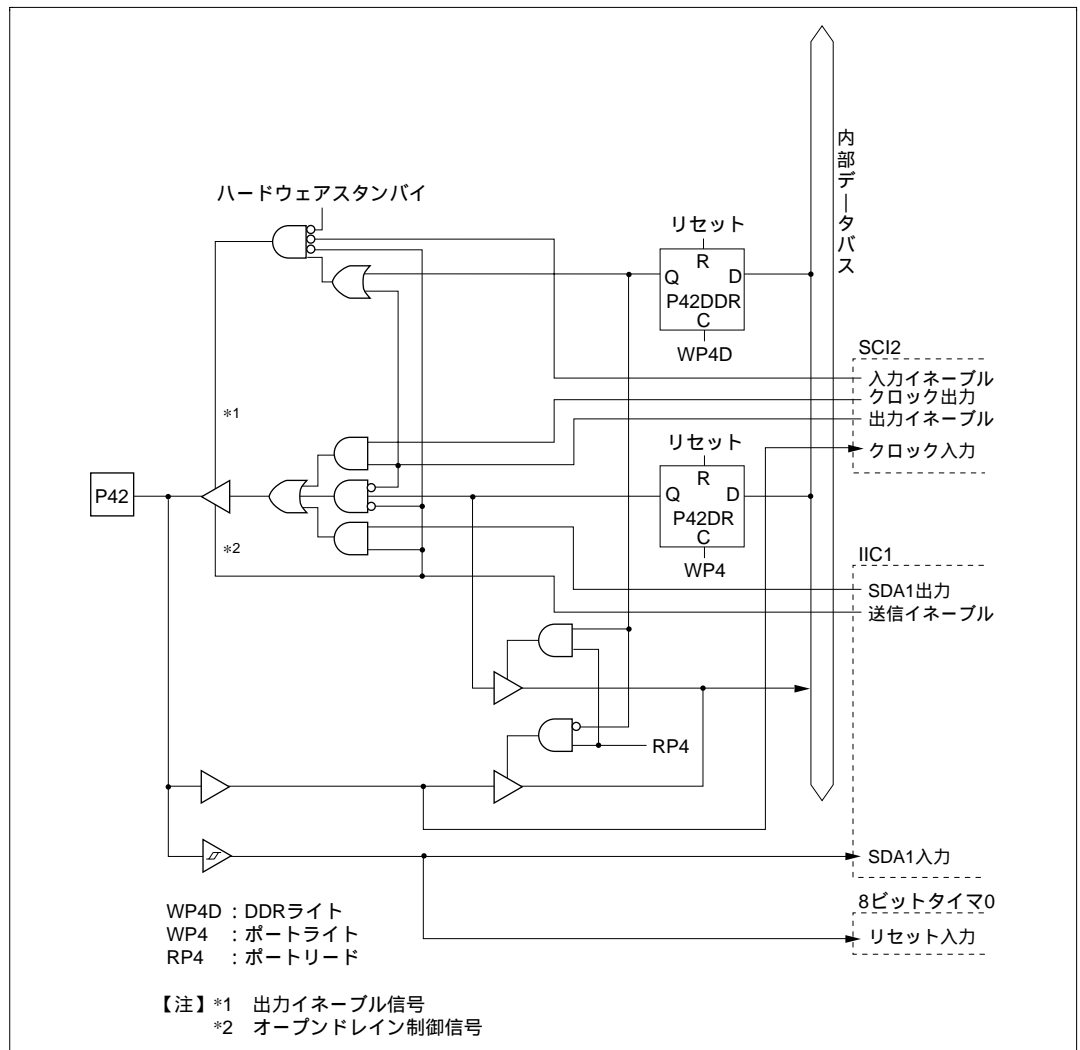


図 C.8 ポート4 ブロック図 (P42 端子)

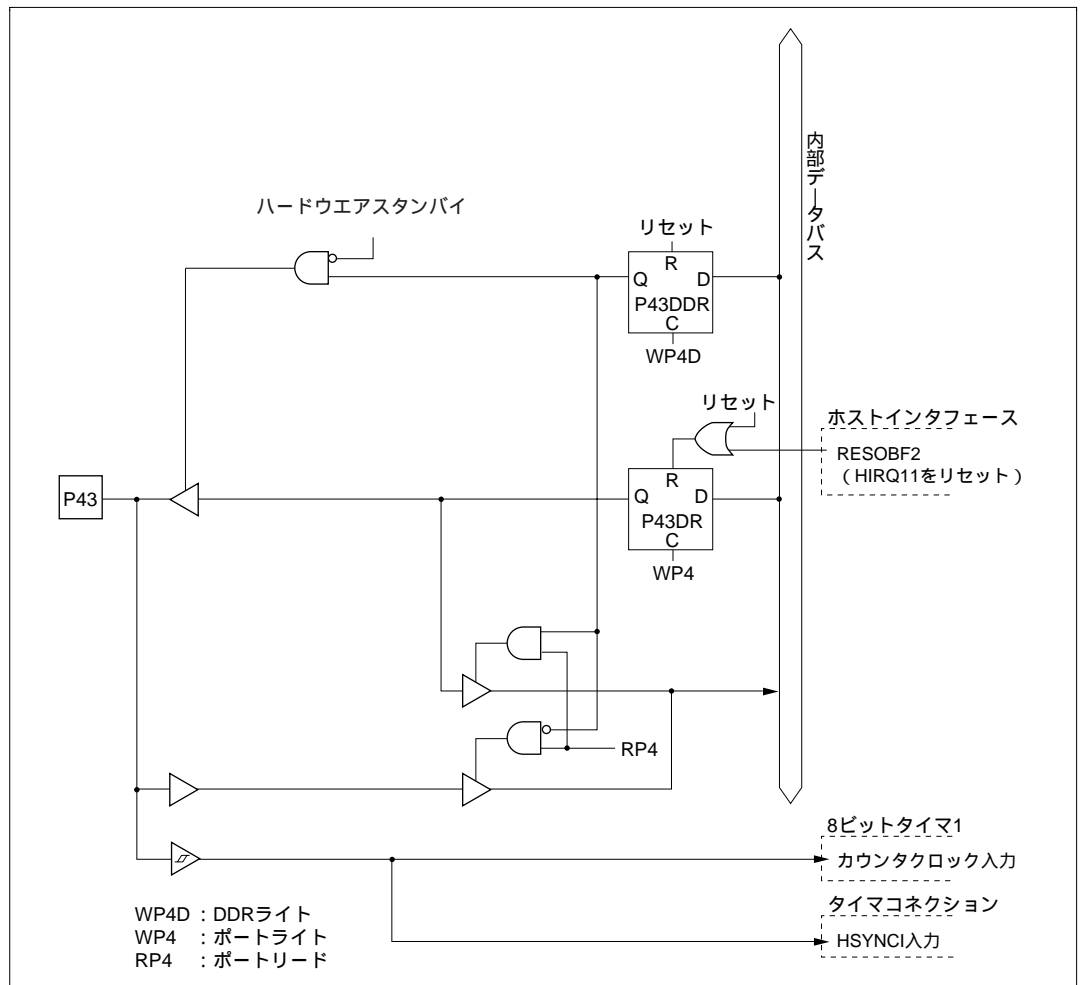


図 C.9 ポート4 ブロック図 (P43 端子)

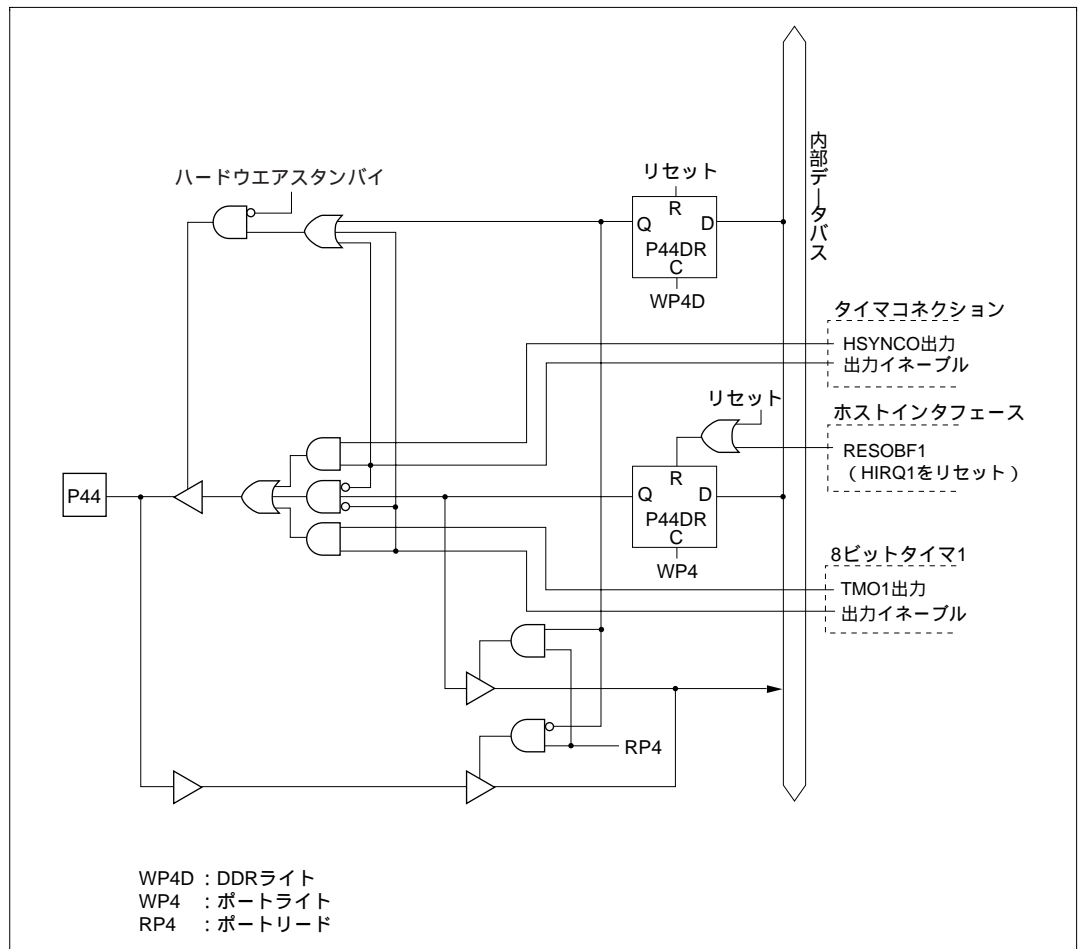


図 C.10 ポート4 ブロック図 (P44 端子)

C.5 ポート5ブロック図

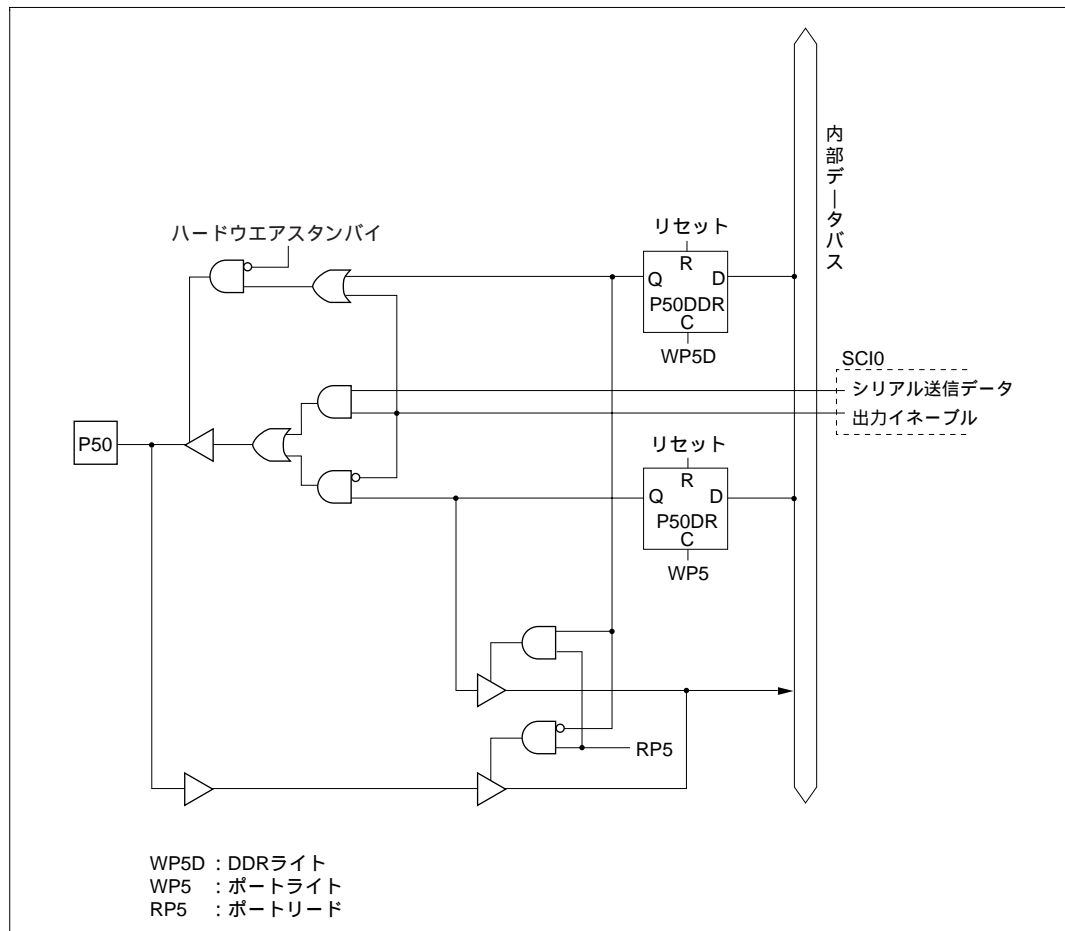


図 C.13 ポート5 ブロック図 (P50 端子)

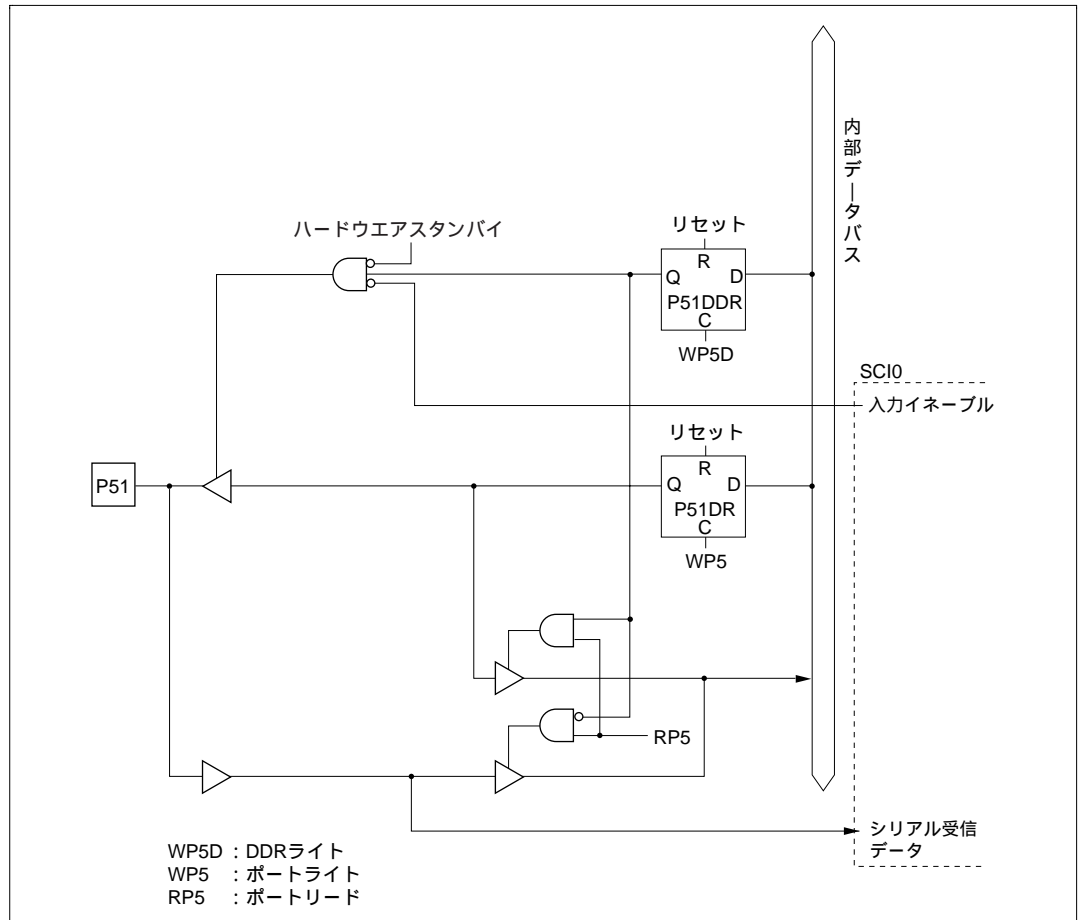


図 C.14 ポート5 ブロック図 (P51 端子)

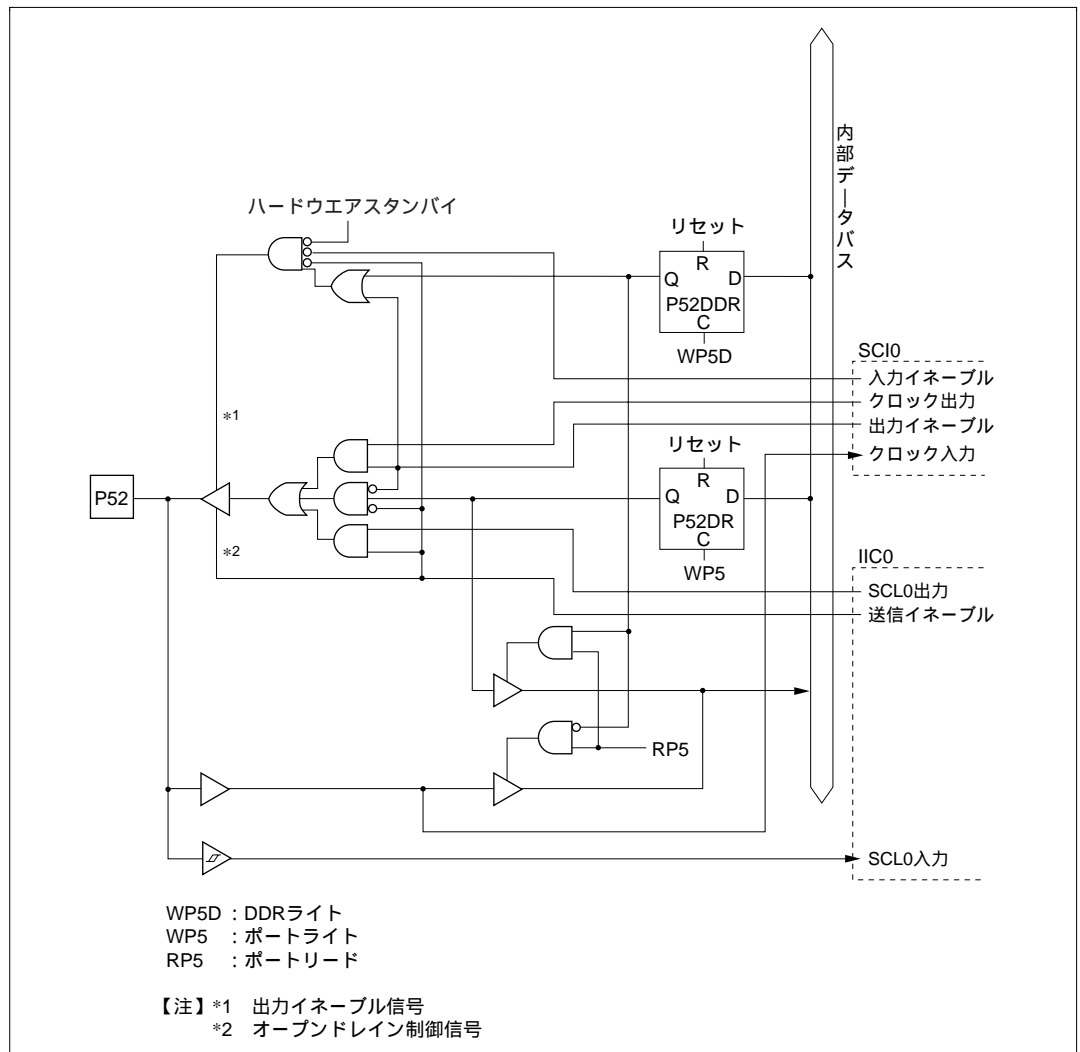


図 C.15 ポート5 ブロック図 (P52 端子)

C.6 ポート6ブロック図

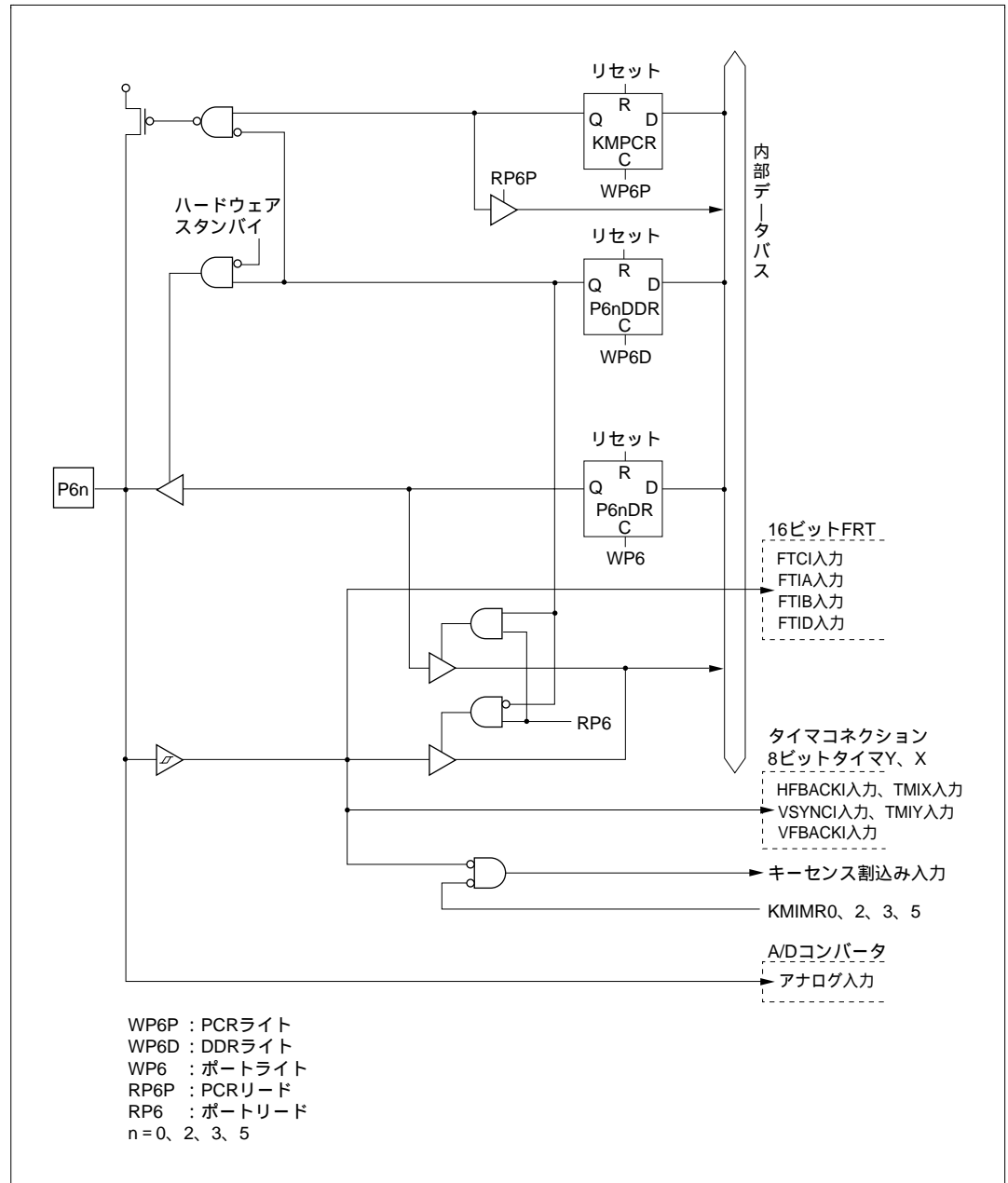


図 C.16 ポート6ブロック図 (P60、P62、P63、P65 端子)

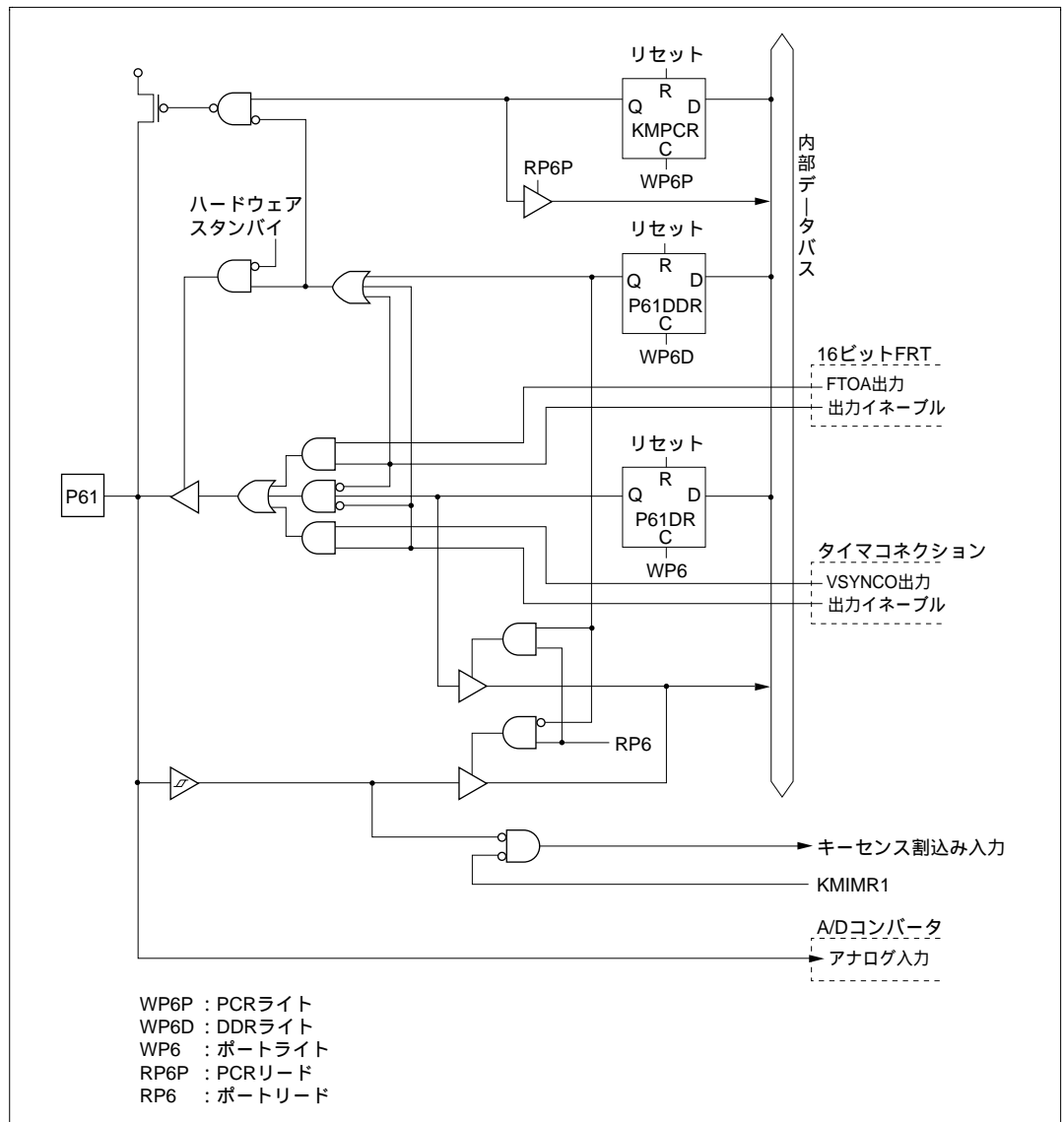


図 C.17 ポート6 ブロック図 (P61 端子)

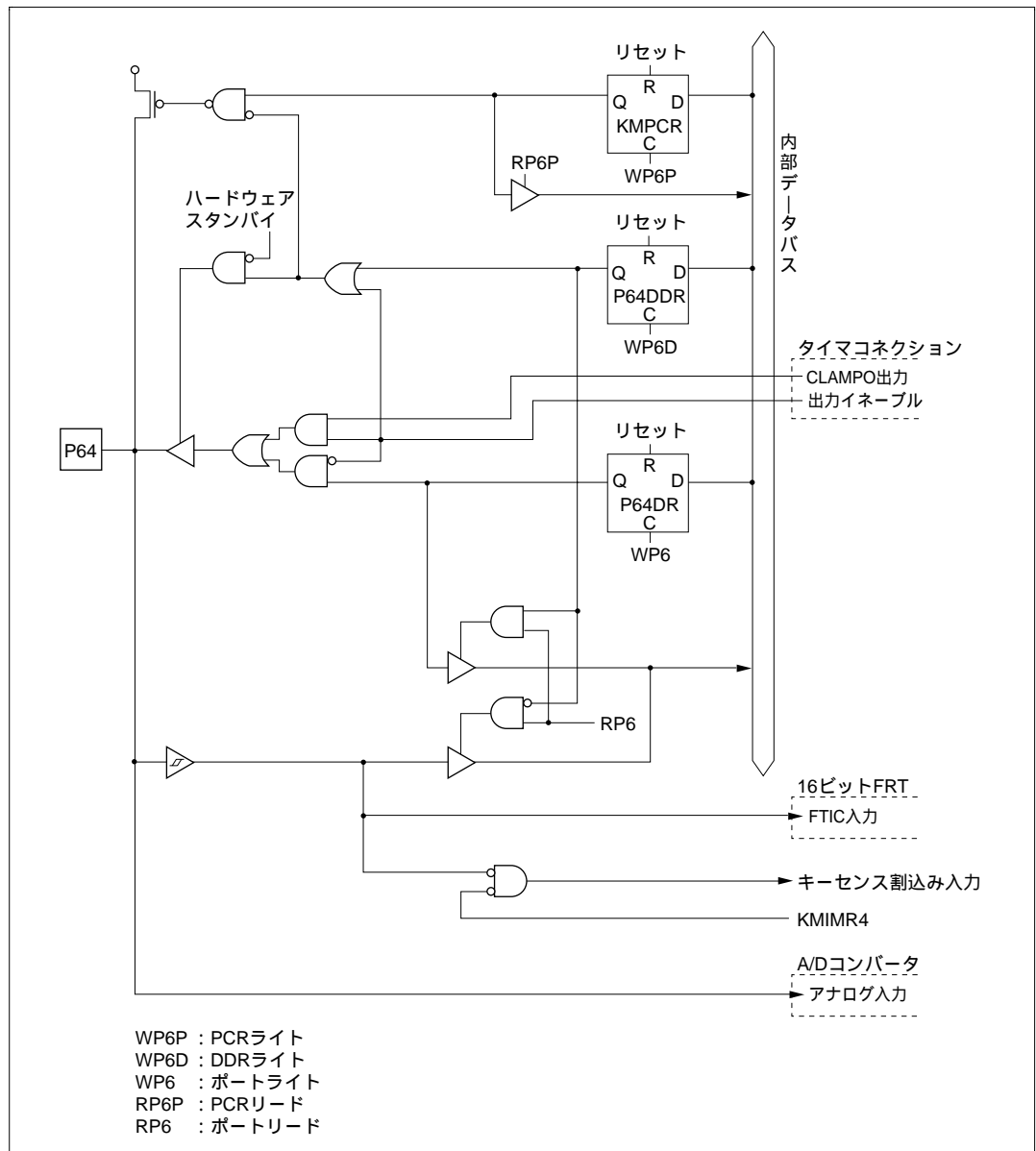


図 C.18 ポート6 ブロック図 (P64 端子)

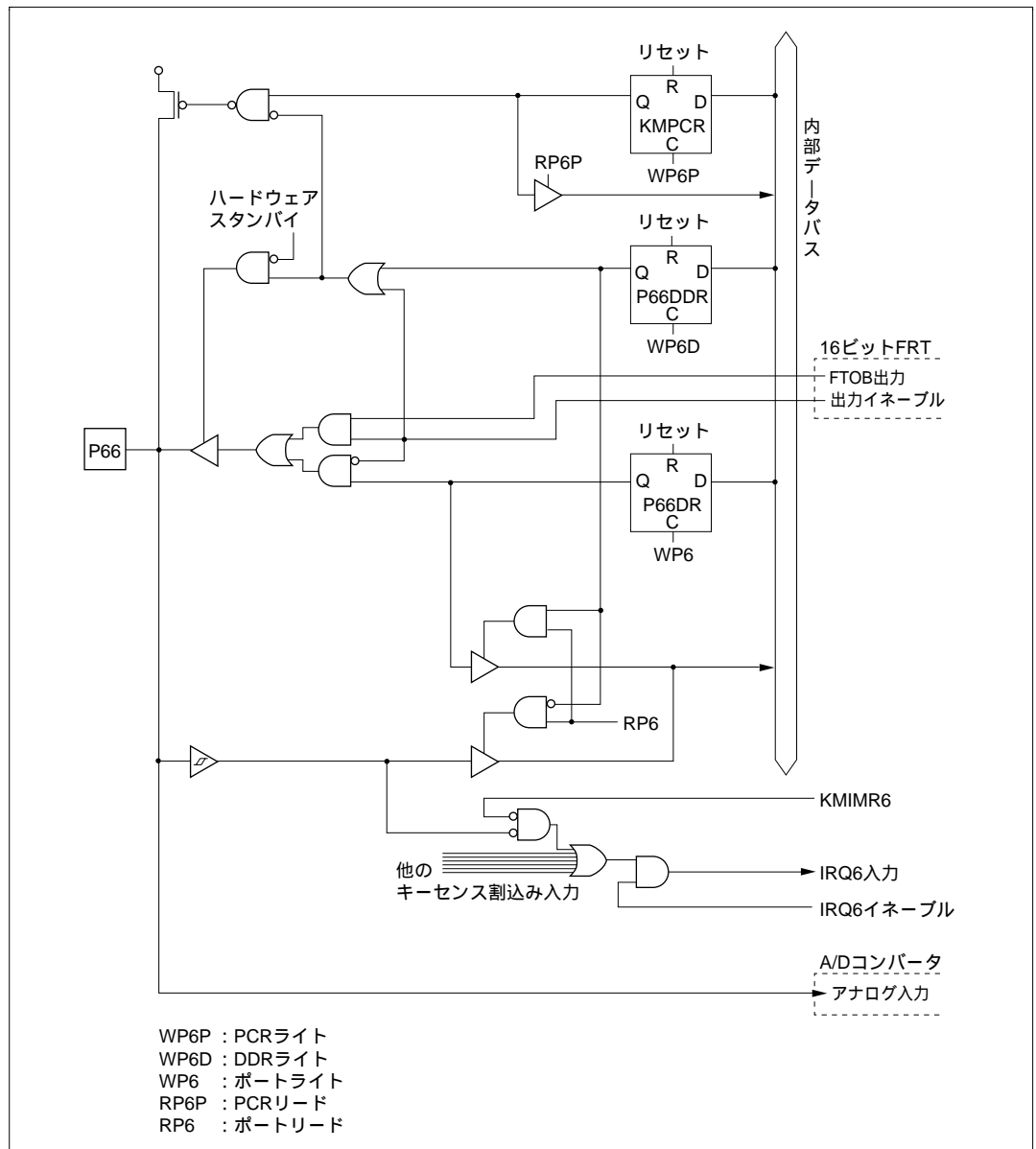


図 C.19 ポート 6 ブロック図 (P66 端子)

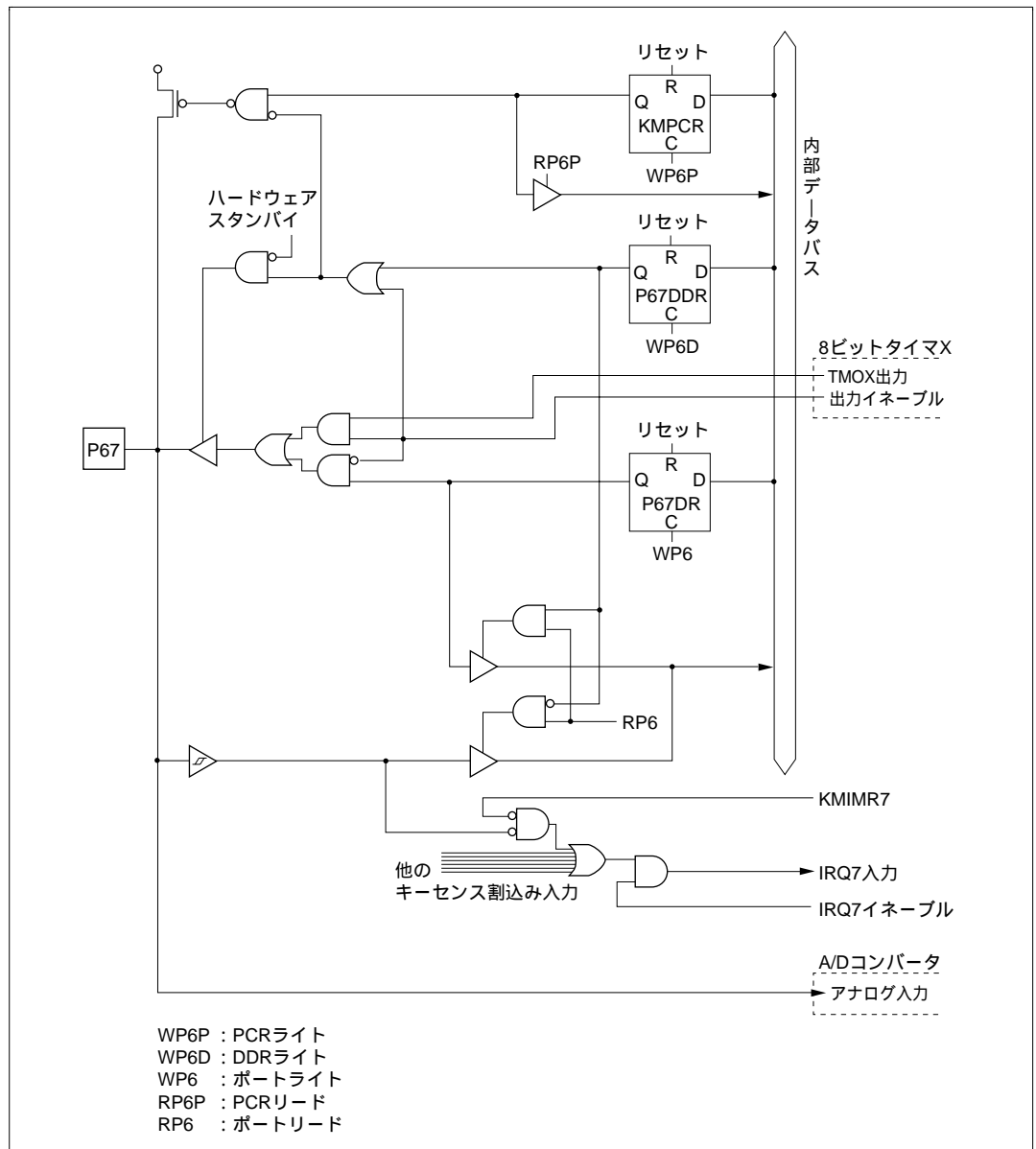


図 C.20 ポート 6 ブロック図 (P67 端子)

C.7 ポート7ブロック図

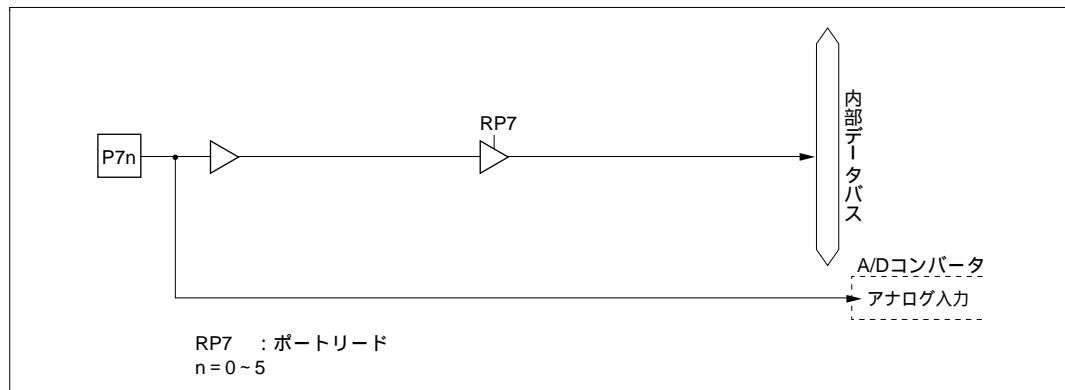


図 C.21 ポート7ブロック図 (P70 ~ P75 端子)

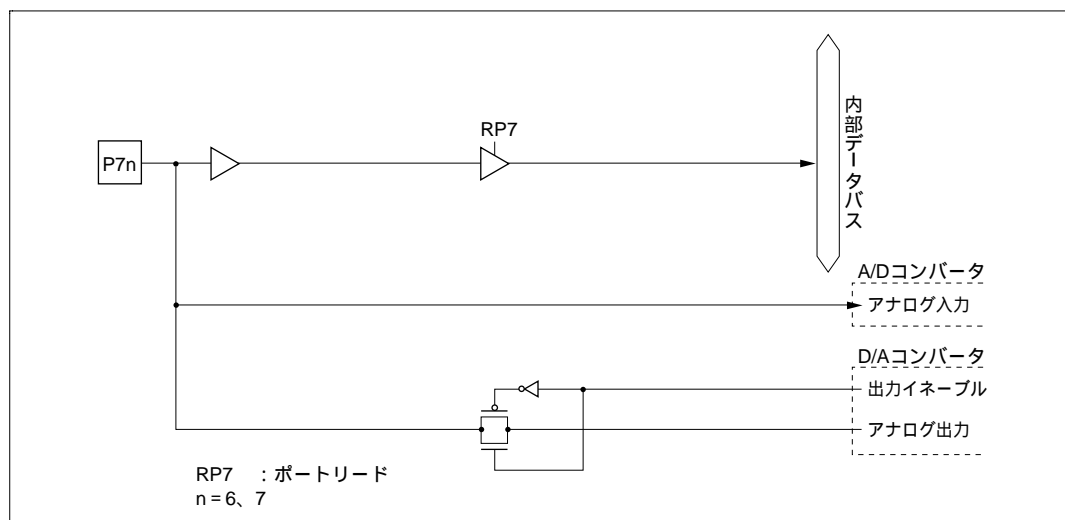


図 C.22 ポート7ブロック図 (P76、P77 端子)

C.8 ポート 8 ブロック図

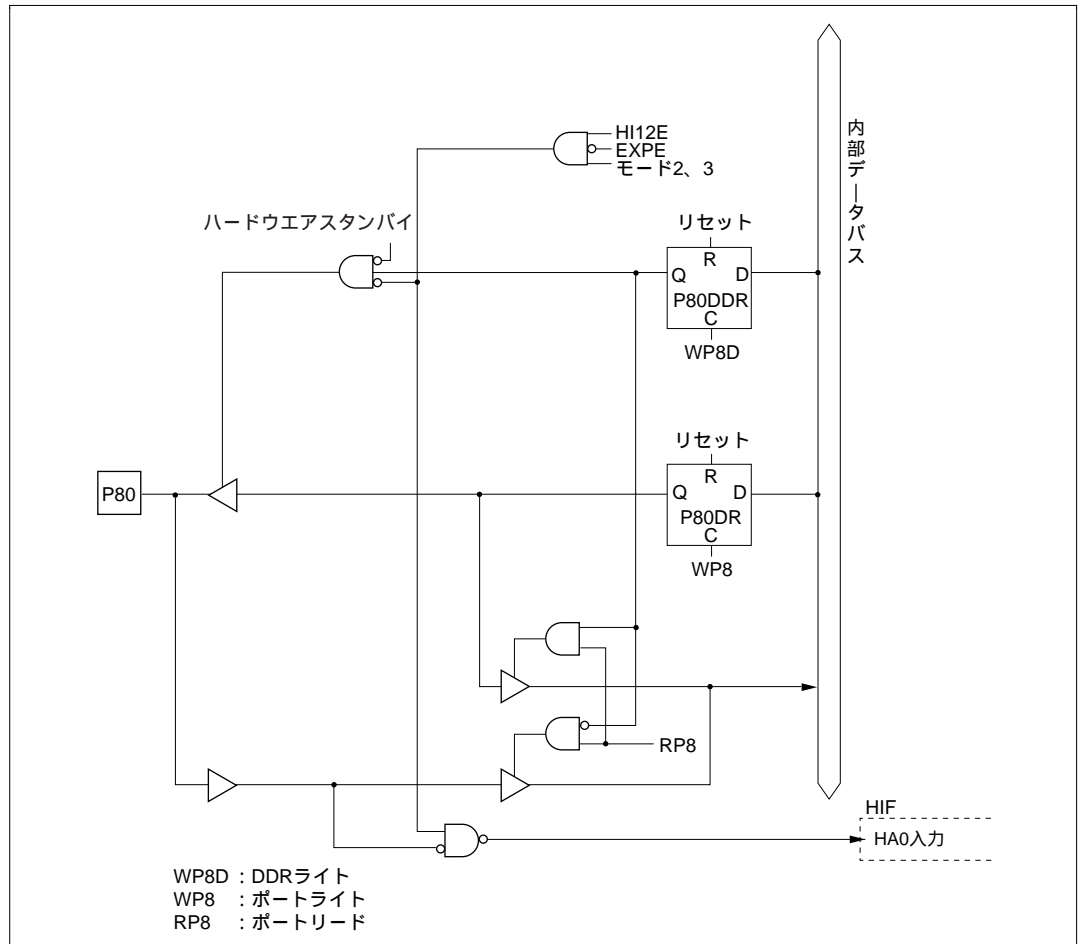


図 C.23 ポート 8 ブロック図 (P80 端子)

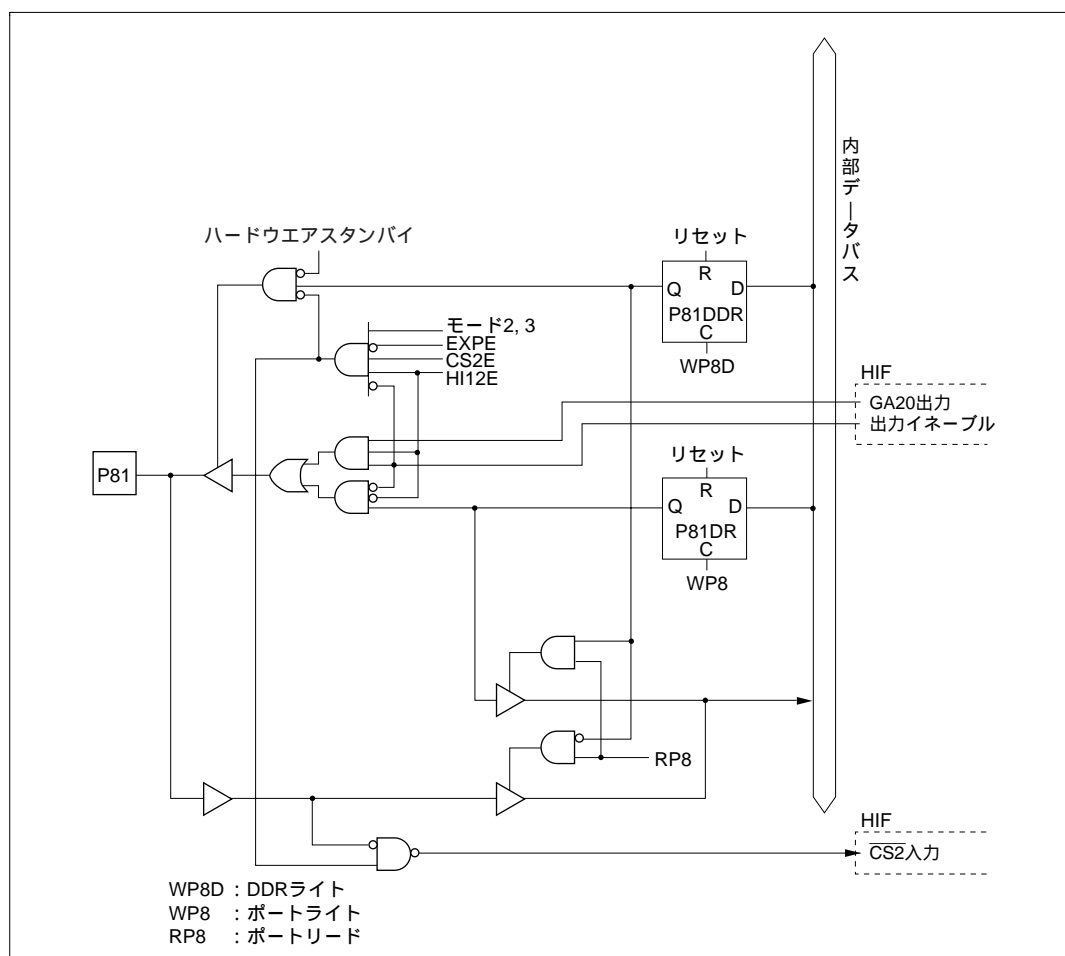


図 C.24 ポート 8 ブロック図 (P81 端子)

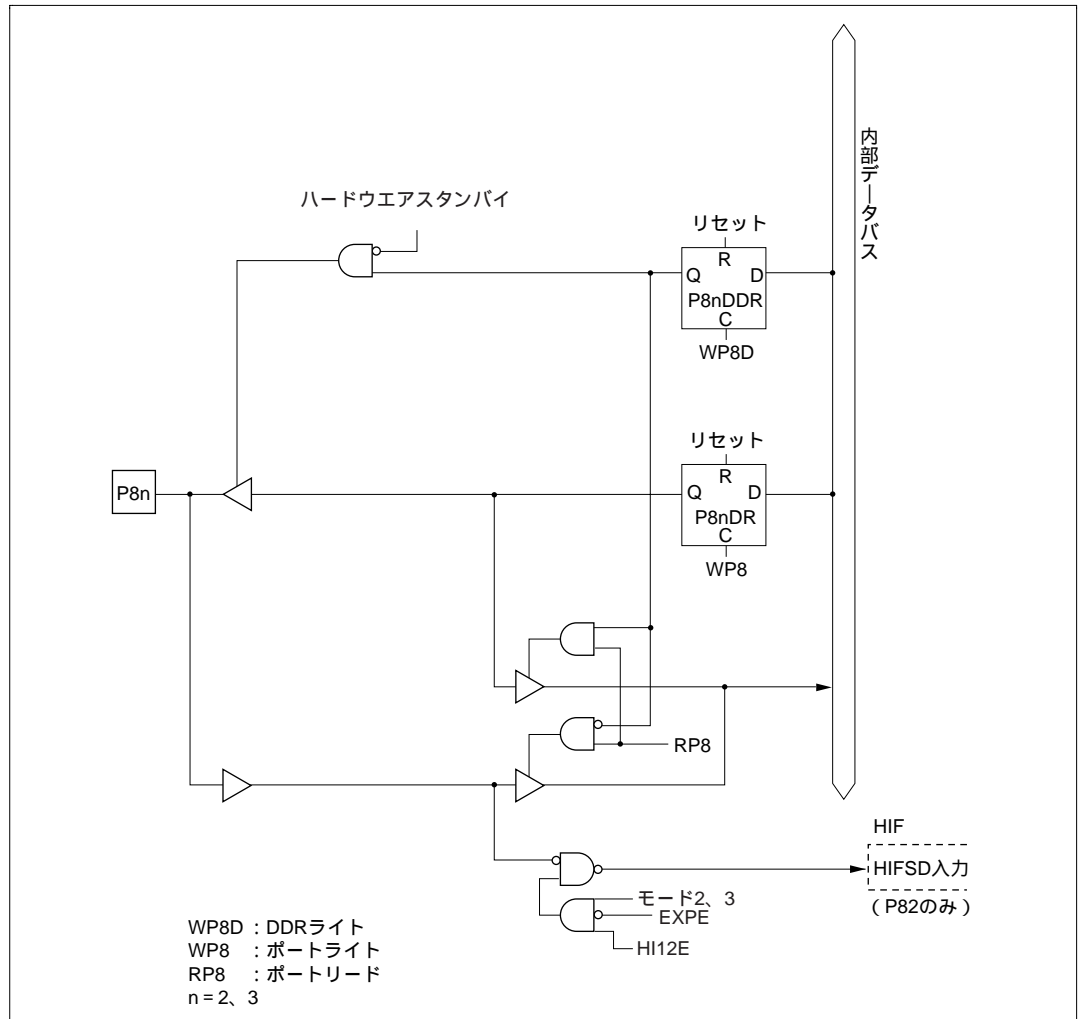


図 C.25 ポート 8 ブロック図 (P82、P83 端子)

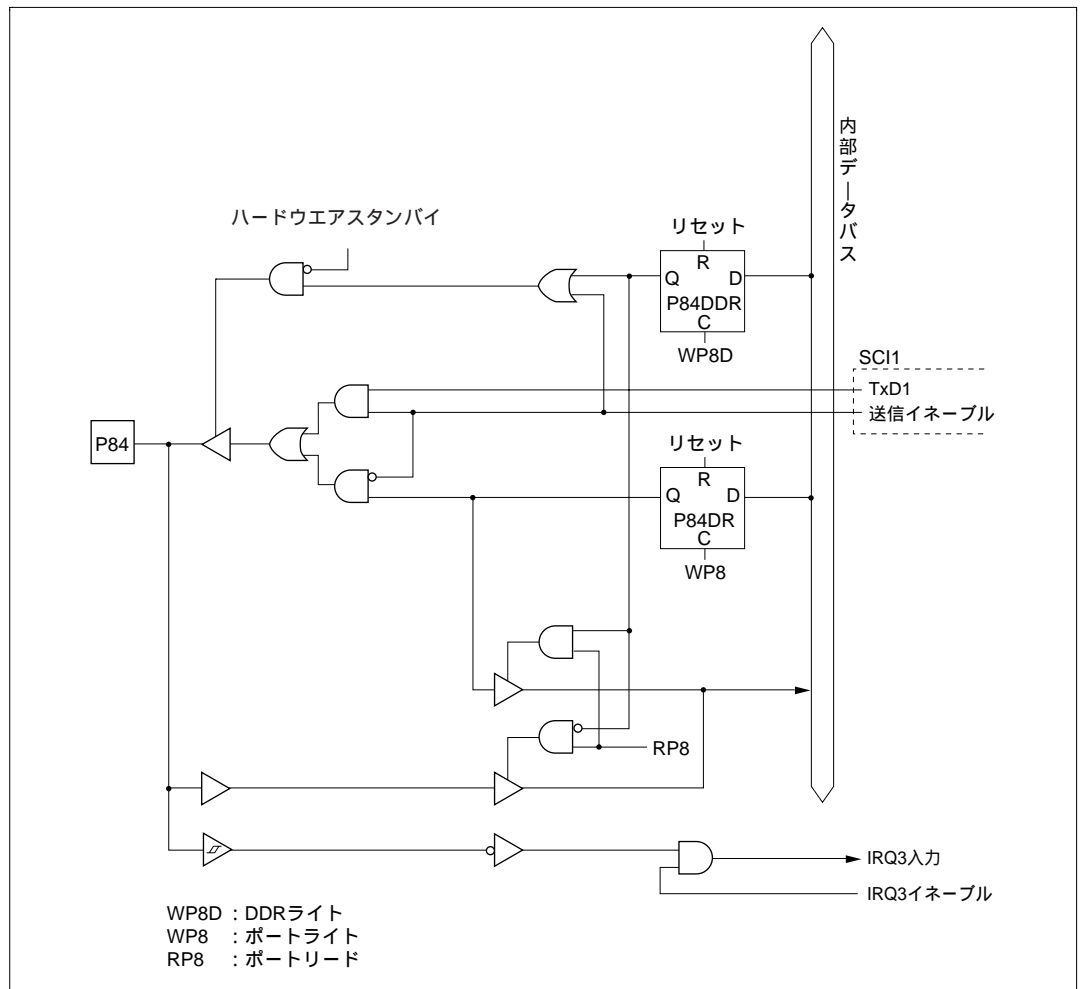


図 C.26 ポート 8 ブロック図 (P84 端子)

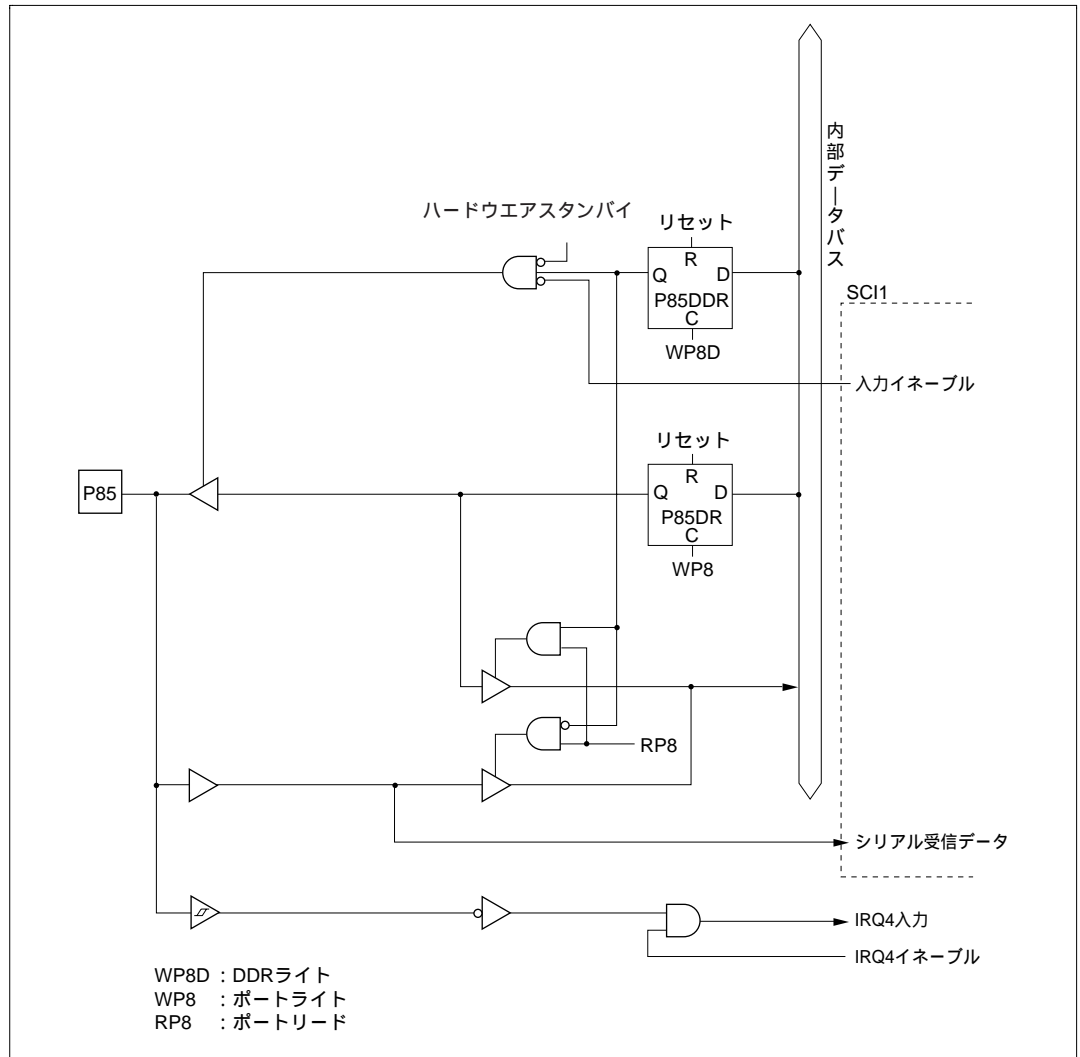


図 C.27 ポート 8 ブロック図 (P85 端子)

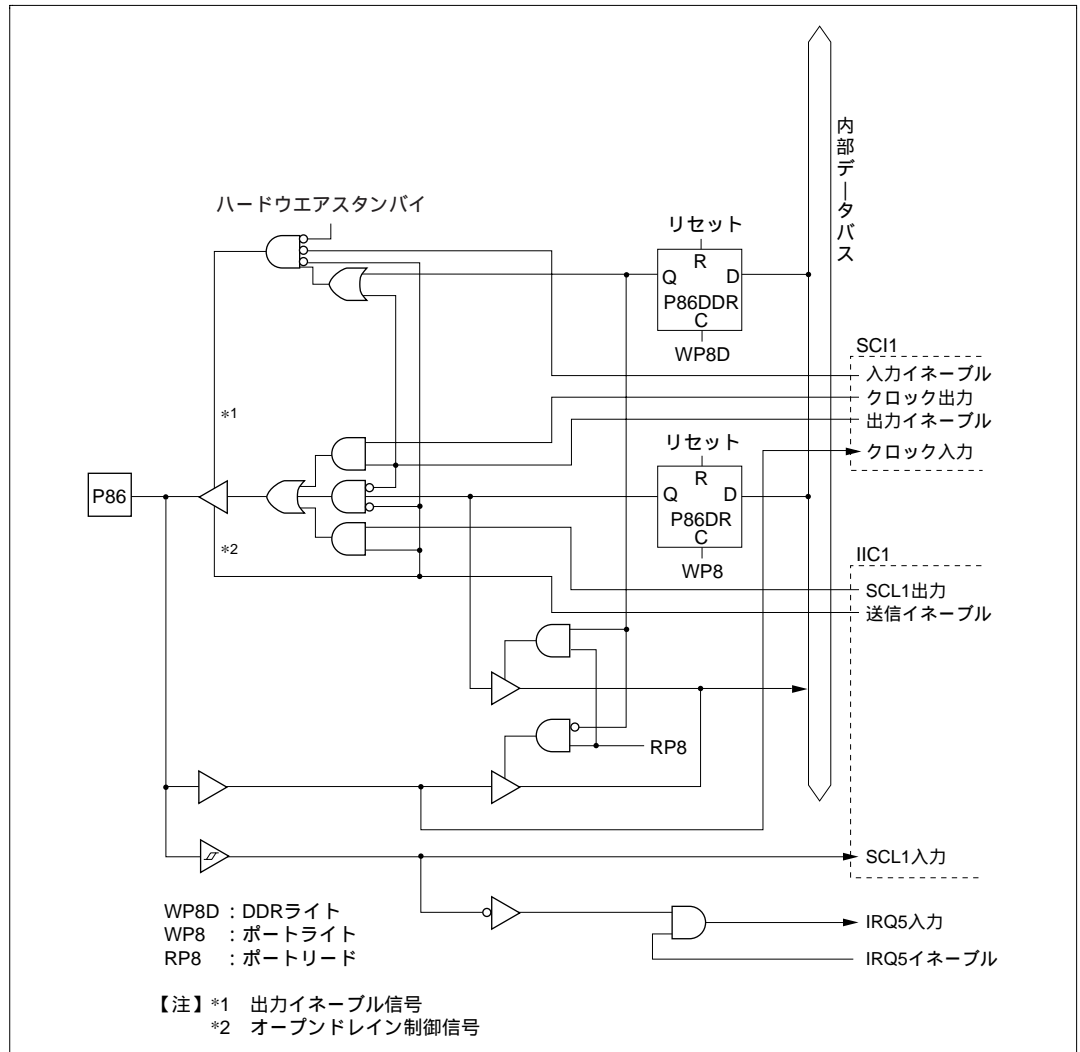


図 C.28 ポート 8 ブロック図 (P86 端子)

C.9 ポート9ブロック図

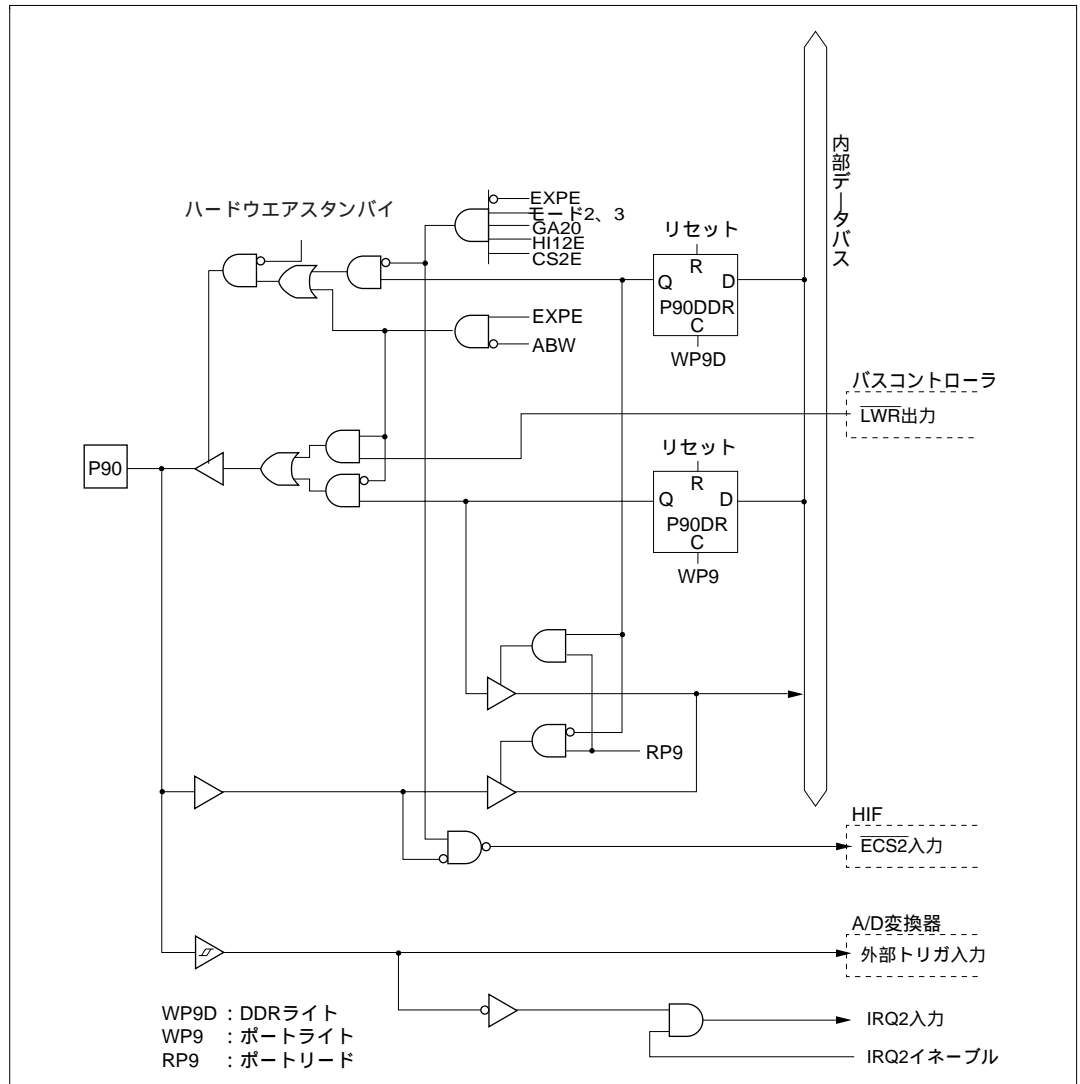


図 C.29 ポート9ブロック図 (P90 端子)

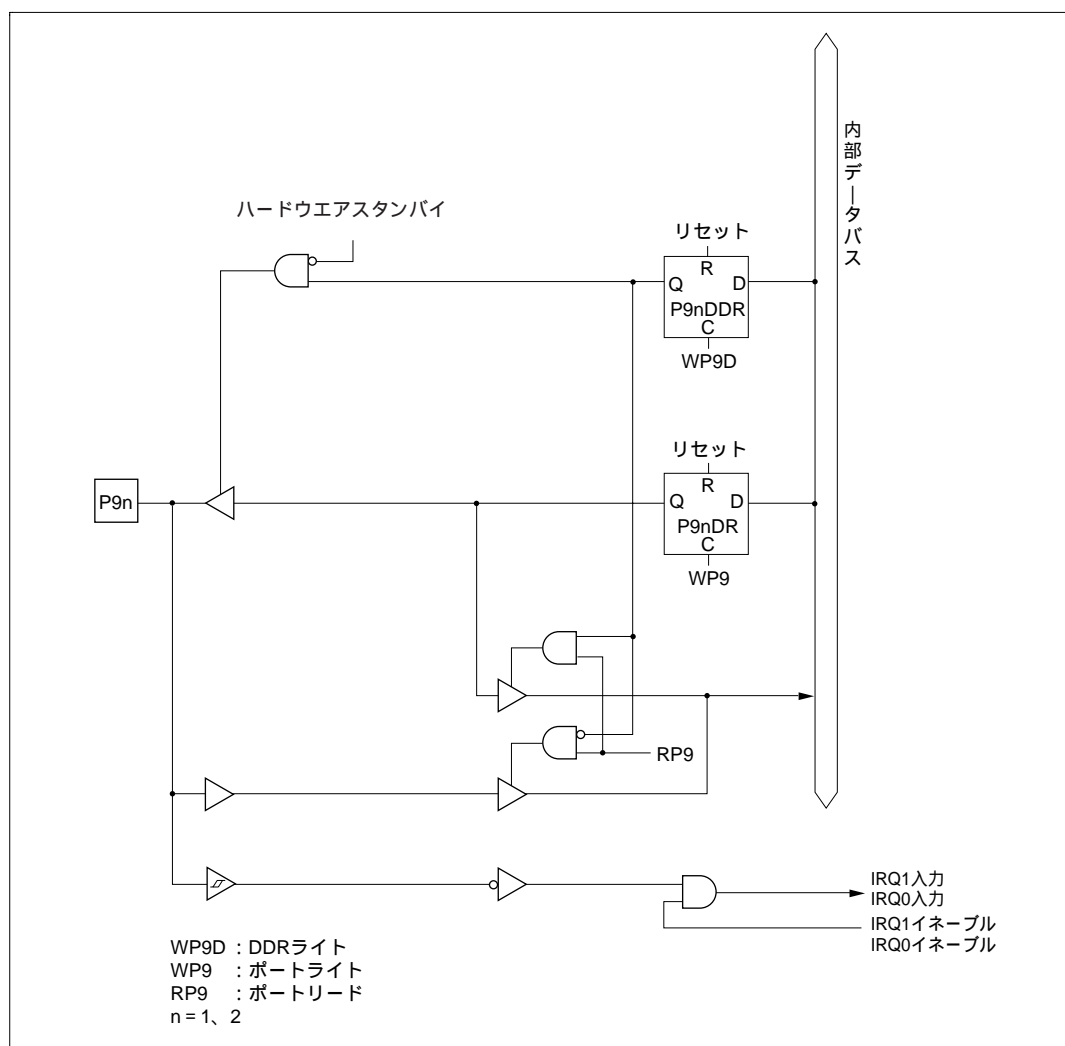


図 C.30 ポート9 ブロック図 (P91、P92 端子)

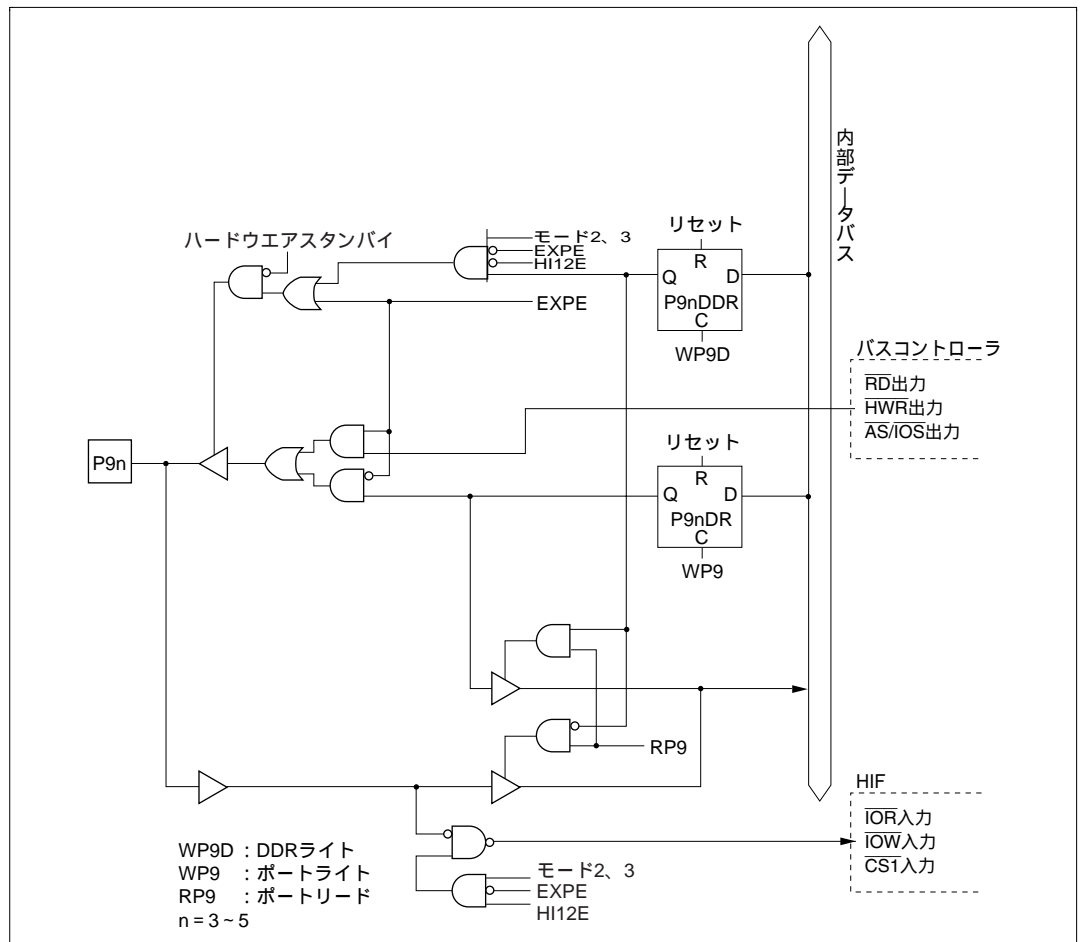


図 C.31 ポート9 ブロック図 (P93 ~ P95 端子)

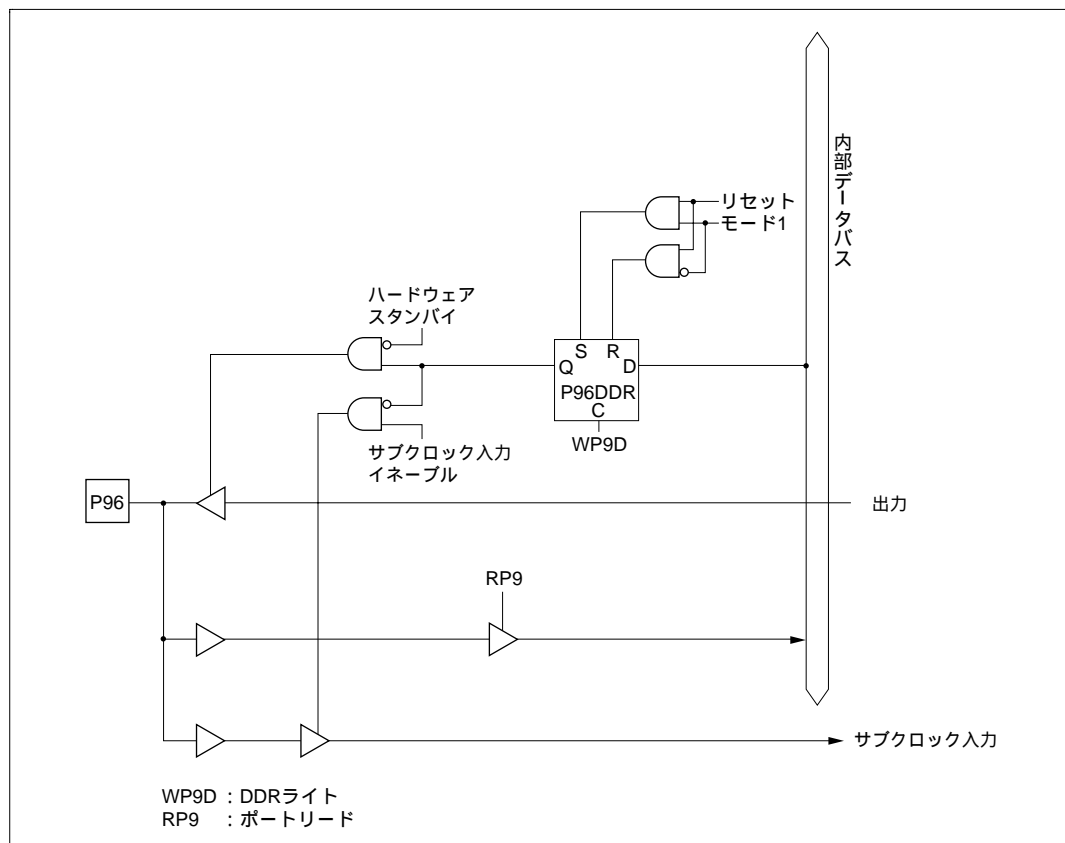


図 C.32 ポート9 ブロック図 (P96 端子)

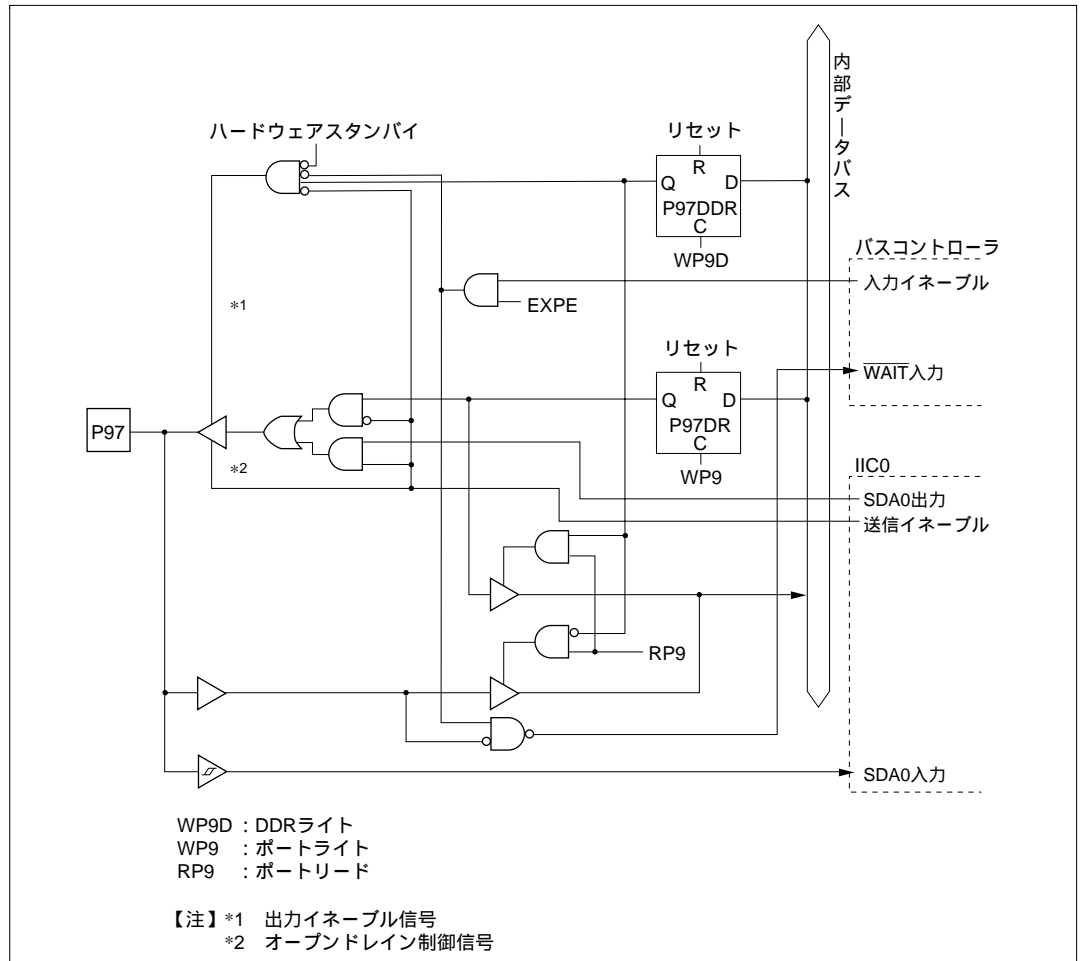


図 C.33 ポート 9 ブロック図 (P97 端子)

C.10 ポートAブロック図

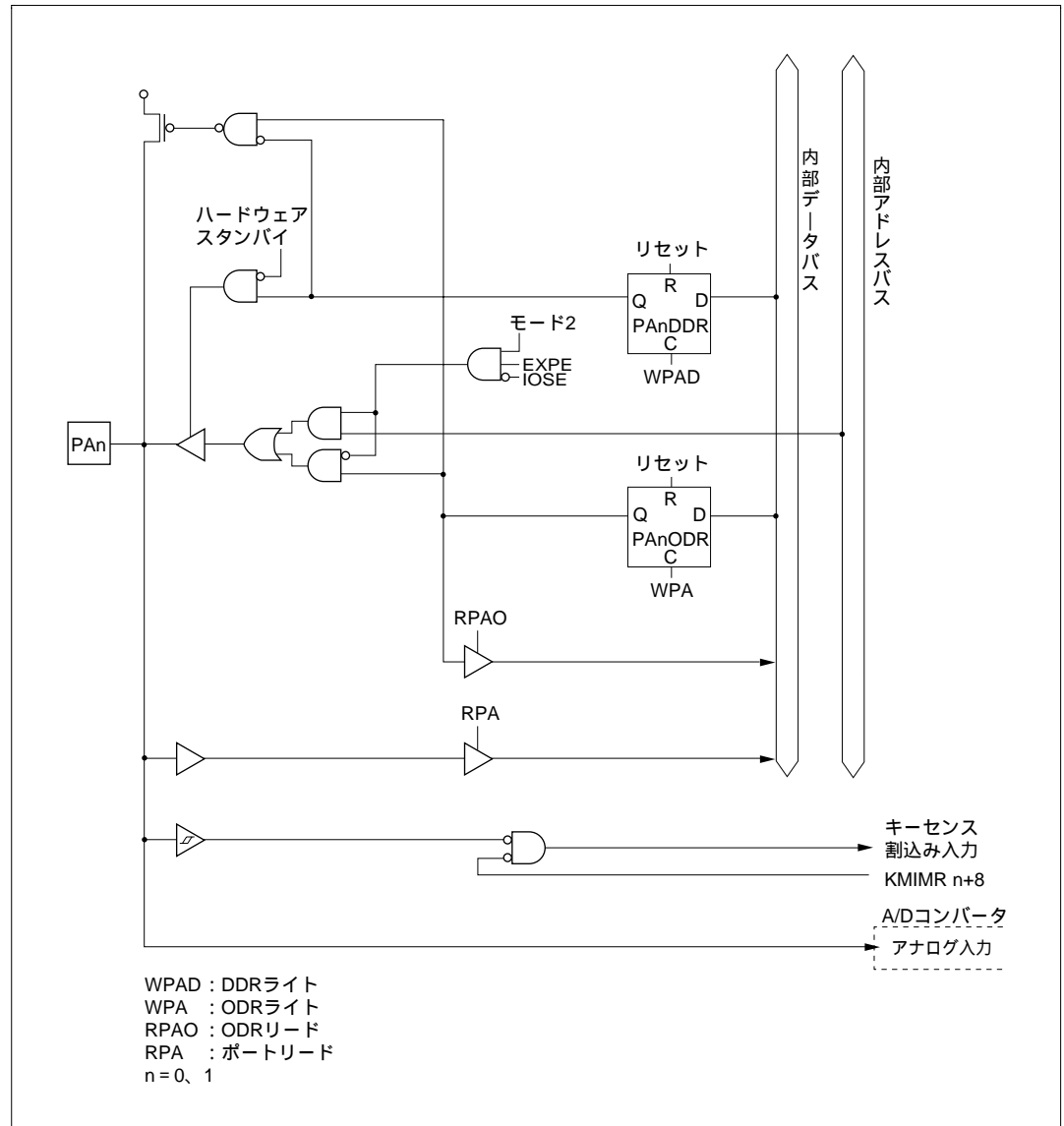


図 C.34 ポートAブロック図 (PA0、PA1 端子)

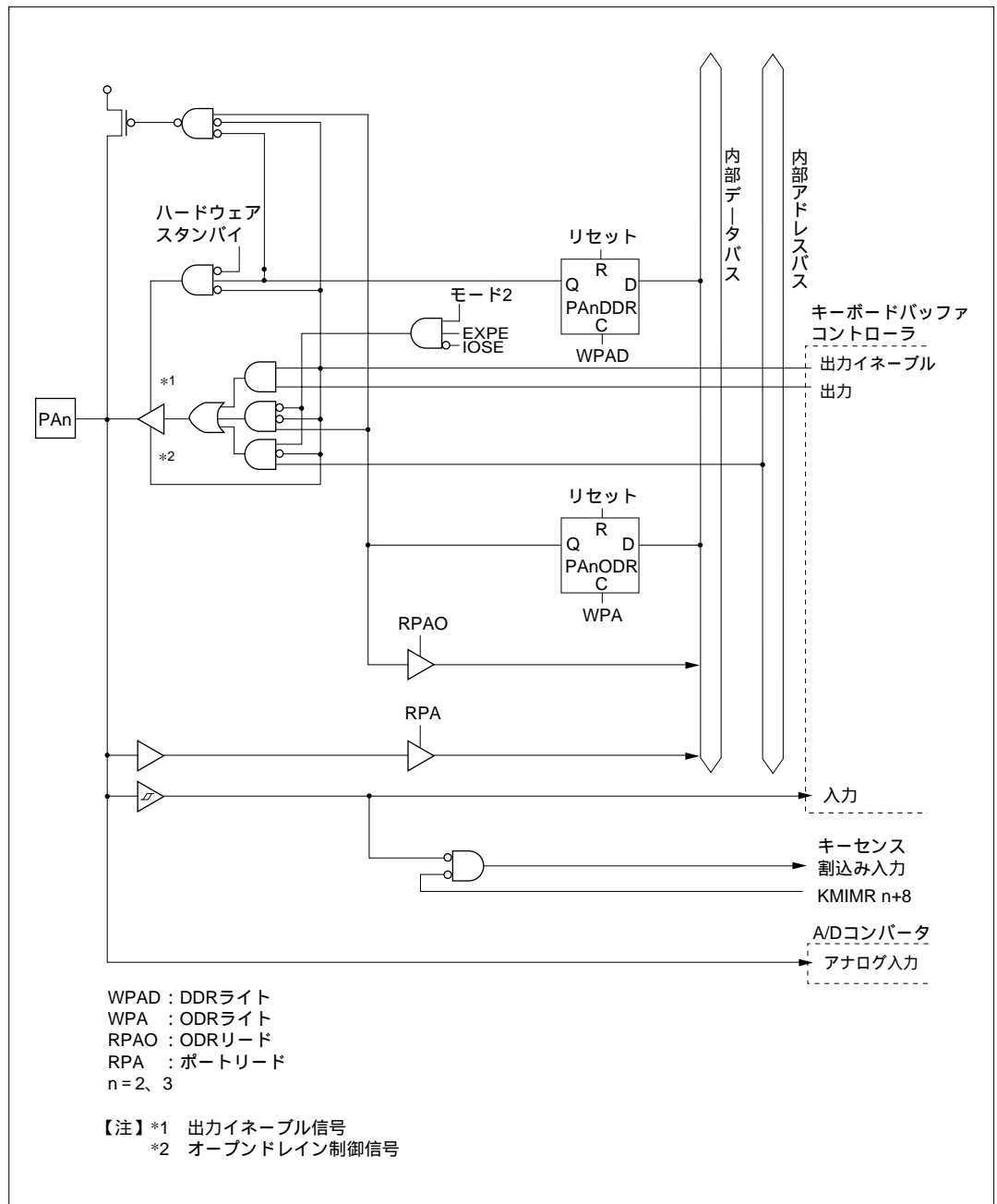


図 C.35 ポート A ブロック図 (PA2、PA3 端子)

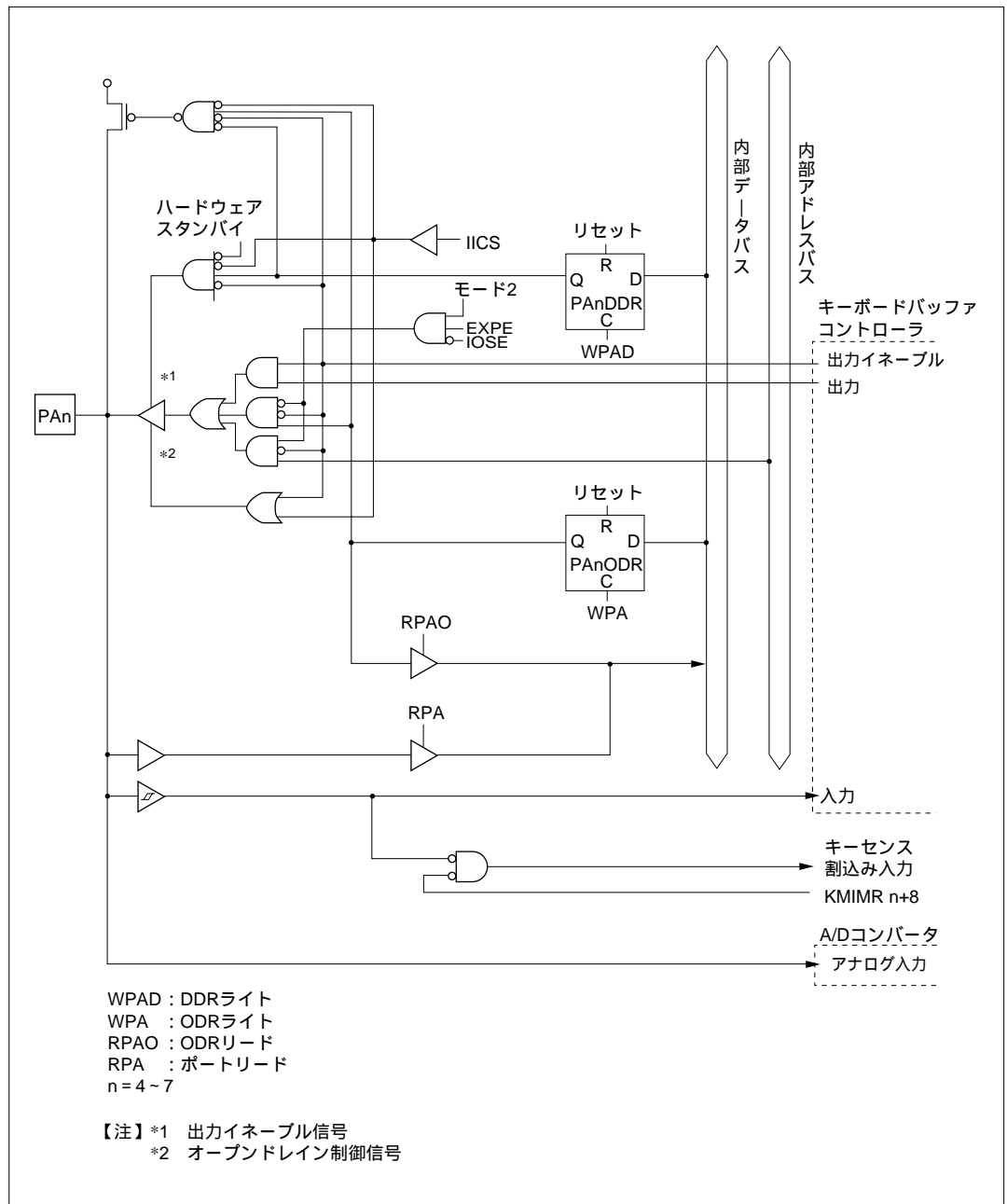


図 C.36 ポート A ブロック図 (PA4 ~ PA7 端子)

C.11 ポートBブロック図

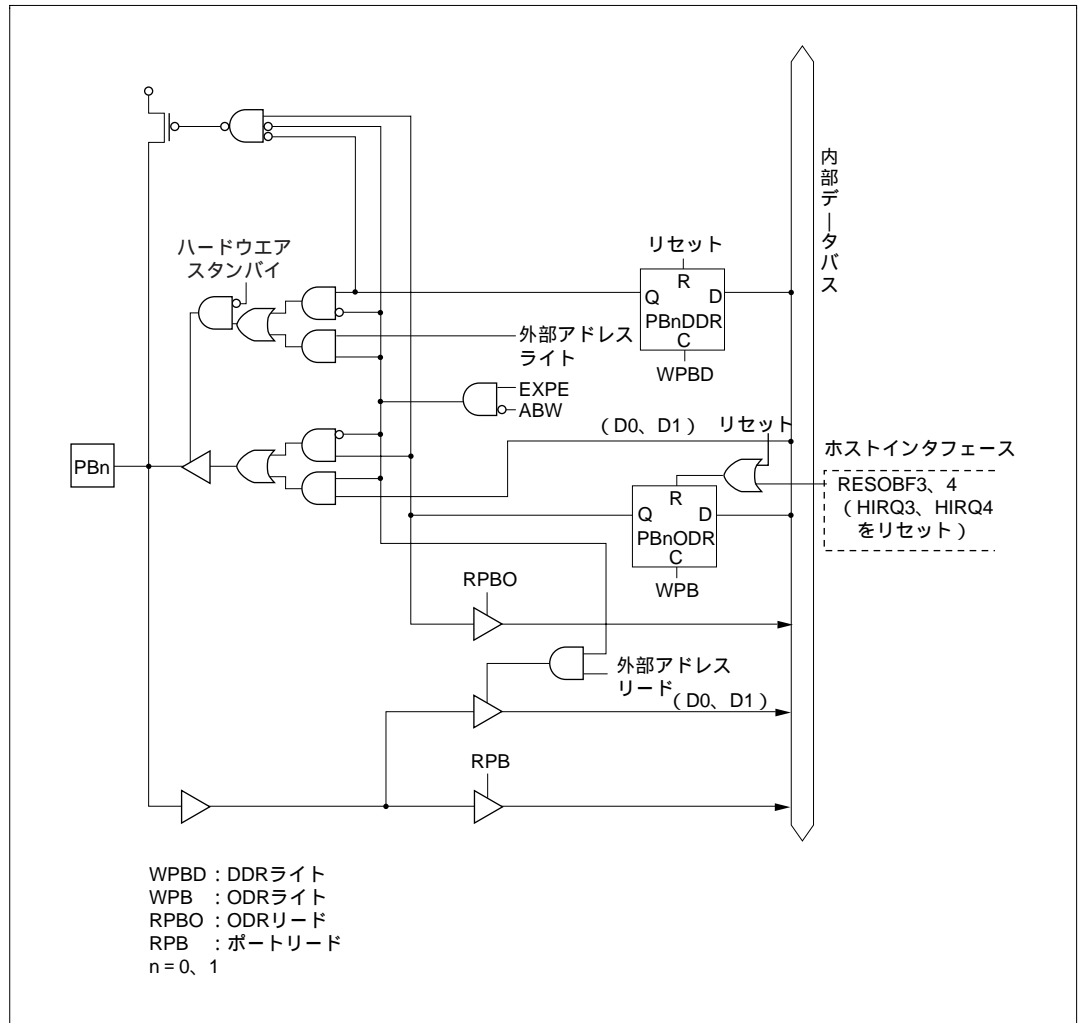


図 C.37 ポートBブロック図 (PB0、PB1 端子)

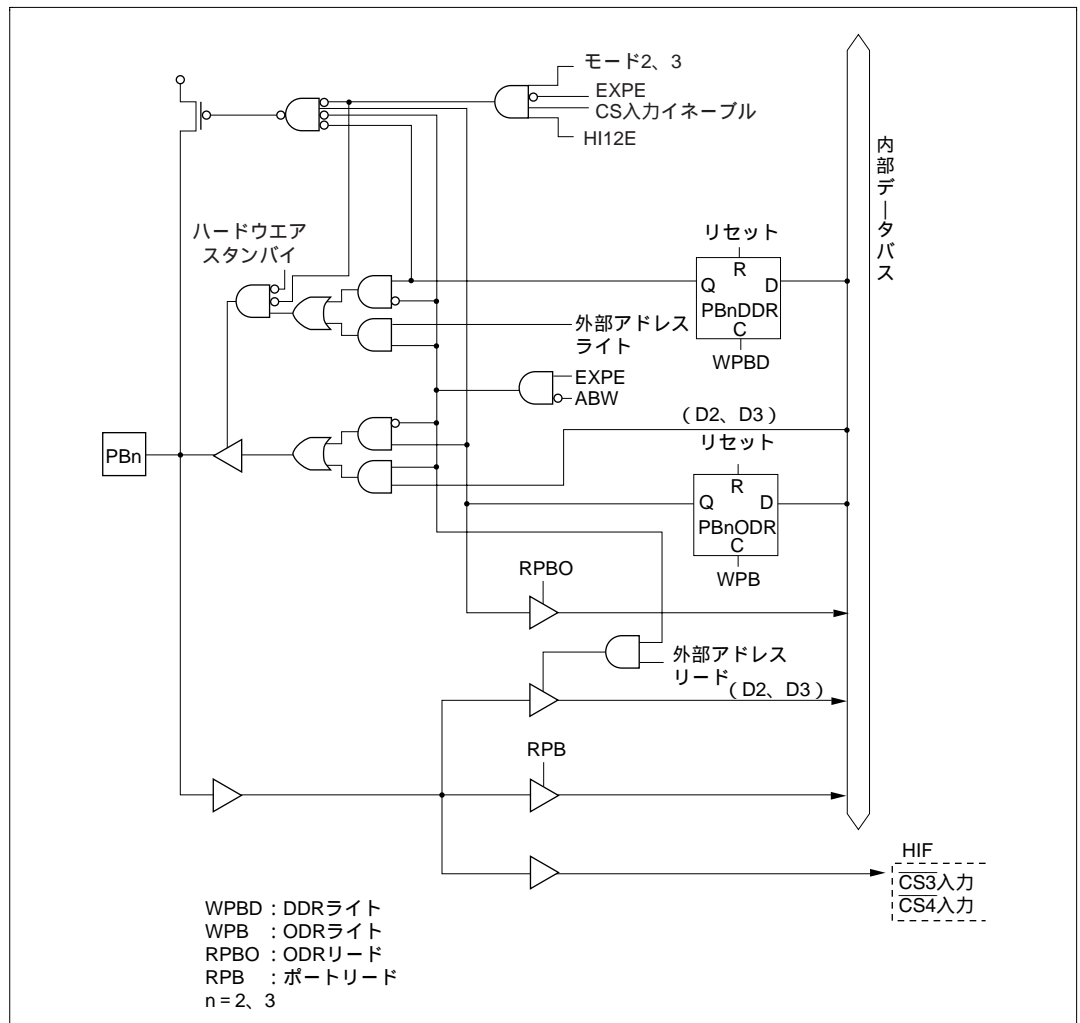


図 C.38 ポート B ブロック図 (PB2、PB3 端子)

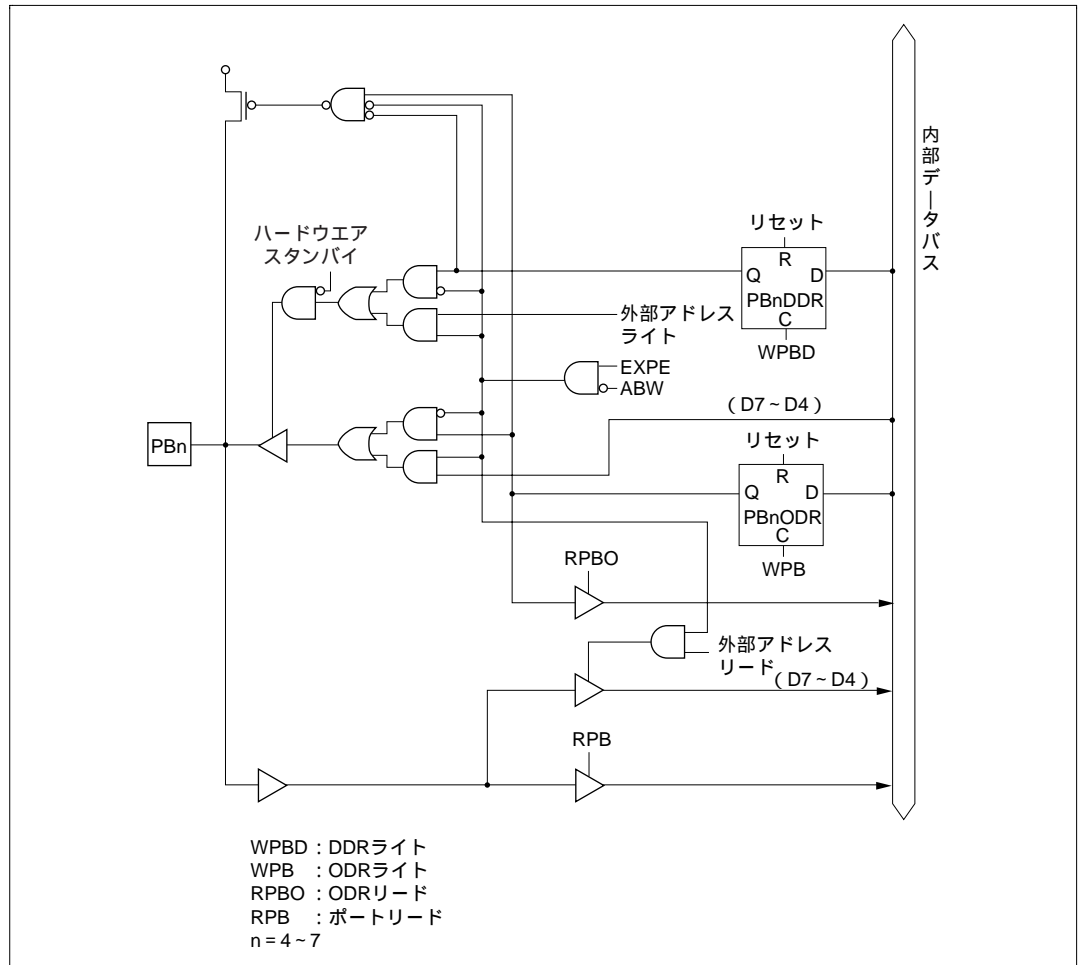


図 C.39 ポート B ブロック図 (PB4 ~ PB7 端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェ アスタンバ イモード	ソフトウェ アスタンバ イモード	ウォッチ モード	スリープ モード	サブスリープ モード	サブアクティブ モード	プログラム 実行状態	
ポート1 A7 ~ A0	1	L	T	keep*	keep*	keep*	keep*	A7 ~ A0	A7 ~ A0	
	2、3 (EXPE=1)	T						アドレス出力/ 入力ポート	アドレス出力/ 入力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポート2 A15 ~ A8	1	L	T	keep*	keep*	keep*	keep*	A15 ~ A8	A15 ~ A8	
	2、3 (EXPE=1)	T						アドレス出力/ 入力ポート	アドレス出力/ 入力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポート3 D15 ~ D8	1	T	T	T	T	T	T	D15 ~ D8	D15 ~ D8	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート4	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート5	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート6	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート7	1	T	T	T	T	T	T	入力ポート	入力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート8	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート97 WAIT	1	T	T	T / keep	T / keep	T / keep	T / keep	WAIT / 入出力ポート	WAIT / 入出力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート96 EXCL	1	クロック出力	T	[DDR=1] H	EXCL入力	[DDR=1]	EXCL入力	EXCL入力	クロック出力/ EXCL入力/ 入力ポート	
	2、3 (EXPE=1)	T		[DDR=0] T	クロック出力 [DDR=0] T	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート95 ~ 93 AS、HWR、RD	1	H	T	H	H	H	H	AS、HWR、RD	AS、HWR、RD	
	2、3 (EXPE=1)	T		keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート92 ~ 91	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート90 LWR	1	T	T	H / keep	H / keep	H / keep	H / keep	LWR / 入出力ポート	LWR / 入出力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポートA A23 ~ A16	1	T	T	keep*	keep*	keep*	keep*	入出力ポート	入出力ポート	
	2、3 (EXPE=1)							A23 ~ A16 / 入出力ポート	A23 ~ A16 / 入出力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポートB D7 ~ D0	1	T	T	T / keep	T / keep	T / keep	T / keep	D7 ~ D0 / 入出力ポート	D7 ~ D0 / 入出力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス (DDR = 0、PCR = 1 の場合、入力プルアップ MOS は、ON 状態を保持)

出力ポートは保持

なお、端子により、内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR : データディレクションレジスタ

【注】 * アドレス出力の場合、最後にアクセスしたアドレスを保持。

E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

E.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 E.1 に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、 10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。

また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、 0ns 以上としてください。

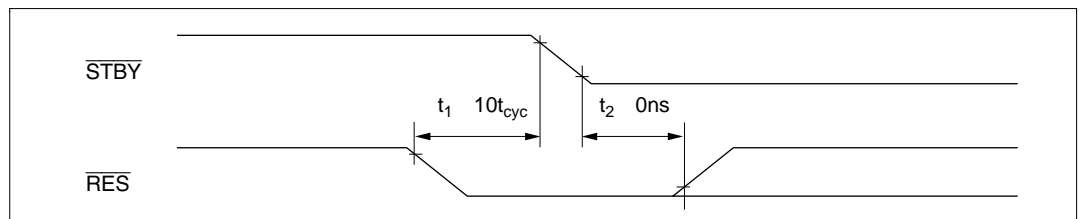


図 E.1 ハードウェアスタンバイモードの遷移タイミング

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

E.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、 100ns 以上前に $\overline{\text{RES}}$ 信号を Low にしてください。

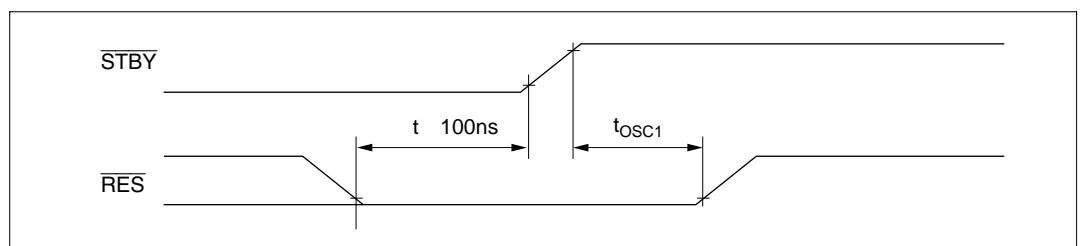


図 E.2 ハードウェアスタンバイモードからの復帰タイミング

F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

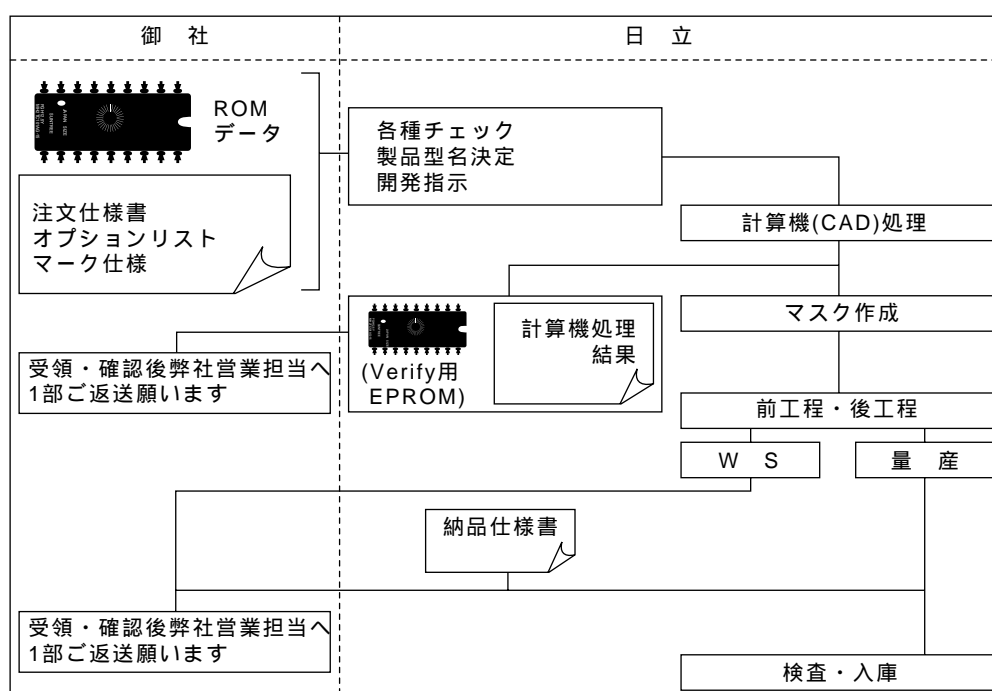


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM、または F-ZTAT™
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM、または F-ZTAT™マイコンで提出してください。なお、EPROM、または F-ZTAT™マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

G. 型名一覧

表 G.1 H8S/2148 シリーズ、H8S/2144 シリーズ型名一覧 (暫定)

製品分類				製品型名	マーク型名	パッケージ (日立パッケージコード)	備考
H8S/2148 シリーズ	H8S/2148	マスク ROM版	標準品	HD6432148S	HD6432148S(V)(***)FA	100ピン QFP(FP-100B)	
			(5V版,4V版,3V版)		HD6432148S(V)(***)TE	100ピン TQFP(TFP-100B)	
			I ² Cバスインタ フェース内蔵版 (5V版,4V版,3V版)	HD6432148SW	HD6432148S(V)W(***) FA	100ピン QFP(FP-100B)	
					HD6432148S(V)W(***) TE	100ピン TQFP(TFP-100B)	
		F-ZTAT版	標準品	HD64F2148	HD64F2148FA20	100ピン QFP(FP-100B)	
			(5V/4V版)		HD64F2148TE20	100ピン TQFP(TFP-100B)	
	低電圧版 (3V版)	HD64F2148V	HD64F2148VFA10	100ピン QFP(FP-100B)			
			HD64F2148VTE10	100ピン TQFP(TFP-100B)			
	H8S/2147	マスク ROM版	標準品	HD6432147S	HD6432147S(V)(***)FA	100ピン QFP(FP-100B)	
			(5V版,4V版,3V版)		HD6432147S(V)(***)TE	100ピン TQFP(TFP-100B)	
			I ² Cバスインタ フェース内蔵版 (5V版,4V版,3V版)	HD6432147SW	HD6432147S(V)W(***) FA	100ピン QFP(FP-100B)	
					HD6432147S(V)W(***) TE	100ピン TQFP(TFP-100B)	
F-ZTAT版 Aマスク品		標準品	HD64F2148A	HD64F2148AFA20	100ピン QFP(FP-100B)		
		(5V/4V版)		HD64F2148ATE20	100ピン TQFP(TFP-100B)		
低電圧版 (3V版)	HD64F2148AV	HD64F2148AVFA10	100ピン QFP(FP-100B)				
		HD64F2148AVTE10	100ピン TQFP(TFP-100B)				
H8S/2147A	F-ZTAT版 Aマスク品	標準品	HD64F2147A	HD64F2147AFA20	100ピン QFP(FP-100B)		
		(5V/4V版)		HD64F2147ATE20	100ピン TQFP(TFP-100B)		
		低電圧版 (3V版)	HD64F2147AV	HD64F2147AVFA10	100ピン QFP(FP-100B)		
				HD64F2147AVTE10	100ピン TQFP(TFP-100B)		
	F-ZTAT版	標準品	HD64F2147N	HD64F2147NFA20	100ピン QFP(FP-100B)		
		(5V版)		HD64F2147NTE20	100ピン TQFP(TFP-100B)		
低電圧版 (3V版)	HD64F2147NV	HD64F2147NVFA10	100ピン QFP(FP-100B)				
		HD64F2147NVTE10	100ピン TQFP(TFP-100B)				

製品分類				製品型名	マーク型名	パッケージ (日立パッケージコード)	備考
H8S/2144 シリーズ	H8S/2144	マスク ROM版	標準品 (5V版,4V版,3V版)	HD6432144S	HD6432144S(V)(***)FA	100ピン QFP(FP-100B)	
					HD6432144S(V)(***)TE	100ピン TQFP(TFP-100B)	
		F-ZTAT版	標準品 (5V/4V版)	HD64F2144	HD64F2144FA20	100ピン QFP(FP-100B)	
					HD64F2144TE20	100ピン TQFP(TFP-100B)	
			低電圧版 (3V版)	HD64F2144V	HD64F2144VFA10	100ピン QFP(FP-100B)	
					HD64F2144VTE10	100ピン TQFP(TFP-100B)	
	H8S/2143	マスク ROM版	標準品 (5V版,4V版,3V版)	HD6432143S	HD6432143S(V)(***)FA	100ピン QFP(FP-100B)	
					HD6432143S(V)(***)TE	100ピン TQFP(TFP-100B)	
	H8S/2142	マスク ROM版	標準品 (5V版,4V版,3V版)	HD6432142	HD6432142(***)FA	100ピン QFP(FP-100B)	
					HD6432142(***)TE	100ピン TQFP(TFP-100B)	
		F-ZTAT版	標準品 (5V/4V版)	HD64F2142R	HD64F2142RFA20	100ピン QFP(FP-100B)	
					HD64F2142RTE20	100ピン TQFP(TFP-100B)	
低電圧版 (3V版)			HD64F2142RV	HD64F2142RVFA10	100ピン QFP(FP-100B)		
				HD64F2142RVTE10	100ピン TQFP(TFP-100B)		
H8S/2144A	F-ZTAT版	標準品 (5V/4V版)	HD64F2144A	HD64F2144AFA20	100ピン QFP(FP-100B)		
				HD64F2144ATE20	100ピン TQFP(TFP-100B)		
	Aマスク品	低電圧版 (3V版)	HD64F2144AV	HD64F2144AVFA10	100ピン QFP(FP-100B)		
				HD64F2144AVTE10	100ピン TQFP(TFP-100B)		

【注】 (***)はROMコードです。

H8S/2148のF-ZTAT版にはI²Cバスインタフェースを標準で内蔵しています。

F-ZTAT版の5V/4V版は5V版と4V版の動作範囲をサポートしています。

F-ZTAT版の低電圧版の動作範囲は別途定めます。

上記製品は開発中、計画中の製品も含まれます。各製品の状況につきましては当社営業担当者に確認してください。

H. 外形寸法図

H8S/2148 シリーズ、H8S/2144 シリーズ、H8S/2147N の外形寸法図を図 H.1、図 H.2 に示します。

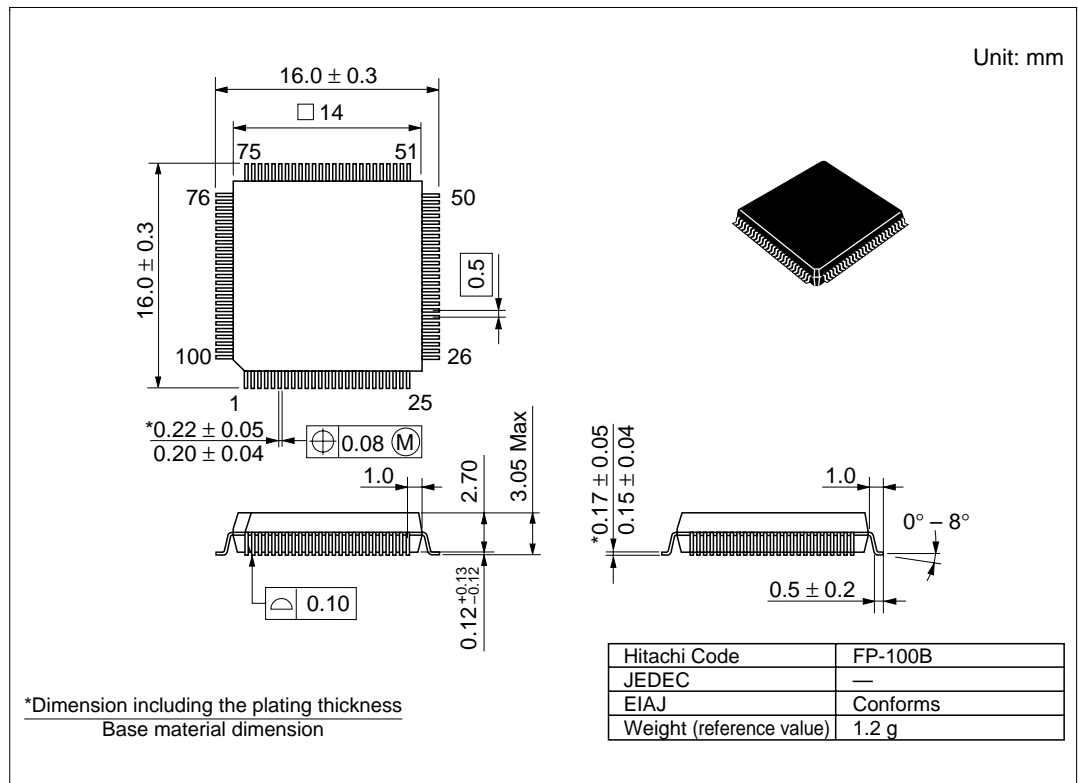


図 H.1 FP-100B の外形寸法図

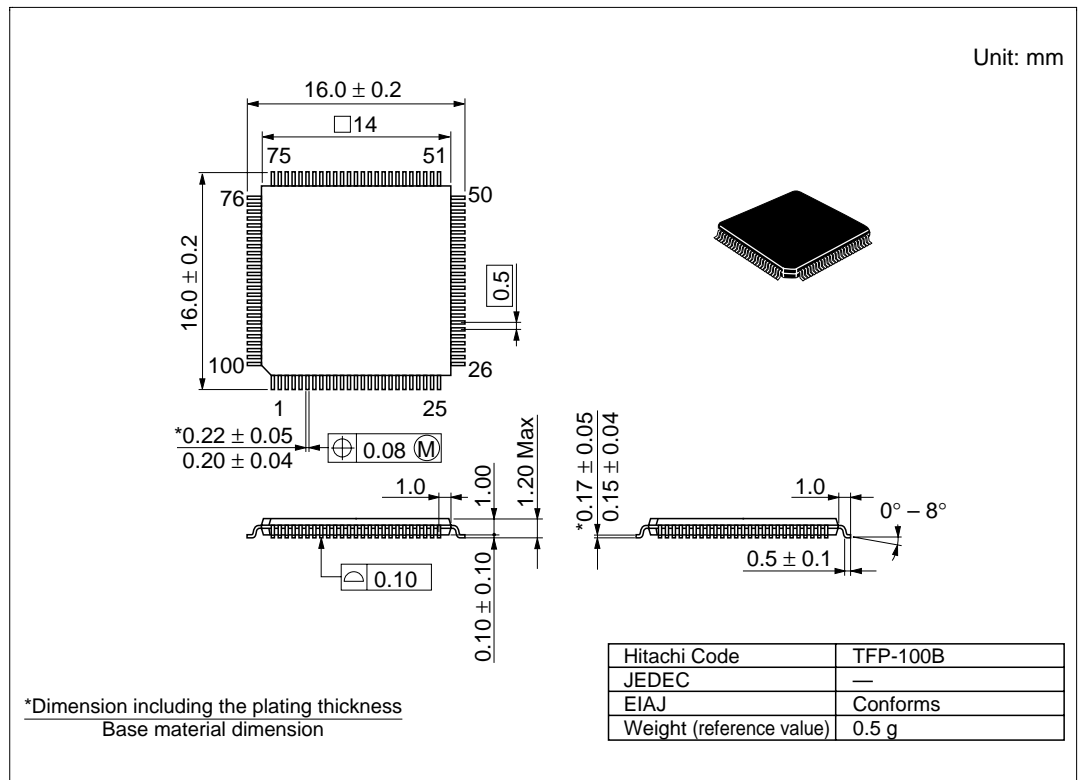


図 H.2 TFP-100B の外形寸法図