



三洋半導体ニュース

半導体ニュース No. N7933 とさしかえてください。

N



LC67F5104A

CMOS LSI
FROM512Kバイト, SRAM16Kバイト内蔵
32ビット1チップ
マイクロコントローラ

概要

LC67F5104Aは、100ピンのパッケージに英国ARM社製のCPUであるARM7TDMI[®], 4MビットフラッシュROM, 128kビットSRAM, DMAコントローラ, 割り込みコントローラ, I/Oポート, シリアルインタフェース, 8ビットADコンバータ, タイマ等の多彩な外部周辺機能を内蔵し, CD-R/RW, DVD等の制御に最適なCMOS 32ビットRISCマイクロコンピュータである。

特長

動作電源電圧 : 2.25 ~ 2.75V(I/O, ADC 3.0 ~ 3.6V)

動作保証温度 : 0 ~ 75

パッケージ : TQFP100

CPUコア : ARM7TDMI[®] (32ビットRISC)

フラッシュROM : 4Mビット内蔵(書き換え保証1000回)

SRAM : 128Kビット内蔵

最大動作周波数

発振源	CFまたは外部クロック印加時	18MHz
	内蔵RC発振	1MHz(Typ)

システムクロックは上記発振周波数に対し1/1, 1/2, 1/4, 1/8の切換えが可能

リセット時とスタンバイ解除時は内蔵RCが自動的に選択される

クロック切換えはプログラマブル

フラッシュのプロテクト領域

16Kバイト(4Mビット空間の最終アドレスに配置)

この領域はCPU動作モード時の書き換えは不可、Flash ROMモード時のみ書き換え可能

ポート

入出力ポート 68本 入力ポート 8本



ARMおよびARM7TDMIはARM Limitedの登録商標です。

本製品は米国SST社(Silicon Storage Technology, Inc.)からライセンスを受けたフラッシュ技術を用いています。

- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

LC67F5104A

シリアルインタフェース

- ・ クロック同期三線式全二重タイプ 1チャンネル
- 転送データ長切換え 8ビット/16ビット
- 転送クロック 内部/外部切換え
 - 内部クロックは専用ボーレートジェネレータにより8×システムクロック～1024×システムクロックが選択可能
- 転送クロックの極性切換え
 - 非通信時のクロック端子レベルの選択
- LSB/MSBの先頭切換え
- エラー検出
 - オーバーランエラー
 - 受信レジスタオーバーライトエラー

UART

- ・ UART全二重タイプ 1チャンネル
- 転送レート切換え
 - 専用ボーレートジェネレータにより16×システムクロック～4096×システムクロックが選択可能 (UART規格 110bps～115200bpsに対し18MHz動作で4288bps～1070000bpsまで対応)

動作周波数	18MHz			17.2872MHz		
	設定値	転送レート	誤差(%)	設定値	転送レート	誤差(%)
4800	22	4808	+0.16	31	4802	+0.04
9600	139	9615	+0.16	143	9562	-0.40
19200	197	19068	-0.69	200	19294	+0.49
38400	227	38793	+1.02	228	38588	+0.49
57600	236	56250	-2.34	237	56866	-1.27
115200	246	112500	-2.34	247	120050	+4.21
230400	251	225000	-2.34	251	216090	-6.21

設定値 = 256 - (動作周波数 / (16 × ビットレート))

転送レート = 動作周波数 / (16 × (256 - 設定値))

誤差 = (転送レート - ビットレート) / ビットレート × 100

- ストップビット選択機能 1ビットストップ/2ビットストップ
- データ長選択機能 7/8ビット切換え
- パリティ設定機能 偶数パリティ/奇数パリティ/パリティ無し
- 全二重ダブルバッファ方式
 - データの連続送受信が可能
- エラー検出
 - パリティエラー
 - フレミングエラー
 - 受信レジスタオーバーライトエラー

ブレンタイム

- ・ ウォッチドックタイマ
- 8ビットのボーレートジェネレータ+16ビットカウンタによるウォッチドックタイマ
- カウントクロックソースはシステムクロックの1/1, 1/2, 1/4, 1/8から選択可能
- 18MHz動作で最大14.4秒
- オーバーフローでリセット信号を発生するか、割り込みを要求するか選択可能

次ページへ続く。

前ページより続く。

- ・16ビットのベーシックタイマ
カウントクロックソースはシステムクロックの1/1, 1/2, 1/4, 1/8から選択可能
これにより18MHz動作で2.5/5/10/20msの周期が選択可能
オーバーフローで割り込み要求

ADC

- ・8ビット8チャンネル入力
- ・逐次比較方式
- ・Vref入力(Vref入力レベルは2.9V ~ AV_{CC}レベル)
- ・AD変換終了割り込み
- ・変換時間：約5.33 μ s(18MHz動作時)
- ・スキャンモード

DMAC

- ・2チャンネル、独立動作可能
- ・ASBバス側のメモリ \leftrightarrow メモリ転送
- ・ASBバスにメモリマップされたデバイス \leftrightarrow メモリ転送
- ・転送データサイズはバイト/ハーフワード(2バイト)/ワード(4バイト)が選択可能

割り込み

- ・外部割り込み(7要因)と内部割り込み(23要因)の計30要因
- ・2つのベクタアドレス(FIQベクタ, IRQベクタ)
FIQはIRQに比べ割り込みの優先度が高い
- ・7本の外部割り込み端子(HPIRQ, EXT0IRQ ~ EXT5IRQ)は全て立ち上がりエッジ/Lレベルセンス,
立ち上がりエッジ/Hレベルセンスの選択が可能
- ・全ての外部割り込み(HPIRQ, EXT0IRQ ~ EXT5IRQ)のレベルセンスでスタンバイ状態の解除が可能
- ・HPIRQ割り込み以外の割り込みに対して、各割り込み要因ごとに割り込み要求の許可/禁止が可能
- ・HPIRQ割り込み以外の割り込みの要求を一括して許可/禁止することが可能
- ・HPIRQ割り込み以外の割り込みに対して、各割り込み要因ごとにFIQ/IRQのベクタを選択することが可能
- ・HPIRQ割り込みはFIQベクタ固定、ベクタの選択はHPIRQ割り込み以外の割り込みを全て禁止した状態でのみ選択可能
- ・割り込み要因を識別するためのステータスレジスタ

パワーセーブ

- ・3種類の低消費電力機能
スリープモード/ソフトウェアスタンバイモード/ハードウェアスタンバイモード
- ・モジュールスタンバイ機能
シリアルインタフェース, UART, マルチプルタイマ, プレーンタイマ, ADCに供給するクロックをプログラムにより停止可能

マルチプルタイマ

5チャンネルの16ビットタイマを内蔵

- ・最大12種類のパルス出力、または最大10種類のパルス入力処理が可能
- ・各チャンネルとも8種類のカウント入力クロックを選択可能
内部クロック： ϕ , $\phi/2$, $\phi/4$, $\phi/8$
外部クロック：TCK1, TCK2, TCK3, TCK4

次ページへ続く。

前ページより続く。

- ・各チャンネルとも次の動作モードを設定可能
 - PCS(Phase Control Signal)による波形出力
 - 0出力/1出力/トグル出力が選択可能(チャンネル2は0出力/1出力が可能)
 - PLS(Pulse Length Scaler)機能
 - 立ち上がりエッジ/立ち下がりエッジ/両エッジ検出が選択可能
 - カウンタクリア機能
 - PCS/PLSによるカウンタクリアが可能
 - 同期動作
 - 複数のタイマカウンタ(TCNT)への同時書き込みが可能
 - PCS/PLSによる同時クリアが可能
 - カウンタの同期動作による各レジスタの同期入出力が可能
 - PWMモード
 - 任意デューティのPWM出力が可能
 - 同期動作と組み合わせることにより、最大5相のPWM出力が可能
- ・チャンネル3,4は次の動作モードを設定可能
 - リセット同期PWMモード
 - チャンネル3,4を組み合わせることにより、正相/逆相のPWM波形を3相出力可能
 - 相補PWMモード
 - チャンネル3,4を組み合わせることにより、正相/逆相がノンオーバーラップの関係にあるPWM波形を3相出力可能
- ・バッファ動作
 - PLSのダブルバッファ構成が可能
 - PCSレジスタの自動書き換えが可能
- ・割り込み
 - 各チャンネルともPCS/PLS兼用割り込み×2要因、オーバーフロー割り込み×1要因があり、それぞれ独立に要求可能

メモリ空間の概要

メモリ空間は内部/外部の各々1Gバイトのメモリ空間から構成される

外部メモリ空間は256Mバイト空間からなる4つのエリア(エリア3~0)で構成される

本LSIは各々16Mバイト空間まで使用可能である

・メモリマッピング

メモリマッピング表

空間	アドレス	内容	備考
外部	7FFF FFFFh ~ 7000 0000h	外部メモリ(エリア3)	
	6FFF FFFFh ~ 6000 0000h	外部メモリ(エリア2)	
	5FFF FFFFh ~ 5000 0000h	外部メモリ(エリア1)	
	4FFF FFFFh ~ 4000 0000h	外部メモリ(エリア0)	
内部	3FFF FFFFh ~ 2200 0000h	アクセス禁止(Reserved)	
	21FF FFFFh ~ 2000 0000h	周辺I/O、レジスタ等	
	1FFF FFFFh ~ 1400 0000h	アクセス禁止(Reserved) 一部レジスタ有り	
	13FF FFFFh ~ 1000 0000h	内蔵RAM空間	
	0FFF FFFFh ~ 0000 0000h	内蔵ROM空間	

LC67F5104A

・内部メモリ空間の構成

メモリアドレス空間のうち3FFF FFFF ~ 0000 0000は1Gバイトの内部メモリ空間である。
この空間に内蔵ROM(Flash ROM)、内蔵RAM、周辺I/Oレジスタ等のメモリが割り当てられている。

空間	アドレス	内容	備考
予約	3FFF FFFFh ~ 2001 0000h	アクセス禁止(Reserved)	
周辺I/O、 レジスタ等	2000 FFFFh ~ 2000 0000h	周辺I/O、レジスタ等	
予約	1FFF FFFFh ~ 1400 4000h	アクセス禁止(Reserved)	
レジスタ等	1400 3FFFh ~ 1400 3000h	レジスタ等	
予約	1400 2FFFh ~ 1400 2000h	アクセス禁止(Reserved)	
レジスタ等	1400 1FFFh ~ 1400 0000h	レジスタ等	
内蔵RAM空間	13FF FFFFh ~ 1000 4000h	アクセス禁止(Reserved)	
	1000 3FFFh ~ 1000 0000h	内蔵RAM空間	16Kバイト
内蔵ROM	0FFF FFFFh ~ 0008 0000h	アクセス禁止(Reserved)	
	0007 FFFFh ~ 0000 0000h	内蔵Flash ROM空間	512Kバイト

・外部メモリ空間の構成

外部メモリ空間としてエリア3 ~ エリア0の4つのエリアが割り当てられている。

エリア0はリセット時の外部ROM動作にも使われる。

各エリアは独立したセレクト信号を持ち(nCS3 ~ nCS0)、エリアごとにウェイト数が設定できる。

空間	アドレス	内容	備考
エリア3	7FFF FFFFh ~ 7100 0000h	アクセス禁止(Reserved)	
	70FF FFFFh ~ 7000 0000h	外部メモリ(エリア3)	16Mバイト
エリア2	6FFF FFFFh ~ 6100 0000h	アクセス禁止(Reserved)	
	60FF FFFFh ~ 6000 0000h	外部メモリ(エリア2)	16Mバイト
エリア1	5FFF FFFFh ~ 5100 0000h	アクセス禁止(Reserved)	
	50FF FFFFh ~ 5000 0000h	外部メモリ(エリア1)	16Mバイト
エリア0	4FFF FFFFh ~ 4100 0000h	アクセス禁止(Reserved)	
	40FF FFFFh ~ 4000 0000h	外部メモリ(エリア0)	16Mバイト

外部メモリへのアクセス

・ウェイト制御について

各エリアのウェイトステートサイクルの設定は専用のレジスタにてプログラマブルに制御可能。
設定できるウェイト数は0/1/2/3/4/5/6/7の8通り(ライト時は1~7)。

また、外部から印加されるウェイト制御信号にて、すでにレジスタで設定されているウェイト数
に対し、さらにウェイトを付加する事ができる。

本機種でシステムクロックにCF(1/1分周)を選択した場合は、リード時も1以上のウェイトを設定
する必要がある。

注意

外部メモリのウェイト設定によっては、スタンバイ制御時に注意が必要になります。
詳細は、ユーザズ・マニュアルをご参照ください。

・外部メモリに対するデータアクセスについて

外部メモリからのRead

取り扱うデータの種類	8ビットデバイス接続時	16ビットデバイス接続時
8ビットデータ	1バイト単位で1回読み出し	1バイト単位で1回読み出し
16ビットデータ	1バイト単位で2回読み出し	2バイト単位で1回読み出し
32ビットデータ	1バイト単位で4回読み出し	2バイト単位で2回読み出し

LC67F5104A

外部メモリへのWrite

取り扱うデータの種類	8ビットデバイス接続時	16ビットデバイス接続時
8ビットデータ	1バイト単位で1回書き込み	1バイト単位で1回書き込み
16ビットデータ	1バイト単位で2回書き込み	2バイト単位で1回書き込み
32ビットデータ	1バイト単位で4回書き込み	2バイト単位で2回書き込み

注意

外部デバイスの構成によっては注意が必要になります。詳細は、ユーザズ・マニュアルをご参照ください。

外部ROM動作モード

リセット時のモード制御端子(M2、M1、M0)の設定により以下の7通りのモードを選択する事ができる。

外部ROM動作は外部データバス幅とアクセスできるメモリ空間から6種類を設定できる。

リセット時の外部ROM動作を選択する場合は必ずエリア0の空間が選択される。

No.	動作モード	M2	M1	M0	Boot時の 外部メモリ空間	外部データバス幅	アドレス出力
1	内蔵ROM動作	0	0	0		1	1
2	外部ROM動作1	0	0	1	1Mバイト	8ビット	A19 ~ A0
3	外部ROM動作2	0	1	0	8Mバイト	8ビット	A22 ~ A0
4	外部ROM動作3	0	1	1	16Mバイト	8ビット	A23 ~ A0
5	外部ROM動作4	1	0	0	1Mバイト	16ビット	A19 ~ A0
6	外部ROM動作5	1	0	1	8Mバイト	16ビット	A22 ~ A0
7	外部ROM動作6	1	1	0	16Mバイト	16ビット	A23 ~ A0
		1	1	1	禁止	禁止	禁止

1 内蔵ROM動作時アドレスA23 ~ A0と通常のI/Oポートの選択はプログラマブル

(デフォルトはポート入力)

内蔵ROM動作時データバス幅の設定とI/Oポートの選択はプログラマブル

(デフォルトはポート入力)

外部ROM 動作モード時のデータアクセス

取り扱うデータの種類	8ビットデバイス接続時	16ビットデバイス接続時
8ビットデータ	バイト単位で1回読み出し	バイト単位で1回読み出し
16ビットデータ	バイト単位で2回読み出し	2バイト単位で1回読み出し
32ビットデータ	バイト単位で4回読み出し	2バイト単位で2回読み出し

注意

本機種はThumb命令を使う場合でもリセット解除後はまずARM命令が実行されます。その後Thumb命令による実行モードに遷移します。外部ROMによるBoot時も同様です。リセット後の外部ROM動作モードはRC発振が選択されているため、1アクセスにおけるウェイトは入りません。必要に応じてクロックをCFに切替える前にプログラムにより、ウェイトを設定して下さい。

LC67F5104A

オンボード書き換え

内蔵フラッシュROMのデータをオンボードで書き換えるためのブート領域が16Kバイト用意されている。アドレス0x7C000～0x7FFFFがブートプログラム用エリアである。このエリアはCPUモードではイレース/ライトができない。従って、通常動作プログラムエリアは0x00000～0x7BFFFの496Kバイトとなる。

・オンボードプログラミング

BOOT端子をHighレベルに固定した状態でリセットすると、CPUは0x7C000からスタートする。ブートプログラムにより、シリアル転送等で書き換え用プログラムデータを内蔵RAMへ格納する。その後RAM領域にジャンプし、書き換え用プログラムが動作する事で内蔵フラッシュROMのデータを書き換える。RAM領域にジャンプしたら必ずフラッシュ書き換えルーチンに入る前に、ブート制御レジスタフラグをセットするようにプログラムを作成しなければならない。

注意

オンボード書き換えに関しては、パソコン側のソフトも必要となりますので、事前に弊社営業担当者にご相談ください。

内蔵Flash ROM書き込み方法

LC67F5104Aの内蔵Flash ROMに対してデータの書き込み/読み出しを行なう場合、専用の変換基板(W67F5106TQ)を用いることにより、汎用のFlash ROMライターを使用可能。

(1)変換基板の名称

W67F5106TQ

(2)使用可能なFlashライター

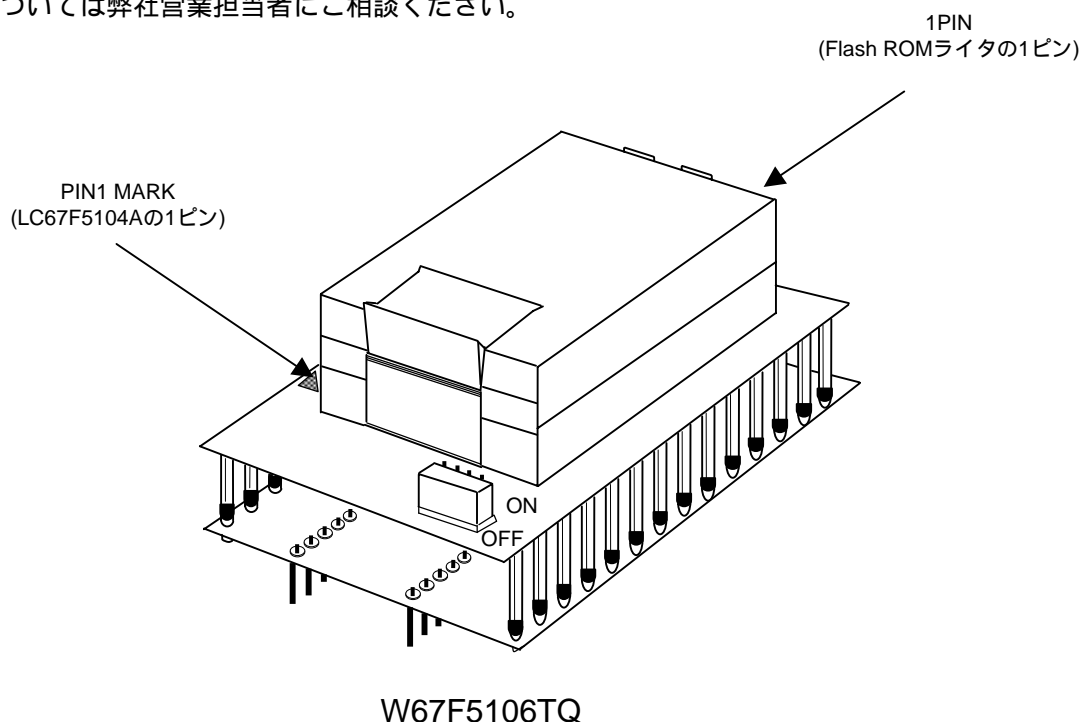
メーカー	モデル	対応バージョン	デバイスコード
安藤	AF-9708 AF-9709 AF-9709B	Rev.02.6以降	3B20B

開発ツール

- ・エミュレータ：ワイ・ディ・シー社製 ADVICE (PW920)
ソフィアシステムズ社製 (uniSTAC for SANYO-S1)

フラッシュメモリ書き込み

弊社ではフラッシュメモリの書き込みから捺印までを有料で行なうサービスを実施しています。詳細については弊社営業担当者にご相談ください。

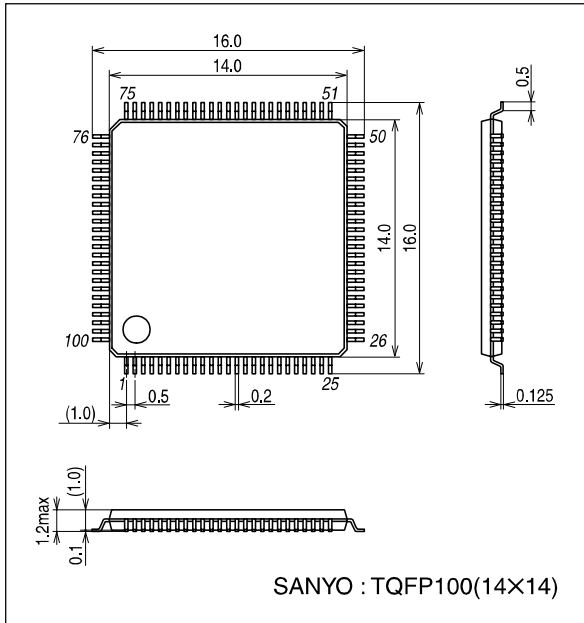


LC67F5104A

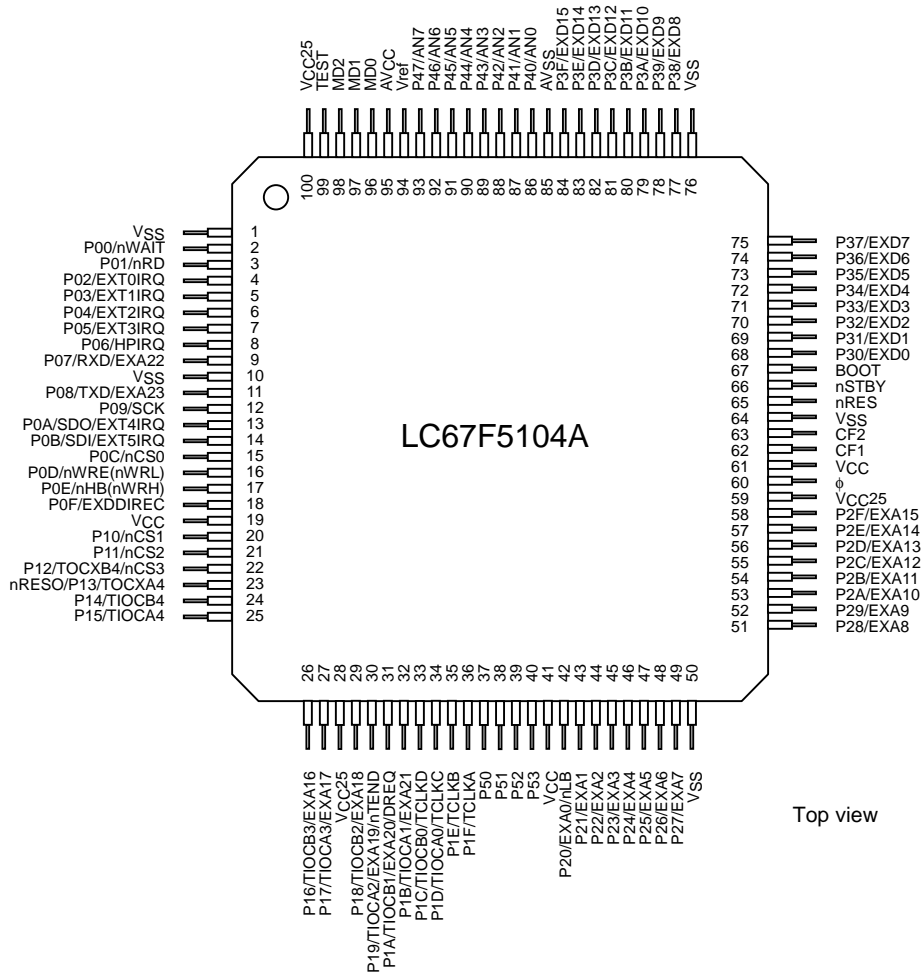
外形図

unit:mm

3274

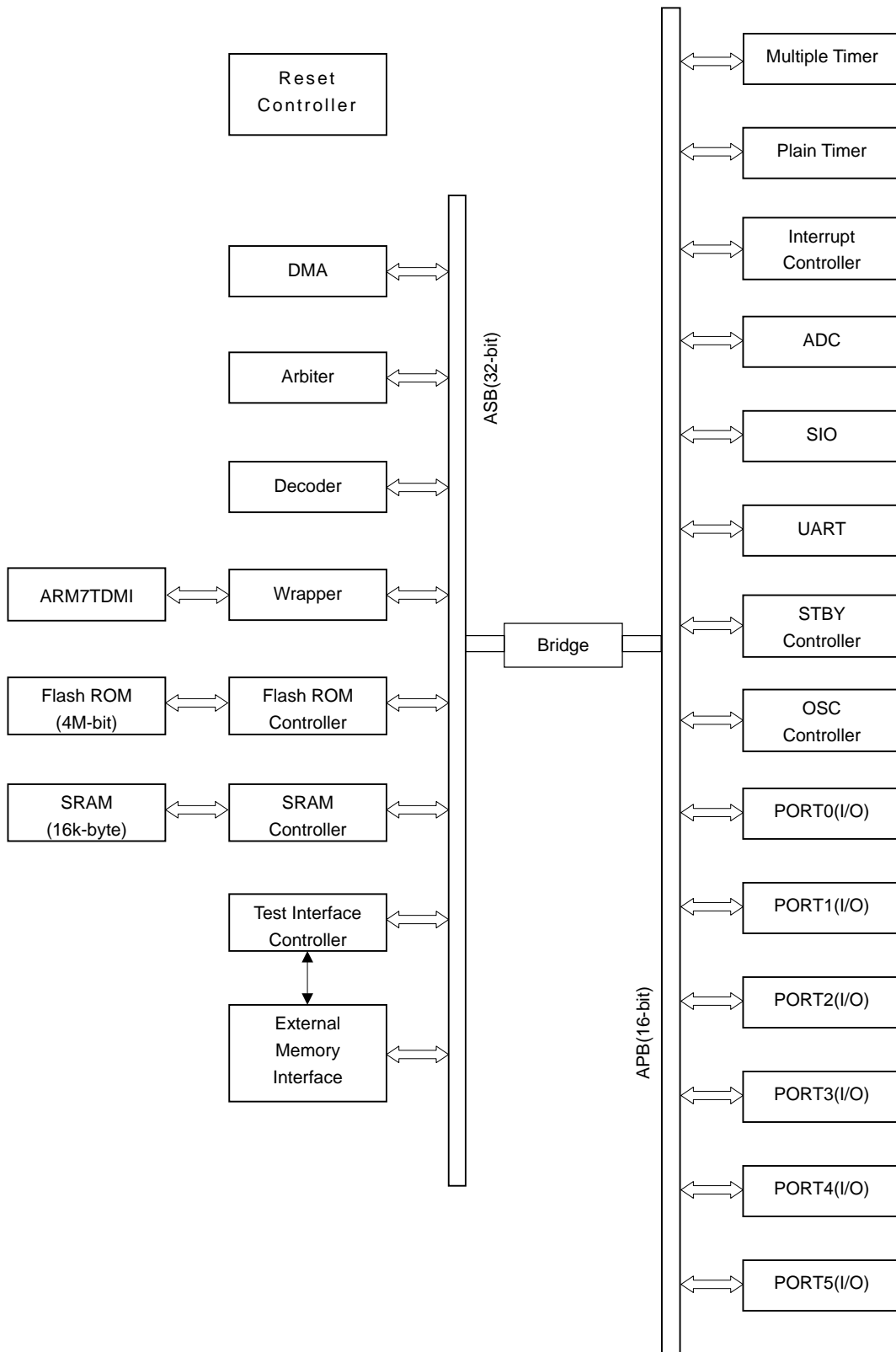


ピン配置図 「鉛フリー対応品」



LC67F5104A

システムブロック図



LC67F5104A

端子機能表

項目	端子名	端子番号	入出力	機能説明																																				
電源	VCC	19、41、61	-	3.3V電源 電源3.3Vに接続する。																																				
	VCC25	28、59、100	-	2.5V電源 電源2.5Vに接続する。																																				
	VSS	1、10、50、64、76	-	電源 電源(0V)に接続する。																																				
クロック	CF1	62	入力	CF発振子端子 CF発振子を接続する。 外部クロック入力端子として使うことも可能である。																																				
	CF2	63	出力	CF発振子端子 CF発振子を接続する。																																				
	φ	60	出力	システムクロック システムクロックを出力する。																																				
動作モード コントロール	MD2 ~ MDO	98、97、96	入力	<p>モード端子 内部ROMモードと外部ROMモードを設定する。 外部ROMモード時のアクセス空間、データバス幅の設定も 行なう。</p> <ul style="list-style-type: none"> ・内蔵ROM動作 リセット後内蔵されているフラッシュROMが選択される。 ・外部ROM動作1~6 リセット後外部エリア0に接続されたROMが選択される。 これらの端子は動作中に変化させないこと。 <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>M2</th> <th>M1</th> <th>M0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>内蔵ROM動作</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>外部ROM動作1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>外部ROM動作2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>外部ROM動作3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>外部ROM動作4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>外部ROM動作5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>外部ROM動作6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>禁止</td> </tr> </tbody> </table>	M2	M1	M0	動作モード	0	0	0	内蔵ROM動作	0	0	1	外部ROM動作1	0	1	0	外部ROM動作2	0	1	1	外部ROM動作3	1	0	0	外部ROM動作4	1	0	1	外部ROM動作5	1	1	0	外部ROM動作6	1	1	1	禁止
	M2	M1	M0	動作モード																																				
0	0	0	内蔵ROM動作																																					
0	0	1	外部ROM動作1																																					
0	1	0	外部ROM動作2																																					
0	1	1	外部ROM動作3																																					
1	0	0	外部ROM動作4																																					
1	0	1	外部ROM動作5																																					
1	1	0	外部ROM動作6																																					
1	1	1	禁止																																					
	BOOT	67	入力	BOOT端子 通常「Low」、ブートモード時「High」																																				
システム制御	nRES	65	入力	リセット入力 この端子がLowレベルになると、リセット状態となる。																																				
	nRES0	23	出力	リセット出力 外部デバイスに対し、リセット信号を出力する。																																				
	nSTBY	66	入力	スタンバイ この端子がLowレベルになると、ハードウェアスタンバイ モードに遷移する。																																				
割り込み	HPIRQ	8	入力	最優先外部割り込み要求 FIQ固定である。																																				
	EXT5IRQ ~ EXT0IRQ	14、13、7、6、5、4	入力	外部割り込み要求5~0 FIQ、IRQのプログラマブル設定が可能である。																																				

次ページへ続く。

LC67F5104A

前ページより続く。

分類	記号	ピン番号	入出力	名称および機能
タイマ	TCLKD ~ TCLKA	33 ~ 36	入力	クロック入力D ~ A 外部クロックを入力する。
	T10CA4 ~ T10CA0	25, 27, 30, 32, 34	入出力	インプットキャプチャ/アウトプットコンペアA4 ~ A0 GRA4 ~ A0のアウトプットコンペア出力/インプットキャプチャ入力/PWM出力端子である。
	T10CB4 ~ T10CB0	24, 26, 29, 31, 33	入出力	インプットキャプチャ/アウトプットコンペアB4 ~ B0 GRB4 ~ B0のアウトプットコンペア出力/インプットキャプチャ入力/PWM出力端子である。
	TOCX A4	23	出力	アウトプットコンペアXA4 PWM出力端子である。
	TOCX B4	24	出力	アウトプットコンペアXB4 PWM出力端子である。
シリアル インタフェース	SDI	14	入力	受信データ シリアルインタフェースのデータ入力端子である。
	SDO	13	出力	送信データ シリアルインタフェースのデータ出力端子である。
	SCK	12	入出力	通信用クロック シリアルインタフェースクロック入出力端子である。
UART	TXD	11	出力	送信データ UARTのデータ出力端子である。
	RXD	9	入力	受信データ UARTのデータ入力端子である。
A/D変換器	AN7 ~ AN0	93 ~ 86	入力	アナログ7 ~ 0 アナログ入力端子である。
	AVCC	95	入力	A/D変換器の電源(3.3V)端子 A/D変換器を使用しない場合はシステムの電源(+3.3V)に接続する。
	AVSS	85	入力	A/D変換器のグランド端子 システム電源(0V)に接続する。
	Vref	94	入力	A/D変換器の基準電圧入力端子 A/D変換器を使用しない場合はシステムの電源(+3.3V)に接続する。
アドレスバス	EXA23 ~ EXA0	11, 9, 32 ~ 29, 27, 26, 58 ~ 51, 49 ~ 42	出力	外部アドレスバス 外部メモリ空間をアクセスするためのアドレスバスを出力する。
データバス	EXD15 ~ EXD0	84 ~ 77, 75 ~ 68	入出力	外部データバス 外部メモリデバイスのための双方向データバスである。
バス制御	nCS3 ~ nCS0	22, 21, 20, 15	出力	チップセレクト 外部メモリ空間3 ~ 0の選択信号である。
	EXDDI REC	18	出力	外部データバス方向 選択された外部メモリ空間へのアクセスがリード方向であるか、ライト方向であるかを示す。
	nRD	3	出力	リード この端子がLowレベルである時、選択されている外部アドレス空間がリード状態であることを示す。
	nWRE	16	出力	ライトイネーブル この端子がLowレベルである時、選択されている外部アドレス空間がライト状態であることを示す。

次ページへ続く。

LC67F5104A

前ページより続く。

分類	記号	ピン番号	入出力	名称および機能
バス制御	nWRL	16	出力	ライトイネーブルLowシグナル 外部デバイスの下位バイトをライトイネーブルにする。
	nWRH	17	出力	ライトイネーブルHighシグナル 外部デバイスの上位バイトをライトイネーブルにする。
	nLB	42	出力	Lowバイトセレクト 外部メモリデバイスの下位バイトをセレクトする。
	nHB	17	出力	Highバイトセレクト 外部メモリデバイスの上位バイトをセレクトする。
	nWAIT	2	入力	ウェイト 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求する。
DMAC	nTEND	30	出力	DMA終了
	DREQ	31	入力	DMA要求
I/Oポート	P00 ~ P0F	2 ~ 9, 11 ~ 18	入出力	ポート0 16ビットの入出力端子である。 1ビットごとに入出力を指定できる。
	P10 ~ P1F	20 ~ 27, 29 ~ 36	入出力	ポート1 16ビットの入出力端子である。 1ビットごとに入出力を指定できる。
	P20 ~ P2F	42 ~ 49, 51 ~ 58	入出力	ポート2 16ビットの入出力端子である。 1ビットごとに入出力を指定できる。
	P30 ~ P3F	68 ~ 75, 77 ~ 84	入出力	ポート3 16ビットの入出力端子である。 1ビットごとに入出力を指定できる。
	P40 ~ P47	86 ~ 93	入力	ポート4 8ビットの入力端子である。
	P50 ~ P53	37 ~ 40	入出力	ポート5 4ビットの入出力端子である。 1ビットごとに入出力を指定できる。
テスト	TEST	99	入力	テスト端子 通常モード時「Low」 テストモード時「High」

LC67F5104A

絶対最大定格/Ta=25 , V_{SS}=0V

項目	記号	適用端子・備考	条件	規格	unit
最大電源電圧	V _{CC max}	V _{CC}		- 0.3 ~ + 4.0	V
	V _{CC25 max}	V _{CC25}		- 0.3 ~ + 3.0	V
入力電圧	V _I	全入力専用端子		- 0.3 ~ V _{CC} + 0.3	V
入出力電圧	V _{IO}	全入出力端子		- 0.3 ~ V _{CC} + 0.3	V
高レベル出力ピーク電流	I _{OPH}	全出力、入出力端子	適用1端子当り	10	mA
高レベル合計出力電流	ΣI _{OAH}	全出力、入出力端子の合計	適用全端子合計	80	mA
低レベル出力ピーク電流	I _{OPL}	全出力、入出力端子	適用1端子当り	10	mA
低レベル合計出力電流	ΣI _{OAL}	全出力、入出力端子の合計	適用全端子合計	120	mA
	ΣI _{OAL1}	P00 ~ P0F, P10 ~ P17	適用全端子合計	60	mA
	ΣI _{OAL2}	P18 ~ P1F, P50 ~ P53, P20 ~ P2F	適用全端子合計	60	mA
	ΣI _{OAL3}	P30 ~ P3F	適用全端子合計	60	mA
リファレンス電圧	V _{ref}	V _{ref} 1		- 0.3 ~ AV _{CC} + 0.3	V
アナログ電源電圧	AV _{CC max}	AV _{CC} 1		- 0.3 ~ + 4.0	V
アナログ入力電圧	V _{AN}	各アナログ入力端子		- 0.3 ~ AV _{CC} + 0.3	V
許容消費電力	P _{d max}	TQFP100	Ta=0 ~ + 75	500	mW
動作周囲温度	T _{opr}			0 ~ + 75	
保存周囲温度	T _{stg}			- 55 ~ + 125	

1 : A/D変換器を使用しない場合やスタンバイ状態であってもAV_{CC}, V_{ref}は、必ず電源(V_{CC})に接続しなければならない。

DC特性/Ta=0 ~ + 75 , V_{SS}=0V

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
動作電源電圧(I/O, ADC)	V _{CC} , AV _{CC}	V _{CC} , AV _{CC}		3.0	3.3	3.6	V
動作電源電圧(内部)	V _{CC25}	V _{CC25}		2.25	2.5	2.75	V
高レベル入力電圧	V _{IH1}	P00 ~ P0F, P10 ~ P1F, P20 ~ P2F P30 ~ P3F, P40 ~ P47, P50 ~ P53 CF1(外部クロック入力)		0.75V _{CC}		V _{CC}	V
	V _{IH2}	nRES、nSTBY、TEST、MDO、MD1、 MD2		0.80V _{CC}		V _{CC}	
低レベル入力電圧	V _{IL}	全入力、入出力端子 CF1(外部クロック入力)		V _{SS}		0.15V _{CC}	V
シュミットトリガ電圧	V _{SH}	全入力、入出力端子			0.1V _{CC}		V
高レベル出力電圧	V _{OH1}	全出力、入出力端子 (φ、P50 ~ P53を除く)	I _{OH} = - 4mA	V _{CC} - 0.8			V
	V _{OH2}	φ、P50 ~ P53	I _{OH} = - 4mA	V _{CC} - 0.4			V
低レベル出力電圧	V _{OL}	全出力、入出力端子	I _{OL} =4mA			0.4	V
高レベル入力電流	I _{IH}	全入力、入出力端子 (入出力端子は出力OFF)	V _{IN} =V _{CC}	- 10		+ 10	μA
低レベル入力電流	I _{IL}	全入力、入出力端子 (入出力端子は出力OFF)	V _{IN} =V _{SS}	- 10		+ 10	μA
入力端子容量	C _{IN}	全入力端子	f=1MHz、 Ta=25、 V _{IN} =0V			15	pF

次ページへ続く。

LC67F5104A

前ページより続く。

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
出力端子容量	C _{OUT}	全出力端子	f=1MHz、 Ta=25、 V _{IN} =0V			15	pF
入出力端子容量	C _{I/O}	全入出力端子	f=1MHz、 Ta=25、 V _{IN} =0V			15	pF

消費電流特性例/Ta=0~+75, V_{SS}=0V

消費電流特性は、弊社の特製評価用基板を使い、発振回路特性例に書かれている推奨回路定数を外付けした時の測定結果である。消費電流特性例は、LSIの出力トランジスタに流れる電流を含まない。

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
消費電流	通常動作時1 1	IDDRUN1	VCC ・システムクロックは CF17.28MHz (1/1分周) ・内蔵RC発振は停止		23	34	mA
	通常動作時2 2	IDDRUN2			20	50	mA
	スリープ時 3	IDDSLTP			9	15	mA
	モジュールスタンバイ時 4	IDDMSTBY			7	13	mA
	スタンバイ時	IDDSTBY	発振停止		0.01	3	mA
	外部クロック動作時1 1	IDDEXCLK1	・外部36MHz印加(システムクロックは1/2分周)		23	34	mA
	外部クロック動作時2 2	IDDEXCLK2			20	50	mA

1：内蔵Flashからのプログラムフェッチ動作、ADCは動作。

2：内蔵SRAMからのプログラムフェッチ動作、ADCは動作、内蔵Flashへの書き込み動作は含んでいない。

3：ADCは停止。

4：モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態とした場合の値である。

AC特性：許容動作クロック/Ta=0~75, V_{SS}=0V (測定負荷条件は、P20図5参照)

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
CF発振周波数範囲	f _{CFCK}	17.28MHzセラミック発振時	図1		17.28		MHz
RC発振周波数範囲	f _{RCCK}	内蔵RCクロック		0.4		2.0	MHz
外部クロック周波数範囲	f _{EXCK}	外部クロック印加 1	図4	0.4		36.0	MHz
外部クロックパルス幅	t _{CKL}	CF1 0.5MHz~18MHz印加	図4	17			nS
	t _{CKH}	CF1 18MHz~36MHz印加		10			nS
外部クロック立ち上がり、立ち下がり時間	t _{EXR} t _{EXF}	CF1、18MHz印加	図4			10	nS
システムクロック周波数	f _{SYSCK}	2		0.05		18	MHz

1：外部クロック使用時、18MHzを超える周波数を入力する場合は、内蔵RCからシステムクロックを切替える前に1/2分周以上に設定しなければならない。

2：システムクロックはOSCモジュールによりメインクロックの1/1~1/8まで分周可能である。

LC67F5104A

AC特性：制御信号タイミング/Ta=0 ~ +75 , V_{SS}=0V (測定負荷条件は、P20図5参照)

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
nRESパルス幅 (電源投入時)	t _{RESW1}	nRES	図3	10			ms
nRESパルス幅 (通常動作時)	t _{RESW2}	nRES		40			μs
nRESO出力遅延時間	t _{RESO}	nRESO	図6a			20	ns
nRESO出力パルス幅 (WDT時)	t _{RESOW}	nRESO	図6a	50			t _{CYC}
リセット解除時間 1	t _{RESREL}	nRES	図6b			30	μs
外部割り込みパルス幅 2	t _{EXINTW}	HPIRQ, EXT5IRQ ~ EXT0IRQ	図7	4			t _{CYC}
発振安定時間(CF)	t _{msCF}		図2	10			ms

1：リセット解除後、システムが動き出すまで最大30μsかかるので注意が必要である。

2：ノイズフィルタを使用する場合、外部割り込みパルス幅についてユーザーズ・マニュアルを参照の上、使用する。

AC特性：マルチプルタイム入出力タイミング/Ta=0 ~ +75 , V_{SS}=0V (測定負荷条件は、P20図5参照)

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
タイム出力遅延時間	t _{TOCD}	TIOCA0 ~ TIOCA4, TIOCB0 ~ TIOCB4 TOCXA4, TOCXB4	図8			20	ns
タイムクロック パルス幅	単エッジ検出	t _{TCKWH}	TCLKA ~ TCLKD	図9	1.5		t _{CYC}
	両エッジ検出	t _{TCKWL}	TIOCA0 ~ TIOCA4, TIOCB0 ~ TIOCB4	図9	2.5		t _{CYC}

AC特性：シリアル入出力タイミング/Ta=0 ~ +75 , V_{SS}=0V (測定負荷条件は、P20図5参照)

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
入力クロック周期	t _{SCK}	SCK	図10	8			t _{CYC}
入力クロックLパルス幅	t _{SCKL}	SCK	図10	4			t _{CYC}
入力クロックHパルス幅	t _{SCKH}	SCK	図10	4			t _{CYC}
出力クロック周期	t _{SCKO}	SCK	図10	8			t _{CYC}
出力クロックLパルス幅	t _{SCKOL}	SCK	図10	4			t _{CYC}
出力クロックHパルス幅	t _{SCKOH}	SCK	図10	4			t _{CYC}
入力データセットアップタイム	t _{SDI}	SCK(入力), SDI	図10	2			t _{CYC}
入力データホールドタイム	t _{HDI}	SCK(入力), SDI	図10	2			t _{CYC}
出力ディレイタイム	t _{DDO}	SCK(出力), SDO	図10		2		t _{CYC}

AC特性：DMAC入出力タイミング/Ta=0 ~ +75 , V_{SS}=0V (測定負荷条件は、P20図5参照)

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
nTEND遅延時間1	t _{TEC1}	nTEND	図11			20	ns
nTEND遅延時間2	t _{TEC2}	nTEND	図11			20	ns
DREQセットアップ時間	t _{DREQ}	DREQ	図12	35			ns

注意：DREQへの入力、外部クロックと同期を取る必要があります。詳細は、ユーザーズ・マニュアルをご参照ください。

LC67F5104A

AC特性：バスタイミング/Ta=0 ~ +75 , V_{SS}=0V (測定負荷条件は、P20図5参照)

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
クロックサイクル時間	t _{CYC}	φ	図13a, 図13b, 図13C	55		20000	ns
クロックパルス幅 Lowレベル時間	t _{CL}	φ	図13a, 図13b, 図13C	15			
クロックパルス幅 Highレベル時間	t _{CH}	φ	図13a, 図13b, 図13C	15			
クロック立ち上がり時間	T _{CR}	φ	図13a, 図13b, 図13C			10	
クロック立ち下がり時間	T _{CF}	φ	図13a, 図13b, 図13C			10	
アドレス遅延時間 1	t _{AD}	EXA23 ~ 0, NHB, NLB,	図13a, 図13b, 図13C			25	
アドレス遅延時間 2	t _{ADA}	NCS3 ~ 0, EXDDIRECT, φ	図13a, 図13b, 図13C	- 13			
アドレスホールド時間	t _{AH}	EXA23 ~ 0, NRD	図13b, 図13C	5			
アドレスストロープ遅延時間	t _{ASD}	φ, NRD	図13a, 図13b			25	
ライトストロープ遅延時間	t _{WSD}	φ, NWRE, NWRL, NWRH	図13C			25	
ストロープ遅延時間	t _{SD}	φ, NRD, NWRE, NWRL, NWRH	図13a, 図13b, 図13C			25	
ライトデータストロープパルス幅	t _{WSW}	NWRE, NWRL, NWRH	図13C	35			
アドレスセットアップ時間	t _{AS}	EXA23 ~ 0, NRD, NWRE, NWRL, NWRH	図13b, 図13C	5			
リードデータセットアップ時間	t _{RDS}	EXD15 ~ 0, φ	図13a, 図13b	20			
リードデータホールド時間	t _{RDH}	EXD15 ~ 0, NRD	図13a, 図13b	0			
ライトデータ遅延時間	t _{WDD}	EXD15 ~ 0, φ	図13C			25	
ライトデータセットアップ時間	t _{WDS}	EXD15 ~ 0, NWRE, NWRL, NWRH	図13C	20			
ライトデータホールド時間	t _{WDH}	EXD15 ~ 0, NWRE, NWRL, NWRH	図13C	15			
リードデータアクセス時間1	t _{ACC1}	EXD15 ~ 0, EXA23 ~ 0	図13a			10	
リードデータアクセス時間2	t _{ACC2}	EXD15 ~ 0, NRD	図13a			10	
リードデータアクセス時間3	t _{ACC3}	EXD15 ~ 0, EXA23 ~ 0	図13b			15	
リードデータアクセス時間4	t _{ACC4}	EXD15 ~ 0, NRD	図13b			7	
ウェイトセットアップ時間	t _{WTS}	φ, NWAIT	図13d	15			
ウェイトホールド時間	t _{WTH}	φ, NWAIT	図13d	0			

ADC特性/Ta=0 ~ 75 , V_{SS}=0V

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
ADC分解能	N	AN0 ~ AN7			8		bit
ADC微分直線性誤差	Edef1	AN0 ~ AN7	Vref=AV _{CC}			±1	LSB
	Edef2		Vref=2.90V			±1	LSB
ADC直線性誤差	Elin1	AN0 ~ AN7	Vref=AV _{CC}			±1	LSB
	Elin2		Vref=2.90V			±1	LSB
ADC変換時間 1	Tcad	AN0 ~ AN7	システムクロックは18MHz時	5.33			μs
ADC基準抵抗	RAVref	VrefとAV _{SS} 間の抵抗値			25		kΩ

次ページへ続く。

LC67F5104A

前ページより続く。

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
基準入力電圧	VAVref	Vref		2.90		AVCC	V
アナログ入力電圧範囲	VAIN	AN0 ~ AN7		AVSS		Vref	V
0スケールオフセット電圧	V0off					60	mV
フルスケールオフセット電圧	Vfulloff			Vref - 60			mV
ADC動作クロック	ADCCLK			0.1		2.25	MHz

1: システムクロック18MHz時、通常動作シングルモードでの変換時間。

注: ADCがスタンバイ状態から復帰する場合、内部ラダー抵抗が安定するまで約5μsかかるので、注意が必要。

FlashROMに関する特性/Ta=0 ~ 75 , VSS=0V

項目	記号	適用端子・備考	条件	規格			
				min	typ	max	unit
オンボード書き込み電流	FICCW		VCC25=2.25 ~ 2.75V VCC=3.0 ~ 3.6V			10	mA
消去時間 (セクターイレース)	FTSE		1セクタ (2Kバイト)	20			ms
書き込み時間	FTWP		32ビット			42	μs
セクタライト回数	FSECWRT		1			1000	回

1 書き換え条件

- ・書き換えは1セクタ(2Kバイト)単位で行なう。
- ・書き換え1回の定義は1つのセクタに対して1イレース/1ライト(一回に2Kバイト全て連続して書き込む)を1組とする。
- ・同一アドレスへの上書きについては最高2回までとする(1回のイレースにおいて)。
- ・累積書き込み時間: 1セクタは8個のサブブロック(256バイト)から構成されており、1つのサブブロック当たりの累積書き込み時間は8ms以内とする。

推奨発振回路と特性例

発振回路特性例は、弊社指定の発振特性評価用基盤を用いて、発振子メーカーによって安定に発振することを確認された推奨回路定数と、この推奨回路定数を外付けしたときの特性例である。

推奨発振回路と特性例(Ta=0 ~ +75)

公称周波数	メーカー名	発振子名	推奨回路定数				動作 電圧範囲	発振安定時間 (1)tmsCF		備考
			C1	C2	Rf	Rd		typ	min	
17.28MHz	ムラタ	CSACV17M2X55J01-R0	10pF	10pF	Open	0Ω	3.0 ~ 3.6V		10ms	
18.00MHz	ムラタ	CSACV18MOX55J-R0	10pF	10pF	Open	0Ω	3.0 ~ 3.6V		10ms	

1: 発振安定時間は、電源印加後VCCが動作電圧下限を上回ってから、またはSTBYモード解除後、CF発振が発振開始し、安定するのに必要な時間である。(図2参照)

LC67F5104A

注意

発振回路特性例は、セット基板によって変わる可能性があるため、下記注意事項を参考に、使用する発振子メーカーに直接、お問い合わせください。・発振周波数精度はセット基板の配線容量等の影響を受けるので、量産基板で発振周波数を調整する必要があります。

- ・上記発振周波数と動作電源電圧範囲は、動作周囲温度が“ 0 ~ +75 ”の範囲の場合です。この動作周囲温度を超える条件でクロック発振回路を使用する場合、あるいは車載用など高信頼性を必要とする用途に使用の場合は、使用する発振子メーカーへお問い合わせください。
- ・発振回路特性例に記載していない発振子を使用する場合は、弊社営業担当者へお問い合わせください。

推奨発振回路は、ノイズや配線容量等の影響を受けやすいので、下記の注意事項を参考に配置・配線してください。発振回路は低消費電力化するために発振ゲインを下げているため、ノイズ等の影響を受けやすくなっています。したがって、推奨発振回路を構成する場合は、特に注意してください。

- ・クロック入出力端子(CF1端子とCF2端子)と外付け部品との配線長はできるだけ短くする。
- ・コンデンサ(C1とC2)につながるVSSパターンとマイコンのVSS端子までの配線長はできるだけ短くし、そのVSSパターンは発振子専用にする。
- ・変化が急峻な信号線、大きな電流が流れる信号線は、できるだけ発振回路から遠ざける、交差させない。

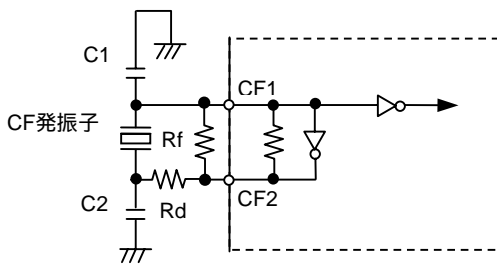


図1. 推奨発振回路

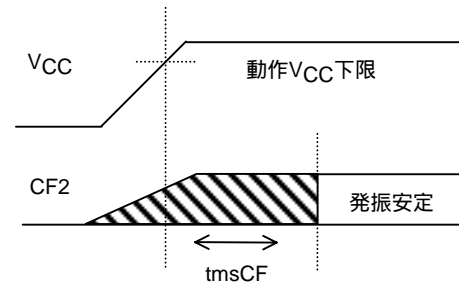
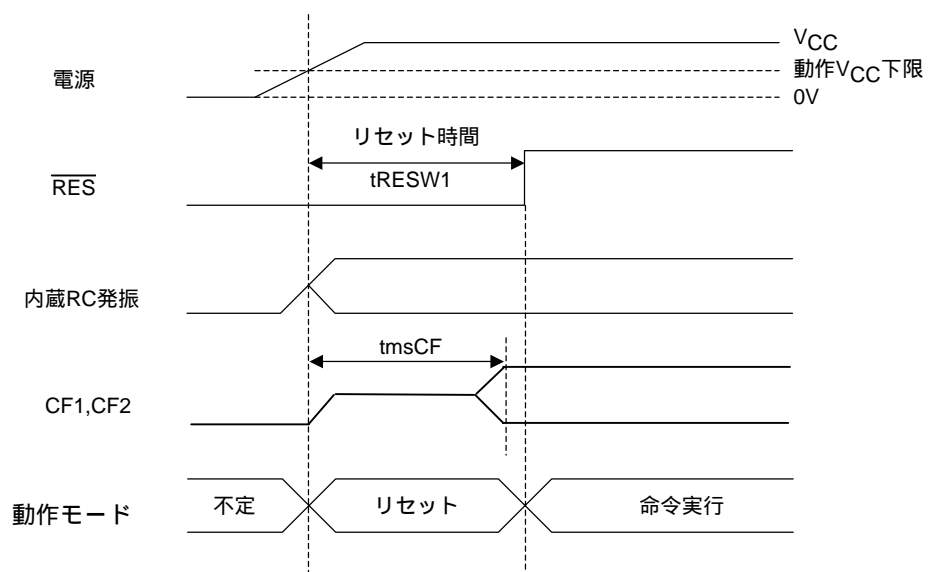
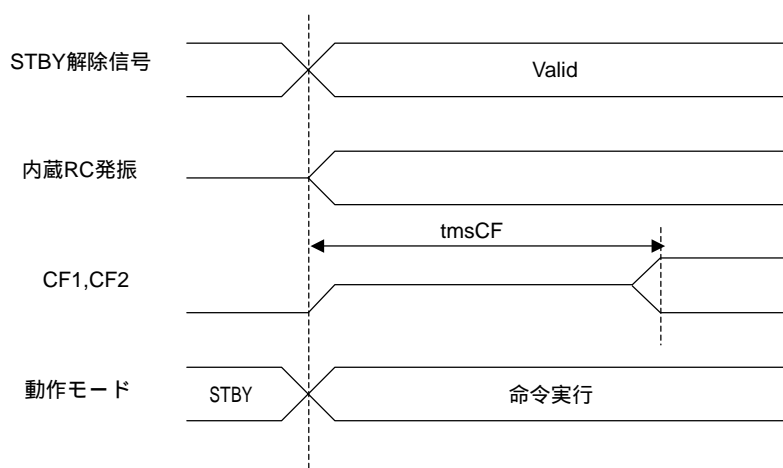


図2. 発振安定時間

LC67F5104A



< 電源印加と発振安定時間 >



< STBY解除信号と発振安定時間 >

図3. 発振安定時間

注意：電源投入時、リセット時間を10ms以上にする。

LC67F5104A

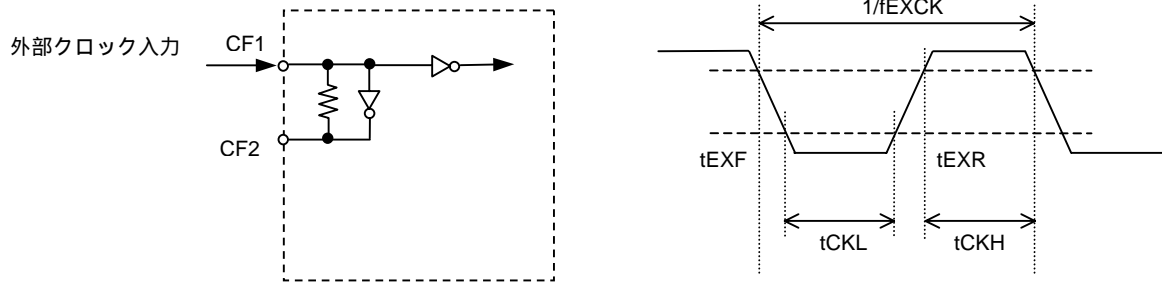
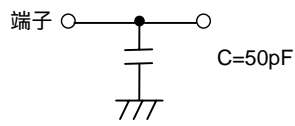


図4. 外部クロック入力



入出力タイミング測定レベル

- ・「Low」レベル 0.15V_{CC}
- ・「High」レベル 0.75V_{CC}

図5. ACタイミング負荷

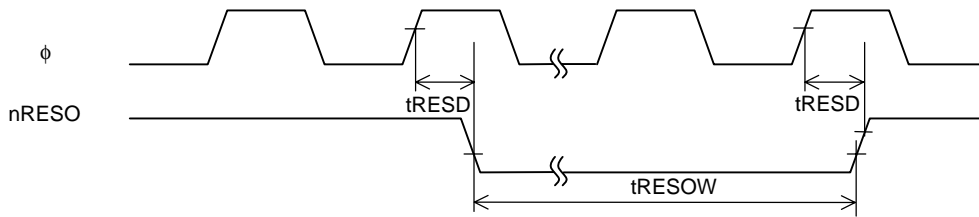


図6a. リセット出力タイミング

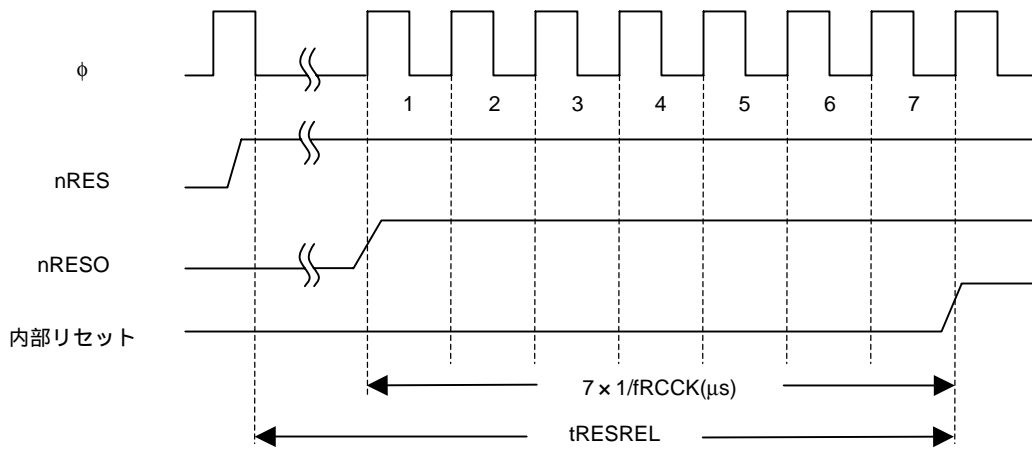


図6b. リセット解除タイミング

LC67F5104A

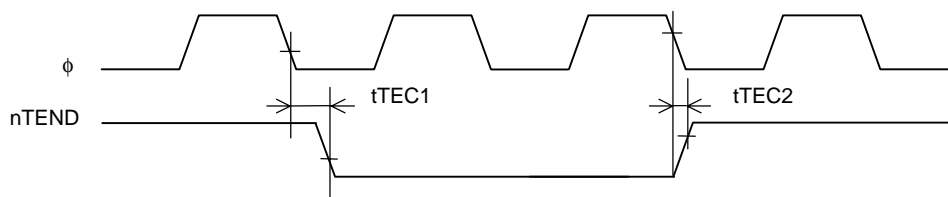


図11.DMAC nTEND出力タイミング

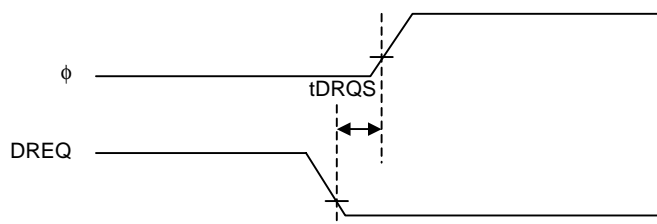


図12.DMAC DREQ入力タイミング

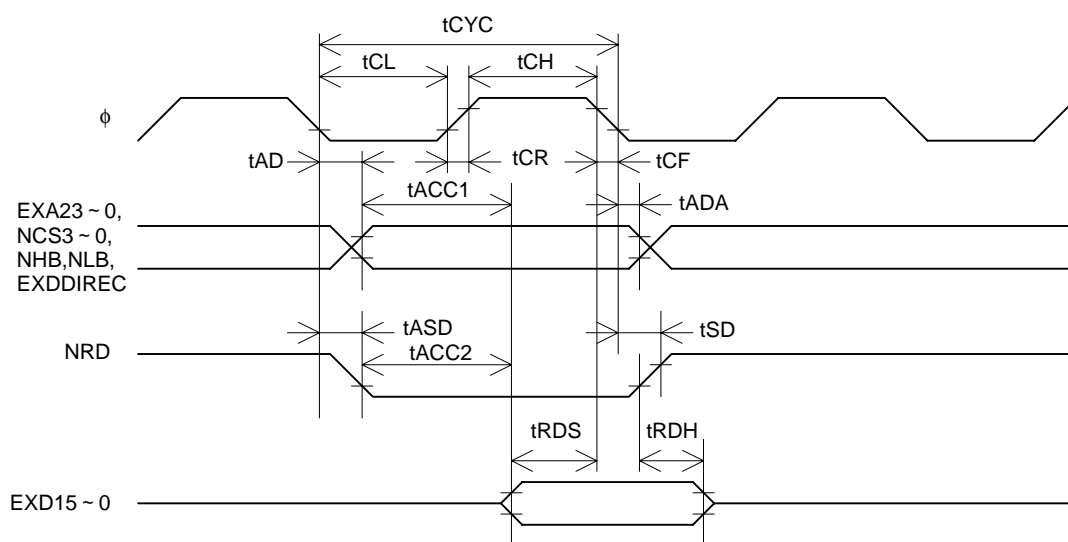


図13a. 外部バスリードタイミング(ノーウェイト、RTCR=0)

LC67F5104A

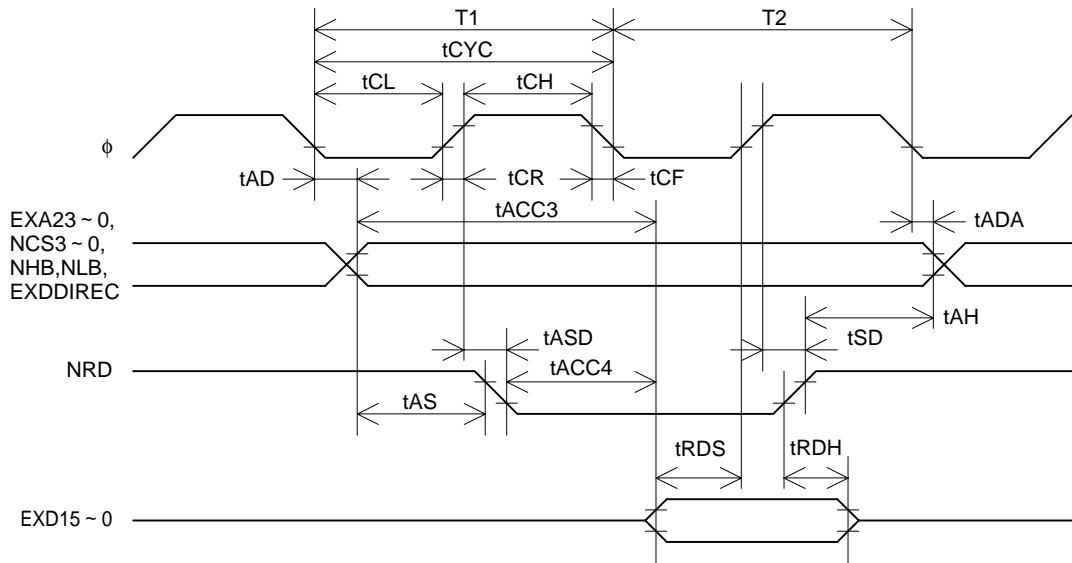


図13b. 外部バスリードタイミング(1ウェイト、RCTCR=1)

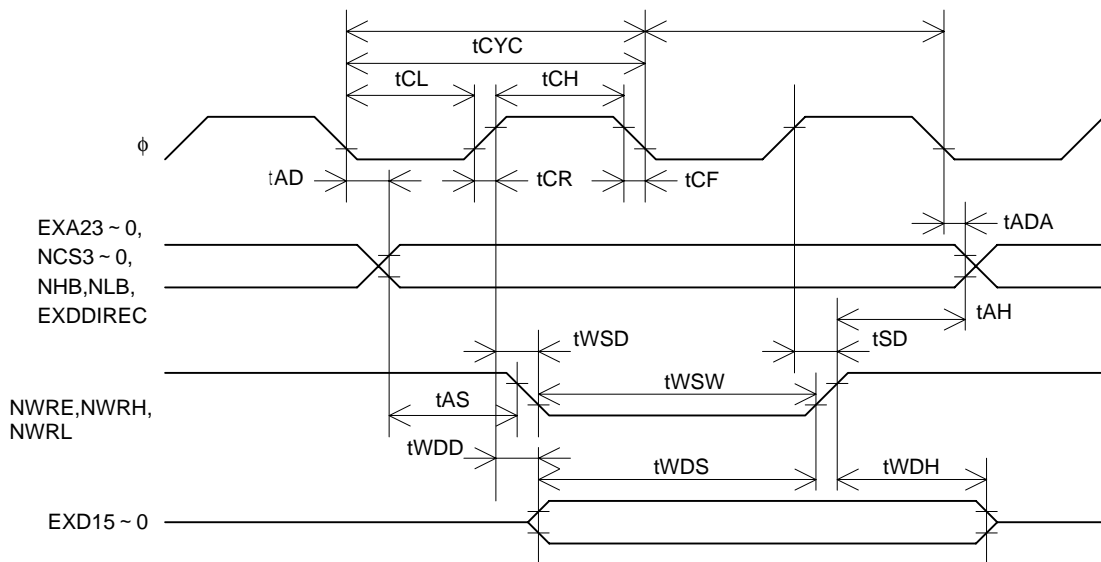


図13c. 外部バスライトタイミング(1ウェイト)

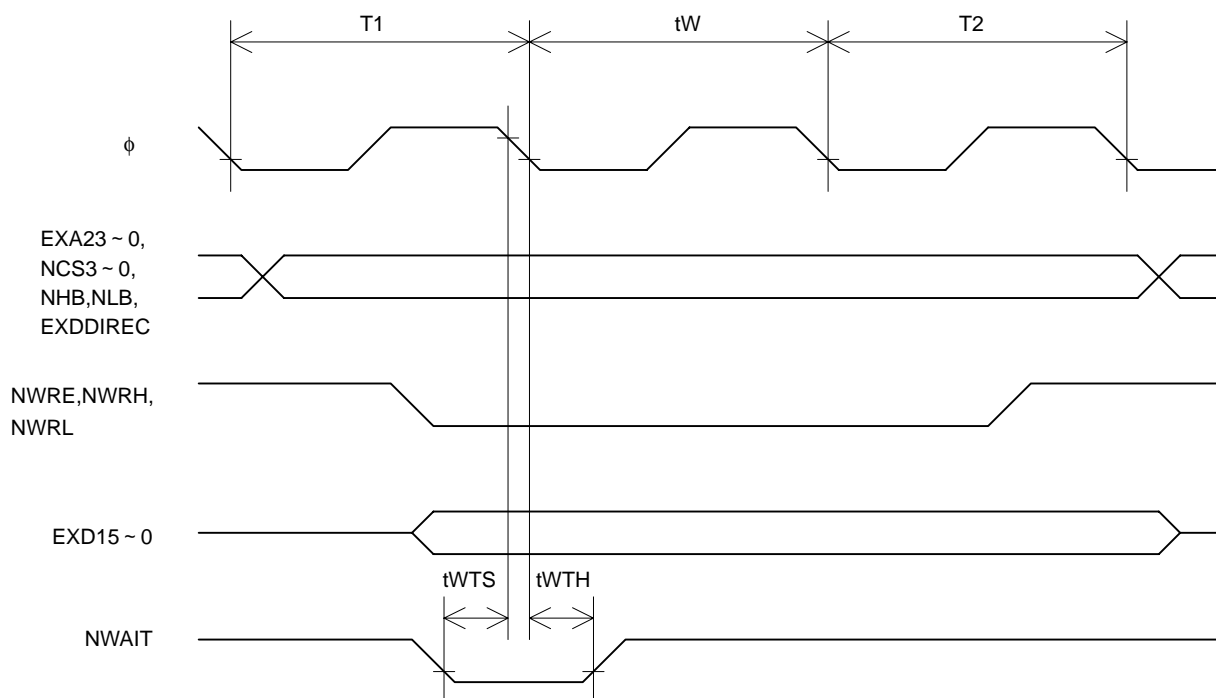


図13d. 外部バスウェイトタイミング(外部1ウェイト)

基板設計上の注意点

本機種を使用する上で、マイコンの視点から捉えたノイズに関する注意事項およびその対策例を示します。これらは、ノイズを要因とする不具合(マイコンの誤動作やプログラムの暴走など)を防止・回避する上で、有効な設計手法です。

VDD, VSS : 電源端子

VDD ~ VSS端子間には、以下の条件を満たすようにコンデンサを挿入する。

- VDD, VSS端子から各コンデンサC1, C2間までの配線長は、できるだけ等しく ($L1=L1'$, $L2=L2'$)、かつ最短にする。
- コンデンサは大容量のものC1と小容量のものC2を並列に挿入する。
C2については4400pF以上のコンデンサを実装する。
- VDD, VSSの各パターンは、他のものより太くする。

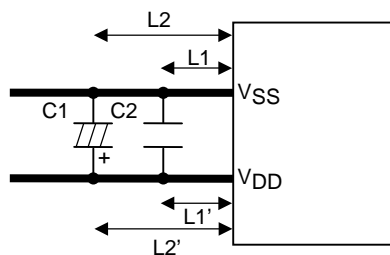


図14. 電源配線例

CF1, CF2 : クロック入出力端子

セラミック発振時(図15)

- ・ クロック入出力端子(入力 : CF1, 出力 : CF2)と外付け部品との配線長(Losc)はできるだけ短くする(max 1cm以内)。
- ・ 発振子に接続したコンデンサ(VSS側)とマイコンのVSS端子までの配線長(LVSS + L1[L2])はできるだけ短くする。
- ・ 発振回路で使用されるVSSと他のVSSは、できるだけ端子に近いところから分離する。
- ・ 発振定数(コンデンサC1, C2, 制限抵抗Rd等)はセット基板の配線容量等により、本カタログの推奨定数を変更して周波数の調整が必要になる場合がある(発振子メーカーと相談の上、ご使用ください)。

外部発振時(図16)

- ・ クロック入力端子(CF1)と外部発振器との配線長(Losc)はできるだけ短くする。
- ・ クロック出力端子(CF2)はオープンで使用する。
- ・ 外部発振器にて使用するVDD, VSSの配線長(Losc)もできるだけ短くする。

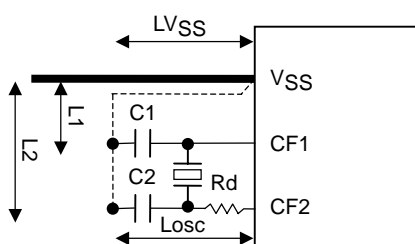


図15. 発振回路例1(セラミック発振使用時)

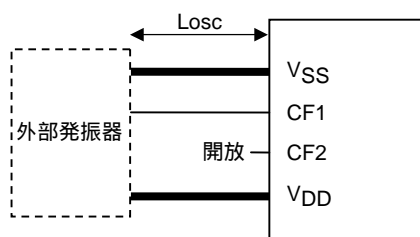


図16. 発振回路例2(外部発振使用時)

他共通の注意事項

- ・ 変化が急峻な信号、振幅が大きな信号、大きな電流が流れる信号等は、できるだけ発振回路から遠ざけるようにし、クロックに関連した配線との交差をさせないようにする。

nRES : リセット端子

- ・ nRES端子から外付け回路へ接続する配線長(Lres)はできるだけ短くする。
- ・ nRES ~ VSS間に挿入するコンデンサ(Cres)までの配線長(L1, L2)はできるだけ短くする。

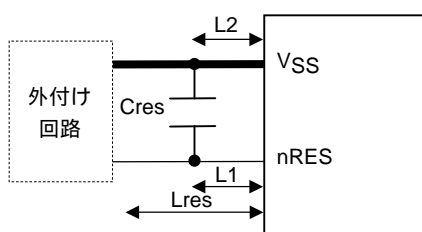


図17. nRES端子配線例

TEST : テスト端子

- ・ TEST ~ VSS端子間の接続の配線長(L)はできるだけ短くする。
- ・ TEST ~ VSS端子間の配線は、できるだけVSS端子の近いところから配線する。

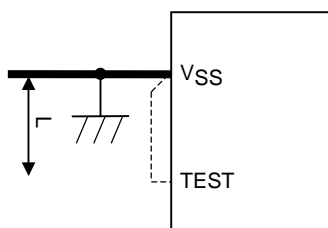


図18. TEST端子配線例

ANO ~ AN7 : アナログ入力端子

ADコンバータ入力端子等のアナログ入力端子の配線は、以下の条件を満たすように接続する。

- ・制限抵抗(RI)とアナログ入力端子までの配線長(L1)はできるだけ短くする。
- ・アナログ入力端子とAVSS端子間に挿入するコンデンサ(C)は、できるだけAVSS端子の近くに配線する[配線長(L1 + L2)を最短にする]。

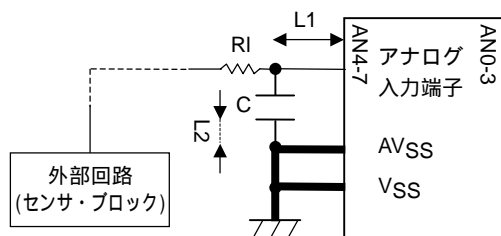


図19. アナログ入力端子配線例

入力および入出力端子

入力として使う場合は制限抵抗を挿入し、かつその端子までの配線長はできるだけ短くする。

[補足]基板設計だけでなく、下記に示すプログラム仕様を考慮することで、マイコンの不具合(誤動作・暴走等)を防止・回避するのに有効である。

- ・外部信号を端子から入力する場合は、必ずキーのチャタリング除去処理を行う。
- ・端子の出力データは、定期的にマイコンの命令で端子に再出力する。

(未使用端子)

- ・機種ごとのユーザーズマニュアル,または半導体ニュースの端子機能をご覧ください。

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品(機器)での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。